

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4768280号
(P4768280)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月24日(2011.6.24)

(51) Int.Cl.

G 11 C 13/00 (2006.01)

F 1

G 11 C 13/00

A

請求項の数 29 (全 22 頁)

(21) 出願番号 特願2005-29813 (P2005-29813)
 (22) 出願日 平成17年2月4日 (2005.2.4)
 (65) 公開番号 特開2005-222687 (P2005-222687A)
 (43) 公開日 平成17年8月18日 (2005.8.18)
 審査請求日 平成20年1月22日 (2008.1.22)
 (31) 優先権主張番号 2004-007112
 (32) 優先日 平成16年2月4日 (2004.2.4)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10/919371
 (32) 優先日 平成16年8月17日 (2004.8.17)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeo
 ngtong-gu, Suwon-si,
 Gyeonggi-do, Republic
 of Korea
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】相変化メモリ装置及びそのライティング方法

(57) 【特許請求の範囲】

【請求項 1】

非晶質状態と結晶状態との間でプログラム可能な物質を含んだ複数の相変化メモリセルと、

前記複数の相変化メモリセルの少なくとも一つを選択するアドレス回路と、

リセットパルス電流を発生して前記アドレス回路により選択されたメモリセルを非晶質状態にプログラムし、セットパルス電流を発生して前記アドレス回路により選択されたメモリセルを結晶状態にプログラムするライトドライバと、

前記アドレス回路に連結され、前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷に応じて前記リセットパルス電流及び前記セットパルス電流の少なくとも一つのパルス幅及びパルスカウントの少なくとも一つを変化させるライトドライバ制御回路と、

を備え、

前記リセットパルス電流のパルス幅は一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記セットパルス電流のパルス幅を減少させることを特徴とするメモリ装置。

【請求項 2】

前記セットパルス電流のパルス幅は一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記リセットパルス電流のパルス幅を増加させることを特徴とする請求項1に記載のメモリ

装置。

【請求項 3】

前記リセットパルス電流のパルスカウントは一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記セットパルス電流のパルスカウントを減少させることを特徴とする請求項1に記載のメモリ装置。

【請求項 4】

前記セットパルス電流のパルスカウントは一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記リセットパルス電流のパルスカウントを増加させることを特徴とする請求項1に記載のメモリ装置。 10

【請求項 5】

前記メモリ装置は相変化ランダムアクセスメモリ(P R A M)であることを特徴とする請求項1に記載のメモリ装置。

【請求項 6】

非晶質状態と結晶状態との間でプログラム可能な物質を含む複数の相変化メモリセルを有する複数のメモリセルブロックと、

前記複数のメモリセルブロックの各々を選択するアドレス回路と、

リセットパルス電流を選択的に発生して前記アドレス回路により選択されたメモリセルブロックのメモリセルを非晶質状態にプログラムし、セットパルス電流を選択的に発生して前記アドレス回路により選択されたメモリセルブロックのメモリセルを結晶状態にプログラムするライトドライバと、 20

前記アドレス回路により選択されたメモリセルブロックに応じて、前記セットパルス電流及び前記リセットパルス電流の少なくとも一つのパルス幅及びパルスカウントの少なくとも一つを変化させるライトドライバ制御回路と、

を備え、

前記リセットパルス電流のパルス幅は一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記セットパルス電流のパルス幅を減少させることを特徴とする相変化セルメモリ装置。

【請求項 7】

前記ライトドライバ制御回路は、前記アドレス回路により選択されたライトドライバとメモリセルブロックとの間の負荷に応じて、前記リセットパルス電流及び前記セットパルス電流の少なくとも一つのパルス幅を変化させることを特徴とする請求項6に記載のメモリ装置。

【請求項 8】

前記ライトドライバ制御回路は、それぞれ異なったパルス幅を有する複数の制御パルス信号を生成する制御パルス発生器と、前記アドレス回路により選択されたメモリセルブロックに応じて一つの制御パルス信号を前記ライトドライバに選択的に印加するマルチブレクサと、

を有することを特徴とする請求項7に記載のメモリ装置。 40

【請求項 9】

前記制御パルス発生器は A T D (Address Transition Detection) 信号によりイネーブルされることを特徴とする請求項8に記載のメモリ装置。

【請求項 10】

前記リセットパルス電流のパルスカウントは一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記セットパルス電流のパルスカウントを減少させることを特徴とする請求項6に記載のメモリ装置。

【請求項 11】

前記ライトドライバ制御回路は、それぞれ異なったタイミングを有する複数の制御パル

50

ス信号を発生する発生器と、前記アドレス回路により選択されたメモリセルブロックに応じて、一つ以上の制御パルス信号を前記ライトドライバに選択的に印加するマルチプレクサと、を有することを特徴とする請求項10に記載のメモリ装置。

【請求項12】

前記制御パルス発生器はA T D信号によりイネーブルされることを特徴とする請求項11に記載のメモリ装置。

【請求項13】

前記メモリ装置は相変化ランダムアクセスメモリ(P R A M)であることを特徴とする請求項6に記載のメモリ装置。

【請求項14】

複数のワードライン、複数のビットライン、及び前記複数のワードライン及び前記複数のビットラインの各々の交差領域における複数の相変化メモリセルを含む相変化メモリセルアレイであって、前記相変化メモリセルアレイが少なくとも一つのワードラインを含む複数のメモリブロックにより規定され、前記相変化メモリセルが非晶質状態と結晶状態との間でプログラム可能な物質を含む相変化メモリセルアレイと、

入力されたロードレスをデコードして前記複数のメモリブロックの各々のワードラインを選択して、一つのメモリブロックを選択するアドレスデコーダーと、

入力コラムアドレスに応じて少なくとも一つのビットラインを選択するビットライン選択回路と、

前記ビットライン選択回路に連結され、リセットパルス電流を選択的に発生して選択されたメモリブロック内の選択されたビットラインと選択されたワードラインの交差領域におけるメモリセルを非晶質セット状態にプログラムし、また、セットパルス電流を選択的に発生して選択されたメモリブロック内の選択されたビットラインと選択されたワードラインの交差領域でのメモリセルを結晶状態にプログラムするライトドライバと、

前記アドレスデコーダーにより選択されたメモリセルブロックに応じて前記セットパルス電流及び前記リセットパルス電流の少なくとも一つのパルス幅とパルスカウントを変化させるライトドライバ制御回路と、から構成され、

前記リセットパルス電流のパルス幅は一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記セットパルス電流のパルス幅を減少させることを特徴とする相変化セルメモリ装置。

【請求項15】

前記ライトドライバ制御回路は、それぞれ異なったパルス幅を有する複数の制御パルス信号を発生する制御回路発生器と、アドレス回路により選択されたメモリセルブロックに応じてライトドライバに一つの制御パルス信号を選択的に印加するマルチプレクサと、からなることを特徴とする請求項14に記載のメモリ装置。

【請求項16】

前記アドレスデコーダーは複数のメモリブロックライトイネーブル信号を発生し、前記マルチプレクサはメモリブロックライトイネーブル信号に応じて前記ライトドライバに一つの制御パルス信号を選択的に印加することを特徴とする請求項15に記載のメモリ装置。

【請求項17】

前記制御パルス発生器はA T D信号によりイネーブルされることを特徴とする請求項15に記載のメモリ装置。

【請求項18】

前記制御パルス発生器はA T D信号によりイネーブルされることを特徴とする請求項16に記載のメモリ装置。

【請求項19】

前記リセットパルス電流のパルスカウントは一定であり、前記ライトドライバ制御回路は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて前記セットパルス電流のパルスカウントを減少させることを特徴とする請求項14

10

20

30

40

50

に記載のメモリ装置。

【請求項 20】

前記ライトドライバ制御回路は、それぞれ異なったタイミングを有する複数の制御パルス信号を発生する制御パルス発生器と、アドレス回路により選択されたメモリセルブロックに応じてライトドライバに一つ以上の制御パルス信号を印加するマルチプレクサと、からなることを特徴とする請求項19に記載のメモリ装置。

【請求項 21】

前記アドレスデコーダーは複数のメモリブロックライトイネーブル信号を発生し、前記マルチプレクサは前記メモリブロックライトイネーブル信号に応じてライトドライバに一つ以上の制御パルス信号を選択的に印加することを特徴とする請求項20に記載のメモリ装置。 10

【請求項 22】

前記制御パルス発生器は A T D 信号によりイネーブルされることを特徴とする請求項20に記載のメモリ装置。

【請求項 23】

前記制御パルス発生器は A T D 信号によりイネーブルされることを特徴とする請求項21に記載のメモリ装置。

【請求項 24】

前記メモリ装置は相変化ランダムアクセスメモリであることを特徴とする請求項14に記載のメモリ装置。 20

【請求項 25】

非晶質状態と結晶状態との間でプログラム可能な物質を含んだ複数の相変化メモリセルを有する相変化メモリ装置をプログラムする方法において、

リセットパルス電流を選択的に発生してアドレス回路により選択されたメモリセルを非晶質状態にプログラムし、また、セットパルス電流を選択的に発生してアドレス回路により選択されたメモリセルを結晶状態にプログラムするためにライトドライバを用い、

プログラムされたライトドライバとメモリセルとの間の負荷に応じて前記リセットパルス電流及び前記セットパルス電流の少なくとも一つのパルス幅とパルスカウントを変化させ、

前記リセットパルス電流のパルス幅は一定であり、前記セットパルス電流のパルス幅は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて減少されることを特徴とする方法。 30

【請求項 26】

前記セットパルス電流のパルス幅は一定であり、前記リセットパルス電流のパルス幅は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて増加されることを特徴とする請求項25に記載の方法。

【請求項 27】

前記リセットパルス電流のパルスカウントは一定であり、前記セットパルス電流のパルスカウントは前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて減少されることを特徴とする請求項25に記載の方法。 40

【請求項 28】

前記セットパルス電流のパルスカウントは一定であり、前記リセットパルス電流のパルスカウントは前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて増加されることを特徴とする請求項25に記載の方法。

【請求項 29】

前記メモリ装置は相変化ランダムアクセスメモリであることを特徴とする請求項25に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、相変化メモリ装置及び相変化メモリセルを書き込みするための方法に係るものであり、詳しくは、書き込みすべき相変化セルの負荷に応じて多様な書き込み電流パルス特性を有する相変化メモリ装置及びその書き込み方法に関する。

【背景技術】

【0002】

相変化メモリセル装置では、非晶質相と結晶相との間で安定的に遷移可能なカルコゲン化合物のような相変化物質が用いられている。メモリセルのロジック値を区別するために前記二つの相により現れる異なった抵抗値が使用される。即ち、非晶質状態は相対的に高い抵抗を現し、結晶状態は相対的に低い抵抗を現す。

【0003】

10

図21は非晶質状態52-1と結晶状態52-2の相変化メモリセルをそれぞれ示す。相変化メモリセルはPRAM(Phase-change random Access memory)の一部分となりうる。相変化メモリセル52-1、52-2は下部電極(BE)54と上部電極(UE)56との間に相変化層(GST)55を含む。相変化層55はカルコゲン化合物合金(GST)のような相変化物質で形成される。ビットライン(BL)は上部電極56に連結される。下部電極54はトランジスタNTを通じて接地される。ワードライン(WL)はトランジスタNTのゲートに連結される。

【0004】

20

相変化メモリセルが非晶質状態52-1である場合、相変化層55の一部は非晶質状態である。同様に、相変化メモリセル52が結晶化状態52-2である場合、相変化層55の一部は結晶状態である。図21の等価回路図に示すように、相変化物質層55はビットラインBLを通じて印加された電流によって結晶状態にセット(ST1)又は非晶質状態にリセット(ST2)される。

【0005】

30

当業者により理解されるように、“非晶質状態”及び“結晶状態”という用語は相変化物質を絶対的に特色づけるものではない。もっと適切にいうならば、相変化物質の一部が非晶質状態(即ち、リセット状態)にあるといわれる場合、これは物質が十分に非晶質性であるので、結晶状態(セット状態)での物質の抵抗値R2と容易に区別される抵抗値R1を有することができることを意味する。逆に、相変化物質の一部が結晶状態(SET状態)にあるといわれる場合、これは物質が十分に結晶性であるので、非晶質状態(リセット状態)での物質の抵抗値と容易に区別される抵抗値を有することができることを意味する。

【0006】

図22はセットプログラミング動作とリセットプログラミング動作における相変化メモリセルの温度特性を示す。セットプログラミング動作に起因して相変化メモリセルの相変化物質層が結晶化されるに従い、相変化物質層の抵抗率が減少する。同様に、リセットプログラミング動作に起因して相変化メモリセルの相変化物質層が非晶質化されるに従い、相変化物質層の抵抗率が増加する。

【0007】

40

図22に示すように、相変化メモリセルのプログラミングは相変化メモリセルの温度に依存する。非晶質化(リセット)温度パルス(AMORPHIZING (RESET) PULSE)は上昇部12、ピーク部10、及び下降部14を含む。相変化メモリセルをリセットするために非晶質化(リセット)パルスを用い、相変化物質層は比較的短時間の間に抵抗ヒーターにより融点(T_m)以上に加熱される。時間 T_0 と T_1 の間に相変化物質層の温度は相変化物質層の融点(T_m)以上の温度までに急激に上昇する。下降部14の間に相変化物質層は急激に冷却されるに従い、相変化物質層は相対的に非晶質となる。言い換えれば、相変化物質層の温度を融点(T_m)以上に上昇させると、結果として、相変化物質における結晶構造が壊された状態になる。なぜならば、相変化物質層が急激に冷却されるため、相変化物質層が結晶化される前に相変化物質層が相対的に非晶質化された状態で堅くなってしまうからである。

【0008】

50

同様に、結晶化(SET)温度パルス(CRYSTALLIZING(SET) PULSE)は上昇部22、ピーク部20、及び下降部24を含む。相変化メモリセルをセットするために結晶化(SET)パルスを用い、相変化物質層は比較的短時間の間に(たとえば50ns)抵抗ヒータにより結晶化点(Tx)以上に加熱される。これは温度が非晶質(リセット)温度パルスの間に上昇された時間よりも長い。時間T0とT2の間に相変化物質層の温度は急激に相変化物質層の結晶化点(Tx)以上に上昇し、結晶化が起こる。下降部24の間に相変化物質層は急激に冷却されるに従い、相変化物質層が相対的に結晶状態にセットされるようになる。

【0009】

図23はリセット電流パルスG1とセット電流パルスG2を比較した図である。相対的に短いパルスI RESETであるリセット電流パルスG1によって、相変化物質の温度は図22に示すように非晶質状態に物質をリセットさせる。相対的に長いパルスI SET(ここでI SETはI RESETよりも小さい)であるセット電流パルスG2によって、相変化物質の温度は図22に示すように結晶状態に物質をセットさせる。

【0010】

図24は相変化メモリセルアレイ160を有するメモリ100を示す。図示するように、セルアレイ160は複数のメモリブロック、即ち、ブロック(A00)160a、ブロック(A01)160b、ブロック(A10)160c、及びブロック(A11)160dを含む。各メモリブロックはメモリブロックに含まれた各ワードラインWL_i、WL_j、WL_k、WL_lに共通に連結された複数の相変化メモリセルを含む。

【0011】

バッファ(XAdd_Buf(A0))110_1と(XAdd_Buf(A1))110_2はアドレス信号A0とA1を受信する。プリデコーダー(PREDEPODER)120はアドレス信号A0とA1をデコードしてデコード信号A00_DEC、A01_DEC、A10_DEC、A11_DECを発生し、メインデコーダー140が交互にこれらのデコード信号をデコードしてブロック選択信号A00、A01、A10、A11を出力する。ブロック選択信号A00、A01、A10、A11はメモリブロック160a、160b、160c、160dのワードラインWL_i、WL_j、WL_k、WL_lをそれぞれ駆動する。

【0012】

ライトドライバ(WRITE DRIVER)130はバッファー111からのプログラミング信号SET(RESET)_CON_PULSEとデータ信号DINに応じてセットまたはリセットライト電流信号SDLを出力する。次にコラムデコーダー150(YPATH & Y DEC)はメモリブロック160a、160b、160c、160dにライト電流パルスSDLを供給する。

【0013】

図24に示すように、メモリブロック160dはメモリセルブロック160aよりもデコーダー150に近い。それに応じてデコーダー150からメモリブロック160a、160b、160c、160dまでに異なった負荷が存在する。これらの負荷は図面において抵抗素子R1、R2、R3、R4として表示される。

【0014】

メモリブロック160a、160b、160c、160dの異なった負荷はメモリブロックの相変化メモリセルの異なった書き込み条件となる。図25乃至図27を参照してこれを説明する。

【0015】

図25はメモリアレイ160の相変化メモリセルブロック160a、160b、160c、160dに印加された異なったセットプログラミングパルス(たとえばSET_CON_PULSE)を示す図である。図25に示すように、前記セットプログラミングパルスは全て同一のパルス幅を有する。

【0016】

図26はブロック160a、160b、160c、160dにおける相変化メモリセルの相変化層(GST)のリセット状態における抵抗分布領域を示す。メモリブロックの負荷が増加すると、抵抗分布領域の抵抗値は全体的に低下する。書き込みエラーを避けるため、最低抵抗分布領域(領域A00)全体がリセット領域内に入るように前記リセットライ

10

20

30

40

50

ト電流パルスは最高負荷のメモリブロック 160aを書き込みできなければならない。メモリブロック 160d が最低負荷を有するため、相対的に強いリセットライト電流パルスがメモリブロック 160d のメモリセルに印加される。このように、相対的に強く非晶質化された状態が得られるため、結果として、相対的に高抵抗の分布領域（領域A11）となる。逆に、最高負荷を有するメモリブロック 160a は相対的に低抵抗の分布領域（領域A00）を示すだろう。

【0017】

図27はブロック 160a、160b、160c、160d における相変化メモリセルの相変化層（GST）のセット状態における抵抗分布領域を示す。この場合も、メモリブロックの負荷が増加すると、抵抗分布領域の抵抗値は全体的に低下する。10 書き込みエラーを避けるため、最高抵抗分布領域（領域A11）全体がセット領域内に入るようセットライト電流パルスは最低負荷メモリブロック 160d を書き込みできなければならない。そうでなければ、一番近いブロック（領域A11）の分布領域のWIN部でセットエラーが発生するだろう。

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかしながら、上記の領域A11全体をセット領域内に入れようとすると、領域（A00）の相変化メモリセルは“オーバープログラム”状態になる。即ち、領域（A00）関連の相変化メモリセルのセットプログラミングに関して不要な電力を消費する。20 さらに、リセットプログラミングの間に同じメモリセルをリセット領域に戻すために余分な電力を必要とする。

【課題を解決するための手段】

【0019】

本発明の好適な実施形態による相変化セルメモリ装置は、複数の相変化メモリセル、アドレス回路、ライトドライバ、及びライトドライバ制御回路を含む。前記相変化メモリセルはそれぞれ非晶質状態と結晶状態との間でプログラム可能な物質を含む。前記アドレス回路は少なくとも一つのメモリセルを選択し、前記ライトドライバはリセットパルス電流を発生してアドレス回路により選択されたメモリセルを非晶質状態にプログラムし、また、セットパルス電流を発生して前記アドレス回路により選択されたメモリセルを結晶状態にプログラムする。30 前記ライトドライバ制御ドライバは前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷に応じて、少なくとも一つのリセットとセットパルス電流の少なくとも一つのパルス幅とパルスカウントを変化させ、前記リセットパルス電流のパルス幅は一定であり、前記セットパルス電流のパルス幅は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて減少されることを特徴とする。

【0020】

また、本発明の好適な他の実施形態による相変化セルメモリ装置は、複数のメモリセルブロック、アドレス回路、ライトドライバ、及びライトドライバ制御回路を含む。前記メモリセルブロックはそれぞれ複数の相変化メモリセルを含み、また、各相変化メモリセルは非晶質状態と結晶状態との間でプログラム可能な物質を含む。前記アドレス回路は各メモリセルブロックを選択し、前記ライトドライバは、アドレス回路により選択されたメモリセルブロックのメモリセルを非晶質セット状態にプログラムするために選択的にリセットパルス電流を発生し、また、前記アドレス回路により選択されたメモリセルブロックのメモリセルを結晶状態にプログラムするためにセットパルス電流を選択的に発生する。前記ライトドライバ制御回路は前記アドレス回路により選択されたメモリセルブロックに応じて、少なくとも一つのセットとリセットパルス電流の少なくとも一つのパルス幅とパルスカウントを変化させ、前記リセットパルス電流のパルス幅は一定であり、前記セットパルス電流のパルス幅は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて減少されることを特徴とする。50

【0021】

また、本発明の好適な更に他の実施形態による相変化セルメモリ装置は、相変化メモリセルアレイ、アドレスデコーダー、ピットライン選択回路、ライトドライバ、及びライトドライバ制御回路を含む。前記相変化メモリセルアレイは、複数のピットライン、複数の相変化セル、及びワードラインとピットラインの各交差領域における複数の相変化セルを含み、メモリセルアレイは少なくとも一つのワードラインを含んだ複数のメモリブロックにより境界が決められ、また、各相変化メモリセルは非晶質状態と結晶状態との間でプログラム可能な物質を含む。前記アドレスデコーダーは入力アドレスをデコードして各メモリブロックのワードラインを選択し、また、一つのメモリブロックを選択する。前記ピットライン選択回路は入力コラムアドレスに応じて少なくとも1ピットラインを選択する。
 前記ライトドライバは、選択的にリセットパルスを発生して、選択されたメモリブロック内の選択されたピットラインと選択されたワードラインとの交差領域においてメモリセルを結晶化セット状態にプログラムし、また、選択的にセットパルス電流を発生して、選択されたメモリブロック内の選択されたピットラインと選択されたワードラインとの交差領域においてメモリセルを結晶化状態にプログラムする。前記ライトドライバ制御回路は前記アドレスデコーダーにより選択されたメモリセルブロックに応じて少なくとも一つのセットとリセットパルス電流の少なくとも一つのパルス幅とパルスカウントを変化させ、前記リセットパルス電流のパルス幅は一定であり、前記セットパルス電流のパルス幅は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて減少されることを特徴とする。

10

20

【0022】

本発明は好適な更に他の実施形態による方法は、非晶質状態と結晶状態との間でプログラム可能な物質を含んだ複数の相変化メモリセルを有する相変化メモリ装置をプログラミングすることを提供する。前記方法はライトドライバを用いて、アドレス回路により選択されたメモリセルを非晶質状態にプログラムするために選択的にリセットパルス電流を発生することを含み、また、アドレス回路により選択されたメモリセルを結晶状態にプログラムするために選択的にセットパルス電流を発生することを含み、また、プログラムされたライトドライバとメモリセルとの間の負荷に応じてリセットとセットパルス電流の少なくとも一つのパルス幅とパルスカウントを変化させ、前記リセットパルス電流のパルス幅は一定であり、前記セットパルス電流のパルス幅は前記アドレス回路により選択されたライトドライバとメモリセルとの間の負荷の増加に応じて減少されることを特徴とする。

30

【発明の効果】**【0023】**

本発明によれば、メモリセルのオーバープログラミングを防止して、メモリセルのプログラミング時の消費電力を減少させることができる。

【発明を実施するための最良の形態】**【0024】**

本発明は、ライトドライバとアドレスメモリセルとの間の負荷に応じてリセットパルス電流及びセットパルス電流の少なくとも一つのパルス幅及びパルスカウントの少なくとも一つを変化させるように、相変化メモリ装置のライトドライバを制御することを特徴とする。このような方法によりメモリセルのオーバープログラミングを防止し、従って、セット状態又はリセット状態にセルを確実に書き込みするのに必要とされる電力消費を減らすことができる。

40

【0025】

以下、本発明は好適な実施形態を詳細に説明する。図1は本発明の好適な実施形態に係る相変化メモリセル装置の回路図である。図示するように、相変化メモリセル装置200はアドレスバッファ(XAdd_Buf(A0))210_1、(XAdd_Buf(A1))210_2、入力データバッファ(DIN_BUF)211、ライトイネーブルバッファ(XWE_Buf)212、プリーデコーダー(PREDECODER)220、ライトドライバ(WRITE DRIVER)230、メインデコーダー(MAIN DEC)240、メモリアレイ260、セット制御パルス発生器(SETCONTR

50

OL PULSE GENERATOR) 270、及びマルチプレクサ(MUX) 280を含む。

【0026】

入力バッファ210_1は入力アドレス信号XA0を受信し、プリーデコーダー220にバッファされたアドレス信号A0P、A0PBを出力する。同様に、入力バッファ210_2は入力アドレス信号XA1を受信し、プリーデコーダー220にバッファされたアドレス信号A1P、A1PBを出力する。さらに、ライトイネーブル信号バッファ212はライトイネーブル信号XWEを受信し、プリーデコーダー220とマルチプレクサ280にバッファされたライトイネーブル信号WEbを出力する。

【0027】

プリーデコーダー220はバッファされたアドレス信号A0P、A0PB、A1P、A1PBとバッファされたライトイネーブル信号WEbを受信し、メインデコーダー240にデコードされたアドレス信号A00_DEC、A01_DEC、A10_DEC、A11_DECを出力し、さらに、マルチプレクサ280にデコードされたライト制御信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECを出力する。この実施形態においてデコードされたライト制御信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECはメモリアレイ260のブロック260a、260b、260c、260dのうちいずれが書き込みされるべきかを示す。

【0028】

メインデコーダー240はデコードされた制御信号A00_DEC、A01_DEC、A10_DEC、A11_DECを受信し、ブロック選択信号A00、A01、A10、A11を出力する。ブロック選択信号A00、A01、A10、A11はメモリアレイ260の各ブロック260a、260b、260c、260dのワードラインWL_i、WL_j、WL_k、WL_lを駆動する。

【0029】

セット制御パルス発生器270はアドレス遷移感知(ADT)信号に応じて、異なったパルス幅、即ち、SET_PULSE(A00)、SET_PULSE(A01)、SET_PULSE(A10)、SET_PULSE(A11)を有する複数のSET_PULSEを発生する。詳細は後述するが、これらの異なったSET_PULSEはメモリアレイ260に印加されたライトSET電流パルスのパルス幅をセットするために選択的に用いられる。

【0030】

マルチプレクサ280はバッファされたライトイネーブル信号WEbとデコードされたライト制御信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECに応じて、SET_PULSE(A00)、SET_PULSE(A01)、SET_PULSE(A10)、SET_PULSE(A11)のうち一つを選択し、図1に示すSET_CON_PULSEとして出力する。具体的には、バッファされたライトイネーブル信号WEbによりイネーブルされた場合、マルチプレクサ280はWE_A00_DECがアクティブ状態であるときにSET_PULSE(A00)を出力する。また、マルチプレクサはWE_A01_DECがアクティブ状態であるときにSET_PULSE_(A01)を出力する。また、マルチプレクサはWE_A10_DECがアクティブ状態であるときにSET_PULSE_(A10)を出力する。また、マルチプレクサはWE_A11_DECがアクティブ状態であるときにSET_PULSE_(A11)を出力する。但し、一つのWE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECだけが与えられた時間にアクティブ状態であることを注目されたい。

【0031】

入力バッファ211からの入力データ信号(DIN)により、ライトドライバ230はセット電流制御パルスSET_CON_PULSE(マルチプレクサ280から)またはリセット電流制御パルスRESET_CON_PULSEのいずれか一つに応じてライト

電流パルス(S D L)を出力する。例えば、書き込みされるべきデータがローであれば、ライトドライバ230はSET_CON_PULSEにより規定されたパルスを有するセット(SET)プログラミングライト電流パルスを出力する。反対に、書き込みされるべきデータがハイであれば、ライトドライバ230はRESET_CON_PULSEにより規定されたパルス幅を有するリセットプログラミングライト電流パルスを出力する。また、後述するように、ライトドライバ230はセットプログラミングよりもリセットプログラミングに対してより高い電流を出力する(例えば、I_{r s e t} > I_{s e t})。

【 0 0 3 2 】

コラムデコーダー250はメモリブロック160a、160b、160c、160dの選択されたコラムにライトドライバ230からのライト電流パルスSDLを供給する。

10

【 0 0 3 3 】

図2は、セット電流制御信号(SET_CON_PULSE)の異なったパルス幅を示す図である。これは相変化メモリセルアレイ260の各ブロック260a、260b、260c、260dに印加されたセットライト電流パルスのパルス幅を規定する。図2に示すように、遠いブロック260aへのセット電流信号入力のパルス幅は近いブロック(260d)へのセット電流信号入力のパルス幅よりも短い。

【 0 0 3 4 】

遠いブロック260aに短いパルス電流幅を印加することにより、セット書き込み動作の間にブロックのメモリセルのオーバープログラミングが防止される。これは図3と図4に図示される。リセット状態の間に相変化層(GST)の抵抗分布領域は図3に図示されるようなものと仮定する。次に、セット書き込み動作が図2に図示されたセット電流パルスを用いて行われると仮定する。図4は、セット状態において結果として生じる相変化層(GST)の抵抗分布領域を示す図である。上述した図2と比較すると、図4では抵抗分布領域がよりコンパクトであるため、遠いブロック260aをリセット領域に戻すために必要な電力が低減される。

20

【 0 0 3 5 】

図5は本発明の好適な実施形態に係るプリーデコーダー220の回路図である。この実施形態でプリーデコーダー220はNANDゲートND1、ND2、ND3、ND4、NORゲートNOR1、NOR2、NOR3、NOR4、及びインバーターIN1、IN2、IN3、IN4、IN5、IN6、IN7、IN8、IN9、IN10、IN11を含む。図示するように、プリーデコーダー220はバッファされたアドレス信号A0P、A0PB、A1P、A1PBとバッファされたライトイネーブル信号WEbを受信し、デコードされたアドレス信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECとデコードされたライト制御信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECを出力する。この実施形態において、バッファされたライトイネーブル信号WEbがローである場合、一つのデコードされたライト制御信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DECだけがハイである。

30

【 0 0 3 6 】

図6は本発明の好適な実施形態に係るセット制御パルス発生器270の回路図である。この実施形態において、セット制御パルス発生器はNANDゲートND1、ND2、ND3、ND4、ND4、NORゲートNOR1、遅延回路D1、D2、D3、D4、及びインバーターIN1、IN2、IN3、IN4、IN5を含む。図6の回路は、図2に示したように、異なるパルス幅のSET_PULSE_SIGNALsを出力するために構成される。

40

【 0 0 3 7 】

図7は本発明の好適な実施形態に係るマルチプレクサ280の回路図である。この実施形態の前記マルチプレクサ280は伝送ゲートPG1、PG2、PG3、PG4、インバーターIN1、IN2、IN3、IN4、IN5、IN6、及びトランジスタNM1を含む。バッファされたライトイネーブル信号WEbがローである場合、それぞれの一つのデコードされたライト制御信号WE_A00_DEC、WE_A01_DEC、WE_A10_DEC

50

、WE_A11_DECがハイであるときにSET_CON_PULSEとしての出力はSET_PULSE(A00)(A01)(A10)(A11)うちの一つである。

【0038】

図8は本発明の好適な実施形態に係るライトドライバ230の回路図である。図面において“H”“L”“OFF”“ON”はリセットプログラミング動作を示し、入力データはハイである。図9は図8と同様に、図面において“H”“L”“OFF”“ON”はセットプログラミング動作を示し、入力データはローである。

【0039】

図8と図9の実施形態において、ライトドライバ回路230はロジック回路231、カレントミラー233、及び出力回路235を含む。ロジック回路231は伝送ゲートPG1、PG2とインバーターIN1、IN2、IN3、IN4を含む。カレントミラー233はトランジスタNM1、NM2、NM3、NM4、NM5、PM1、PM2を含む。出力回路235はトランジスタPM3、NM6とインバーターIN5を含む。
10

【0040】

図8を参照すると、リセットプログラミング動作中に入力データ(DATA)はハイであり、伝送ゲートPG1がターンオフされる。RESET_CON_PULSEがローである場合、ロジック回路231のインバーターIN4の出力はローとなる。この場合、トランジスタNM6はオンされ、トランジスタNM5はオフされて、ノードND2はロー(接地)となる。その結果、出力電流SDLは図示したようにIreset=0となる。反対に、RESET_CON_PULSEがハイであるとき、ロジック回路231のインバーター-IN4の出力はハイであり、トランジスタNM6はオフとなる。さらに、データ(DATA)がハイであるため、ロジック回路231のインバーターIN2の出力はハイであり、カレントミラー233のトランジスタNM3、NM4はオフとなる。その結果、出力電流SDLは図示したようにIreset=i1+i2となる。
20

【0041】

図9を参照すると、セットプログラミング動作中に入力データ(DATA)はローであり、伝送ゲートPG2がターンオフされる。SET_CON_PULSEがローである場合、ロジック回路231のインバーターIN4の出力はローである。このように、トランジスタNM6はオンされ、トランジスタNM5はオフされて、ノードND2はロー(接地)となる。その結果、出力電流SDLは図示したようにIsset=0となる。反対に、SET_CON_PULSEがハイであるとき、ロジック回路231のインバーターIN4の出力はハイであり、トランジスタNM6はターンオフされる。さらに、データ(DATA)がローであるため、ロジック回路231のインバーターIN2の出力はローであり、カレントミラー233のトランジスタNM3、NM4はターンオフされる。その結果、出力電力SDLは図示したようにIsset=i1となる。
30

【0042】

図10はセットプログラミングパルスSET_CON_PULSEの発生を説明するためのタイミング図である。図示するように、ライトイネーブル信号XWEがハイであるとき、バッファライトイネーブル信号WEbはハイである。さらに、アドレス遷移感知信号の立ち下がりエッジに応じて、SET_CON_PULSE信号が発生される。WEbがローであり、WE_A00_DECがハイであるとき、SET_CON_PULSE信号はSET_PULSE(A00)に対応する。また、WEbがローであり、WE_A01_DECがハイであるとき、SET_CON_PULSE信号はSET_PULSE(A01)に対応する。また、WEbがローであり、WE_A01_DECがハイであるとき、SET_CON_PULSE信号はSET_PULSE(A10)に対応する。また、WEbがローであり、WE_A11_DECがハイであるとき、SET_CON_PULSE信号はSET_PULSE(A11)に対応する。
40

【0043】

充分な説明のため、本発明の好適な実施形態に係るプリーデコーダー220-1、220-2、220-3、220-4、メインデコーダー240、コラムデコーダー250、
50

及びメモリアレイを含んだ相変化ランダムアクセスメモリ (PRAM) の詳細な回路図を図 1 1 に示す。この実施形態において、メモリアレイの各ブロック (BLK) は 256 個のワードライン (WL) から構成され、各ワードライン WL は複数の相変化メモリセルに連結される。

【 0 0 4 4 】

プリーデコーダー 220 - 1、220 - 2、220 - 3、…、220 - n の出力はインバーター I1、…、In からの反転されたデコードアドレス信号とともにメインデコーダー 240 のNOR素子に印加される。前記NOR素子の出力は各ワードライン WL を駆動する。コラムデコーダー 250 はライトドライバ 230 - 1、…、230 - n とピットライン BL0、…、BLn との間に連結された複数の選択トランジスタ T1、…、Tn を含む。

10

【 0 0 4 5 】

上記の第 1 実施形態は、ライトドライバとアドレスメモリセルとの間の負荷に応じてセットパルスのパルス幅を変化させるように、相変化メモリ装置のライトドライバを制御することを特徴とする。このような方法によりメモリセルのオーバープログラミング防止され、従って、セルをセット状態とリセット状態に確実に書き込みするのに必要とされる電力消費を減少させることができる。

【 0 0 4 6 】

図 12 は他の実施形態を示す。即ち、図 12 の第 2 実施形態によると、ライトドライバとアドレスメモリセルとの間の負荷に応じてセットパルス電流のパルスカウントを変化させるように、相変化メモリ装置のライトドライバを制御する。図示したように、セット電流制御信号の異なったパルスカウント (SET_CON_PULSE) は相変化メモリセルアレイ 260 の各ブロック 260a、260b、260c、260d に印加されたセットライト電流パルスのパルスカウントを規定する。図 12 に示すように、遠いブロック 260a へのセット電流信号入力のパルスカウントは近いブロック 260d へのセット電流信号入力のパルスカウントよりも小さい。

20

【 0 0 4 7 】

図 13、図 14 は本発明の好適な第 2 実施形態における図 1 のプリーデコーダー 220 を示す。この実施形態においてプリーデコーダー 220 は NAND ゲート ND1、…、ND14、NOR ゲート NOR1、…、NOR4、インバーター IN1、…、IN9 を含む。図示するように、プリーデコーダー 220 はバッファされたアドレス信号 A0P、A0PB、A1P、A1PB とバッファされたライトイネーブル信号 WEb を受信し、デコードされたアドレス信号 A00_DEC、A01_DEC、a10_DEC、A11_DEC とデコードされたライト制御信号 WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DEC を出力する。この実施形態において、バッファされたライトイネーブル信号 WEb がローであるとき、一つ以上のデコードされたライト制御信号 WE_A00_DEC、WE_A01_DEC、WE_A10_DEC、WE_A11_DEC はハイである。

30

【 0 0 4 8 】

図 15 は本発明の好適な第 2 実施形態によるセットプログラミングパルス SET_CON_PULSE の発生を説明するためのタイミング図である。図示するように、ライトイネーブル信号 XWE がハイであるとき、バッファライトイネーブル信号 WEb はハイである。さらに、アドレス遷移感知 (ATD) 信号の立ち下がりエッジに応じて SET_CON_PULSE が発生される。

40

【 0 0 4 9 】

図 15 に示すように、WEb がローであり、WE_A00_DEC だけがハイである場合、SET_CON_PULSE 信号は SET_PULSE (A00) に対応する。また、WEb がローであり、WE_A00_DEC と WE_A01_DEC がハイである場合、SET_CON_PULSE 信号は SET_PULSE (A00) と SET_PULSE (A01) の組合せに対応する。また、WEb がローであり、WE_A00_DEC と WE_A01_DEC がハイである場合、SET_CO

50

N_PULSE 信号は SET_PULSE(A00) と SET_PULSE(A01) と SET_PULSE(A10) の組合せに対応する。また、WE_b がローであり、WE_A00_DEC と WE_A01_DEC と WE_A10_DEC と WE_A11_DEC のすべてがハイである場合、SET_CON_PULSE 信号は SET_PULSE(A00) と SET_PULSE(A01) と SET_PULSE(A10) と SET_PULSE(A11) の組合せに対応する。

【0050】

図16は本発明の好適な第2実施形態に係る図1のセット制御パルス発生器270の回路図である。この実施形態において、セット制御パルス発生器はNORゲートNOR1、NANDゲートND1、遅延回路D1、D2、D3、D4を含む。本実施形態では、図16の回路は図15に示したようにSET_PULSE信号A00、A01、A10、A11を出力するために構成される。
10

【0051】

上述の第2実施形態は、ライトドライバとアドレスメモリセルとの間の負荷に応じてセットパルス電流のパルスカウントを変化させるように、相変化メモリ装置のライトドライバを制御することを特徴とする。このような方法によりメモリセルのオーバープログラミングが防止され、従って、セルをセット状態とリセット状態に確実に書き込みするのに必要とされる電力消費を減らすことができる。

【0052】

図17は第1及び第2実施形態とは別の実施形態である。即ち、図17の第3実施形態により、ライトドライバとアドレスメモリセルとの間の負荷に応じてリセットパルス電流のパルス幅を変化させるように、相変化メモリ装置のライトドライバを制御する。図示したように、各ブロック260a、260b、260c、260dに印加されたリセット電流制御信号の異なったパルス幅はリセットパルスA_RESET_PULSE、B_RESET_PULSE、C_RESET_PULSE、D_RESET_PULSEのパルス幅により規定される。図17に示すように、遠いブロック領域(A00)へのリセット電流信号入力のパルス幅は近いブロック領域(A11)へのリセット電流信号のパルス幅よりも大きい。

【0053】

図18は第1乃至第3実施形態とは別の実施形態である。即ち、図18の第4実施形態により、ライトドライバとアドレスメモリセルとの間の負荷に応じてリセットパルス電流のパルスカウントを変化させるように相変化メモリ装置のライトドライバを制御する。図示するように、各ブロック260a、260b、260c、260dに印加されたリセット電流制御信号の異なったパルスカウントはリセットパルス A_RESET_PULSE、B_RESET_PULSE、C_RESET_PULSE、D_RESET_PULSE のパルスカウントにより規定される。図18に示すように、遠いブロック領域(A00)へのリセット電流信号入力のパルスカウントは、近いブロック領域(A11)へのリセット電流信号入力のパルスカウントよりも大きい。

【0054】

図19は本発明の好適な第4実施形態によるリセットプログラミングパルスRESET_CON_PULSEの発生を説明するためのタイミング図である。図示するように、ライトイネーブル信号XWEがハイであるとき、バッファライトイネーブル信号WE_bはハイである。さらに、アドレス遷移感知(ATD)信号の立ち下がりエッジに応じて、RESET_COM_PULSE信号が発生される。
40

【0055】

図19に示すように、WE_b がローであり、WE_A00_DEC がハイである場合、RESET_CON_PULSE 信号は A_RESET_PULSE に対応する。また、WE_b がローであり、WE_A01_DEC がハイである場合、RESET_CON_PULSE 信号は B_RESET_PULSE に対応する。また、WE_b がローであり、WE_A10_DEC がハイである場合、RESET_CON_PULSE 信号は C__
50

`RESET_PULSE`に対応する。また、`WEb`がローであり、`WE_A11_DEC`がハイである場合、`RESET_CON_PULSE`信号は`D_RESET_PULSE`に対応する。この場合、`A_RESET_PULSE`、`B_RESET_PULSE`、`C_RESET_PULSE`、`D_RESET_PULSE`は図17に示したようである。

【0056】

図20は本発明の好適な第4実施形態によるリセットプログラミングパルス`RESET_CON_PULSE`の発生を説明するためのタイミング図である。図示するように、ライトイネーブル信号`XWE`がハイである場合、バッファライトイネーブル信号`SEb`はハイである。さらに、アドレス遷移感知(`ATD`)信号の立ち下がりエッジに応じて、`RESET_CON_PULSE`信号が発生される。
10

【0057】

図20に示すように、`WEb`がローであり、`WE_A00_DEC`、`WE_A01_DEC`、`WE_A10_DEC`、`WE_A11_DEC`のすべてがハイである場合、`RESET_CON_PULSE`信号は`A_RESET_PULSE`、`B_RESET_PULSE`、`C_RESET_PULSE`、`D_RESET_PULSE`の組合せに対応する。また、`WEb`がローであり、`WE_A01_DEC`、`WE_A10_DEC`、`WE_A11_DEC`がハイである場合、`RESET_CON_PULSE`信号は`A_RESET_PULSE`、`B_RESET_PULSE`、`C_RESET_PULSE`の組合せに対応する。また、`WEb`がローであり、`WE_A10_DEC`、`WE_A11_DEC`がハイである場合、`RESET_CON_PULSE`信号は`A_RESET_PULSE`、`B_RESET_PULSE`の組合せに対応する。また、`WEb`がローであり、`WE_A11_DEC`がハイである場合、`RESET_CON_PULSE`信号は`A_RESET_PULSE`に対応する。
20

【0058】

上述の第3、第4実施形態は、ライトドライバとアドレスメモリセルとの間の負荷に応じてリセットパルスドライバのパルスカウントを変化させるように相変化メモリ装置のライトドライバを制御することを特徴とする。このような方法によりメモリセルのオーバープログラミングが防止され、従って、セルをリセット状態に確実に書き込みするのに必要とされる電流消費を減らすことができる。
30

【0059】

上述の好適な実施形態の組合せを実施することができる。例えば、書き込みされるべき相変化メモリセルの負荷に応じてリセットライト電流パルス及びセットライト電流パルスの少なくとも一方のパルス幅及びパルスカウントの少なくとも一方を変化させることができる。

【0060】

本発明の好適な実施形態を図面と明細書に開示した。本発明は、これらの実施形態に限定されることを意図しておらず、添付した特許請求の範囲の記載に基づいて解釈されなければならない。さらに、当業者であれば、本発明の技術的思想から逸脱しない範囲内でこれらの実施形態を変更することができる。
40

【図面の簡単な説明】

【0061】

【図1】本発明の好適な実施形態による相変化メモリセル装置の回路図である。

【図2】本発明の好適な実施形態による相変化メモリセルブロックに印加されたセットプログラミングパルスを示す図である。

【図3】本発明の好適な実施形態による異なったメモリブロックにおける相変化メモリセルのリセット抵抗分布領域を示す図である。

【図4】本発明の好適な実施形態による異なったメモリブロックにおける相変化メモリセルのセット抵抗分布領域を示す図である。

【図5】本発明の好適な実施形態によるプリーデコーダーの回路図である。
50

【図 6】本発明の好適な実施形態によるセット制御パルス発生器の回路図である。

【図 7】本発明の好適な実施形態によるマルチプレクサの回路図である。

【図 8】本発明の好適な実施形態によるライトドライバの回路図である。

【図 9】本発明の好適な実施形態によるセット動作中であるライトドライバの回路図である。

【図 10】本発明の好適な実施形態によるセットプログラミングパルスの発生を記述するためのタイミング図である。

【図 11】本発明の好適な実施形態によるメインデコーダー、コラムデコーダー、及びメモリアレイの回路図である。

【図 12】本発明の好適な他の実施形態による相変化メモリセルブロックに印加されたセットプログラミングパルスを示す図である。 10

【図 13】、

【図 14】本発明の好適な他の実施形態によるプリーデコーダーの回路図である。

【図 15】本発明の好適な他の実施形態によるセットプログラミングパルスの発生を記述するためのタイミング図である。

【図 16】本発明の好適な他の実施形態によるセット制御パルス発生器の回路図である。

【図 17】本発明の好適な更に他の実施形態による相変化メモリセルブロックに印加されたりセットプログラミングパルスを示す図である。

【図 18】本発明の好適な更に他の実施形態による相変化メモリセルブロックに印加されたりセットプログラミングパルスを示す図である。 20

【図 19】、

【図 20】本発明の好適な更に他の実施形態によるリセットプログラミングパルスの発生を記述するためのタイミング図である。

【図 21】非晶質状態と結晶状態で相変化メモリセルを示す図である。

【図 22】リセットプログラミング信号とセットプログラミング信号に応じて相変化メモリセルの温度特性を示すグラフである。

【図 23】リセットプログラミング信号とセットプログラミング信号のライト電流パルスを示すグラフである。

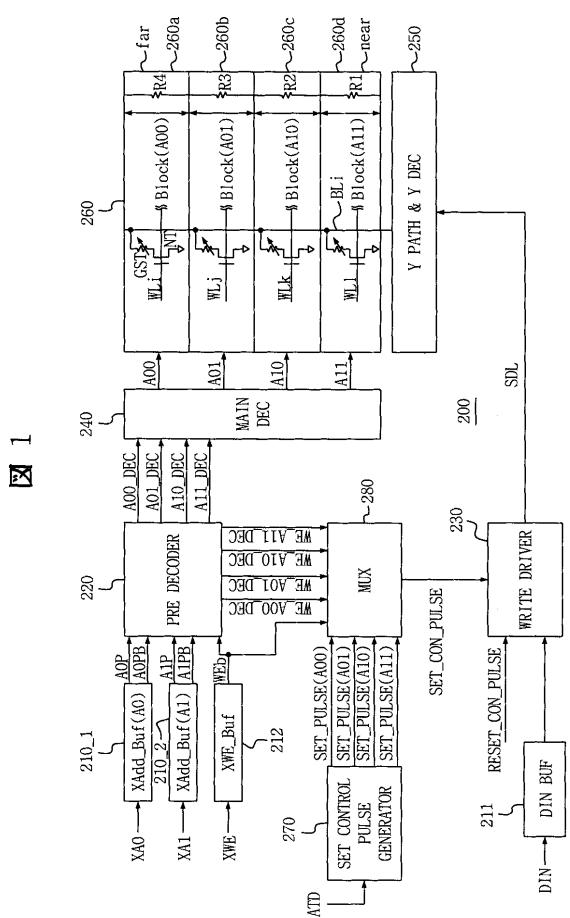
【図 24】相変化メモリセル装置の回路図である。

【図 25】相変化メモリセルブロックに印加されたセットプログラミングパルスを示す図である。 30

【図 26】異なったメモリブロックで相変化メモリセルのリセット抵抗分布領域を示す図である。

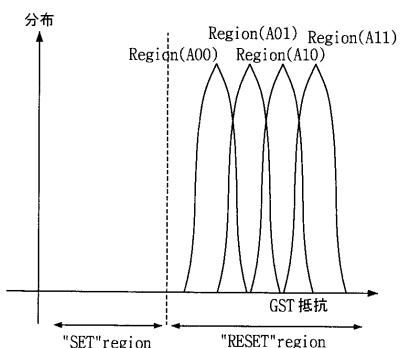
【図 27】異なったメモリブロックで相変化メモリセルのセット抵抗分布領域を示す図である。

【図1】



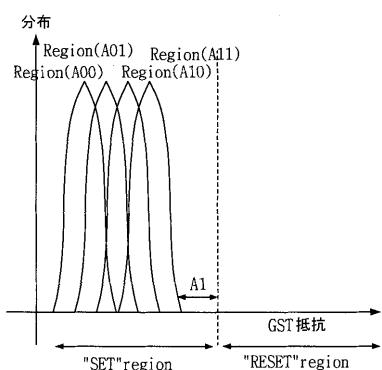
【図3】

図3



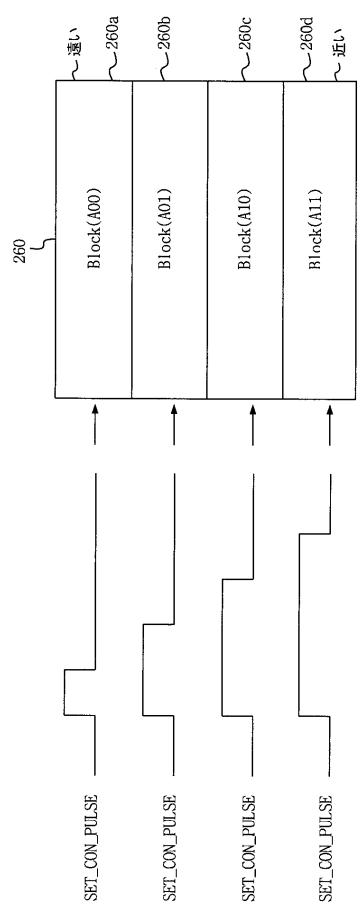
【図4】

図4



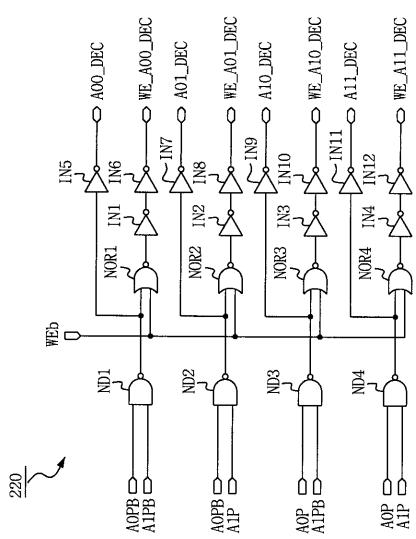
【図2】

図2

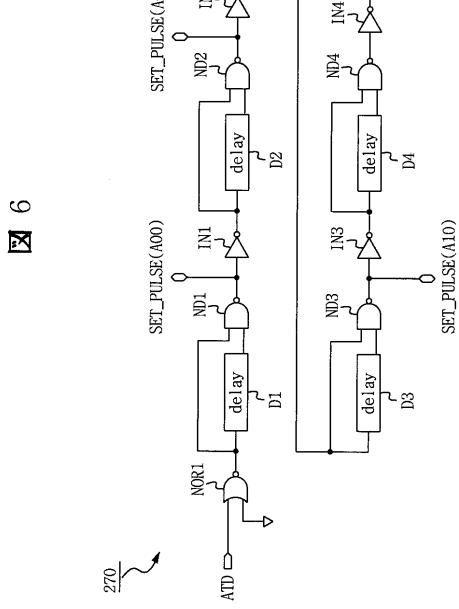


【図5】

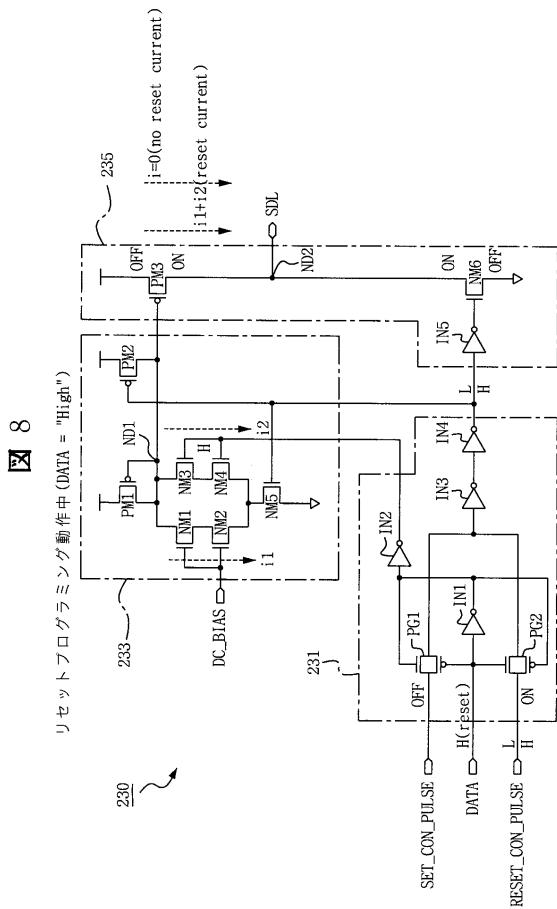
図5



【図6】

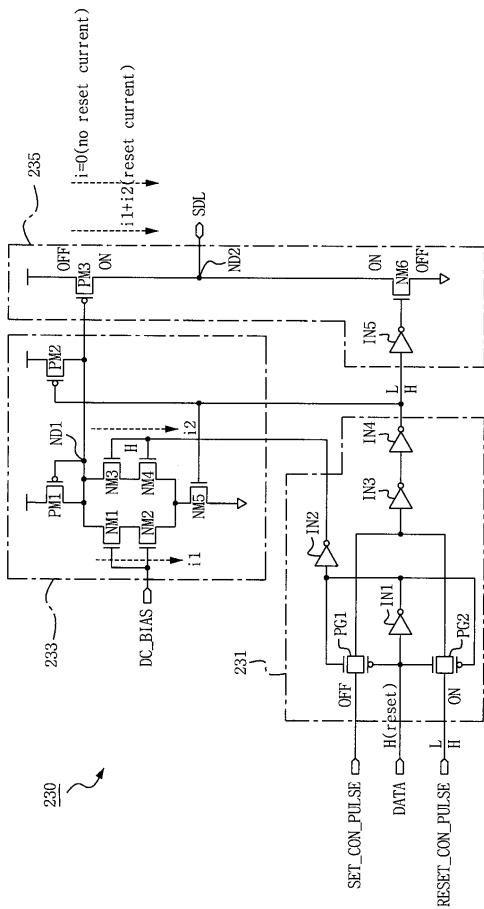


【図8】



【図8】

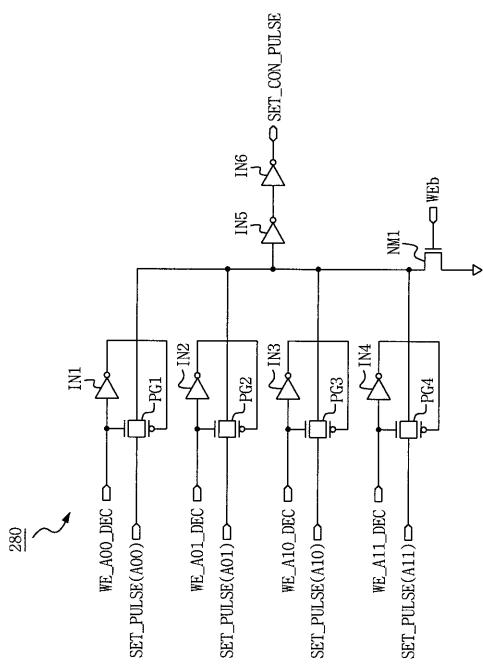
リセットプログラミング動作中 (DATA = "High")



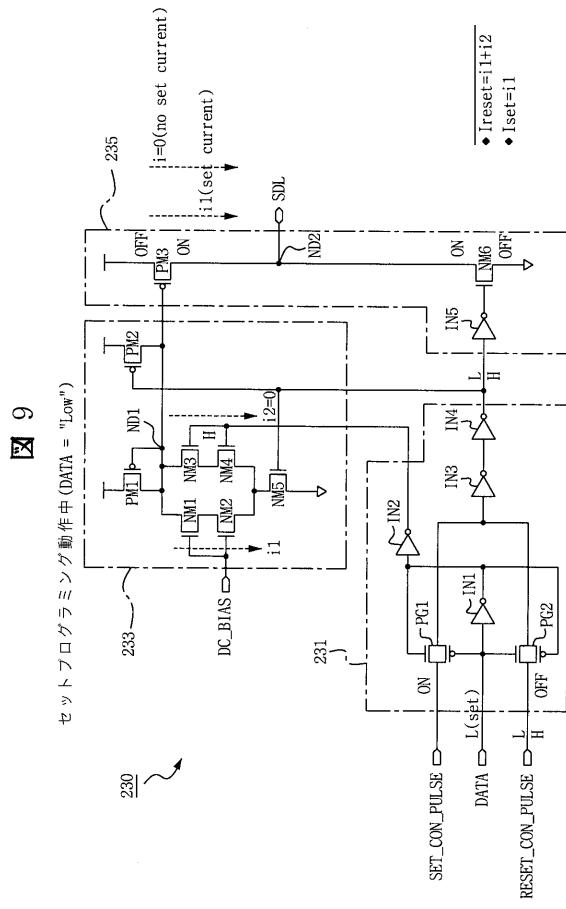
【図8】

リセットプログラミング動作中 (DATA = "Low")

【図7】

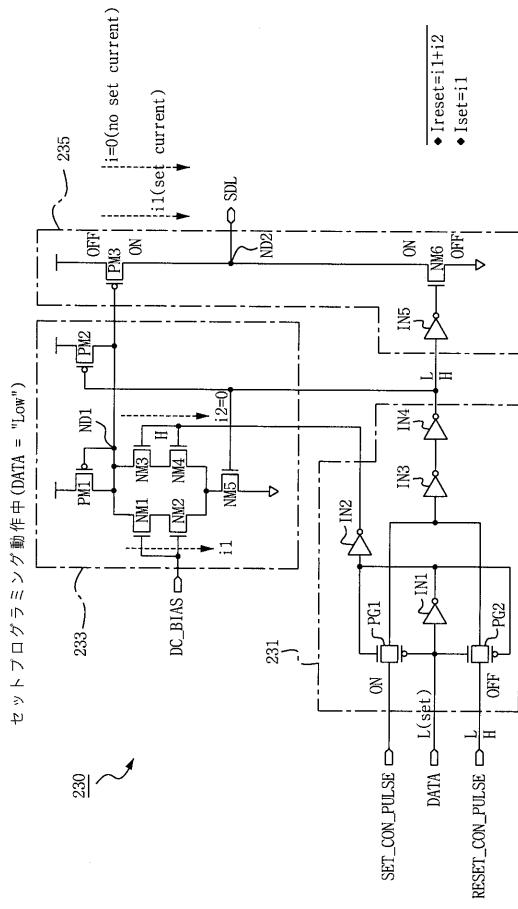


【図9】



【図9】

セットプログラミング動作中 (DATA = "High")

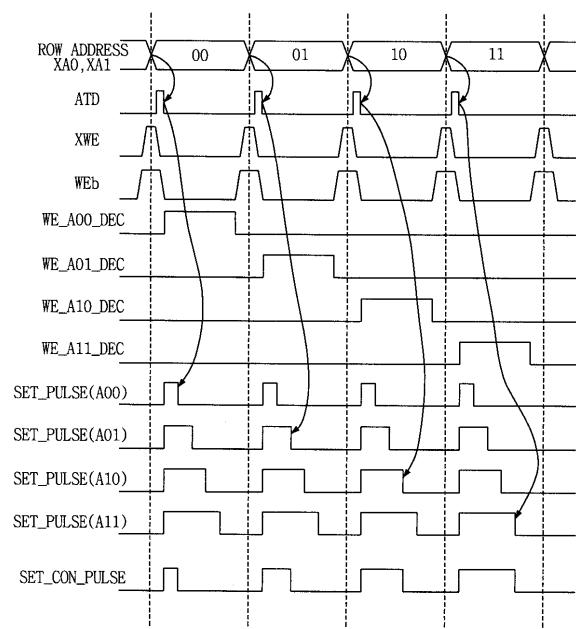


【図9】

セットプログラミング動作中 (DATA = "Low")

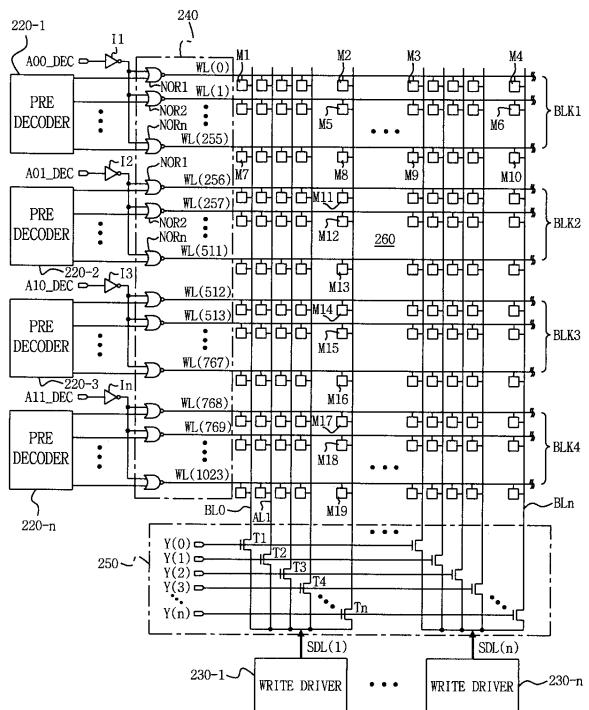
【図 10】

図 10



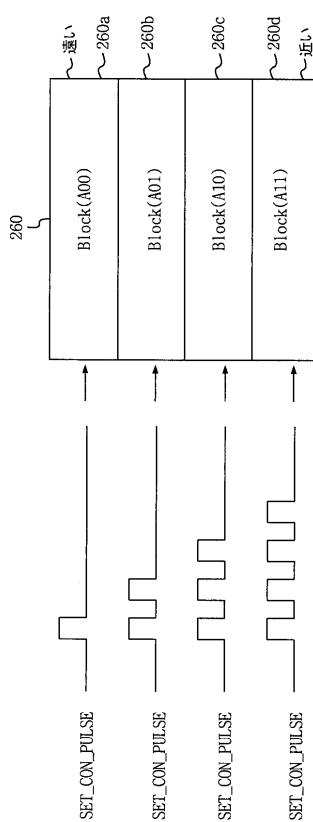
【図 11】

図 11



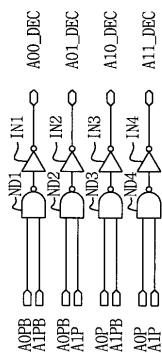
【図 12】

図 12



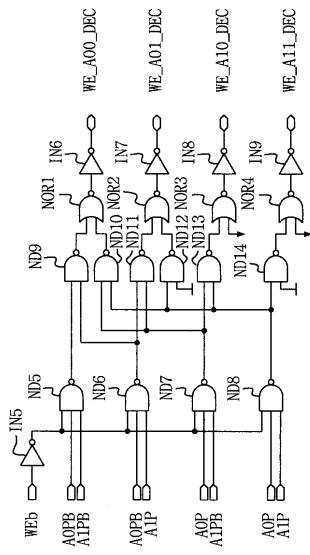
【図 13】

図 13



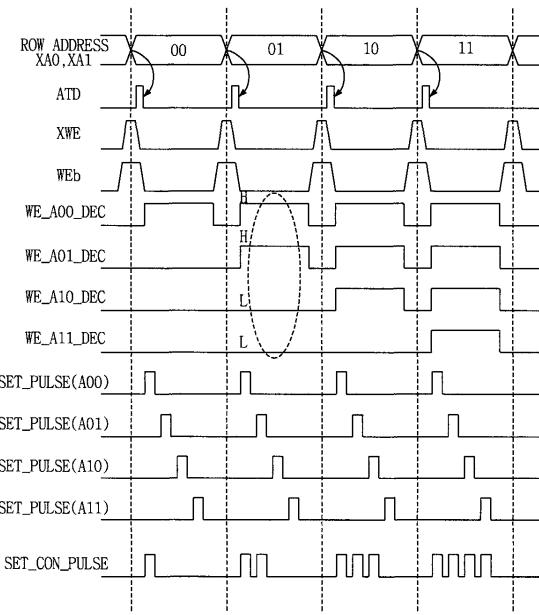
【図 14】

図 14



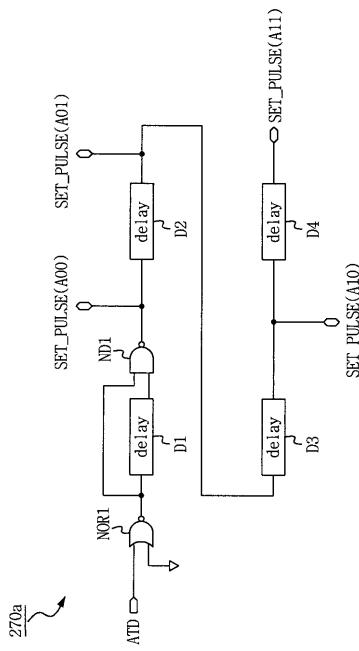
【図 15】

図 15



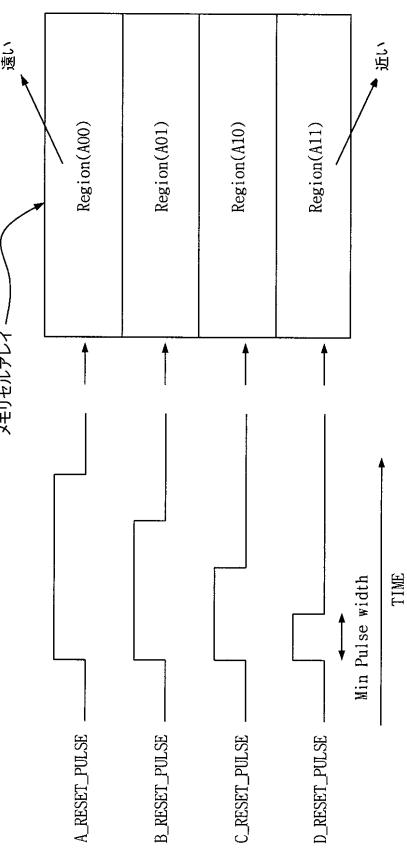
【図 16】

図 16



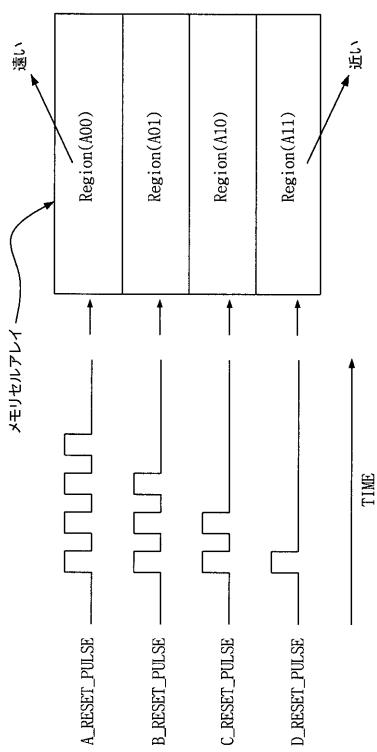
【図 17】

図 17



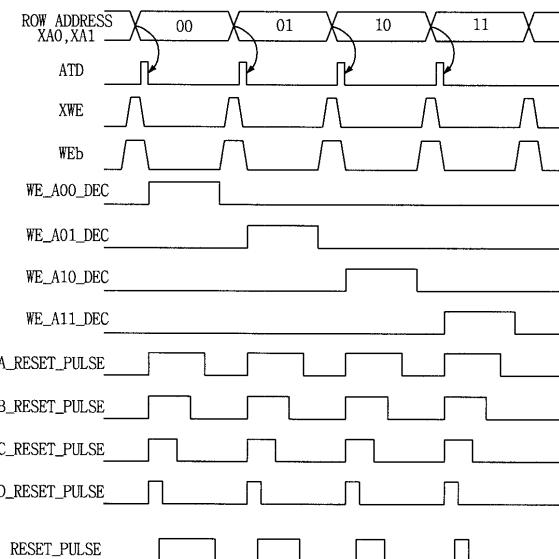
【図 18】

図 18



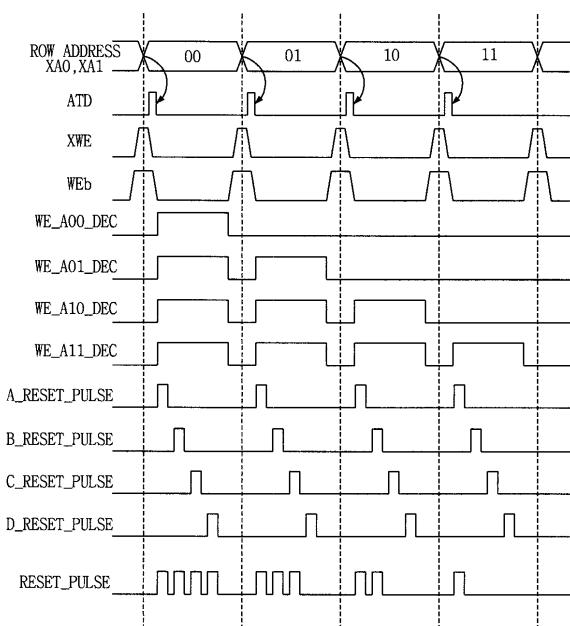
【図 19】

図 19



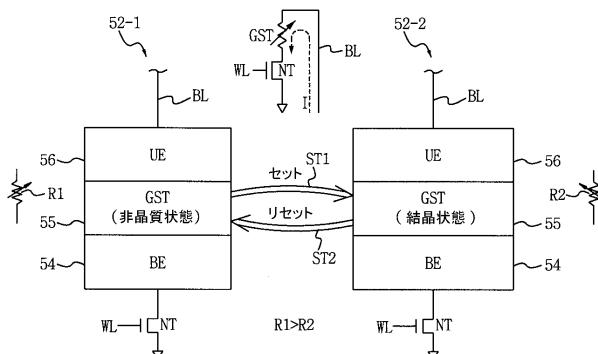
【図 20】

図 20



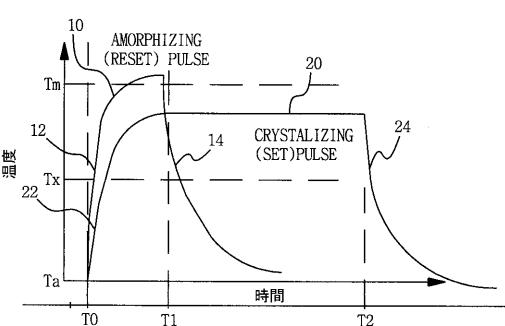
【図 21】

図 21



【図 22】

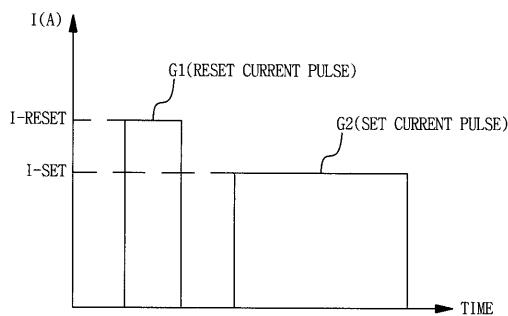
図 22



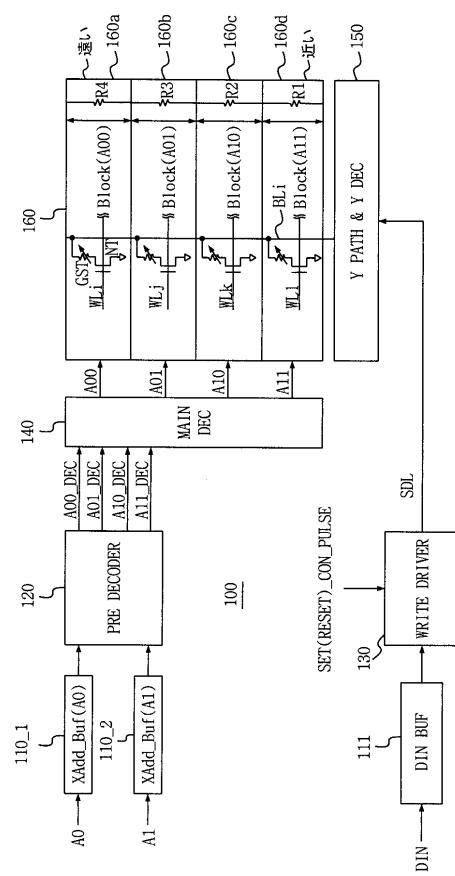
【図23】

【図24】

23



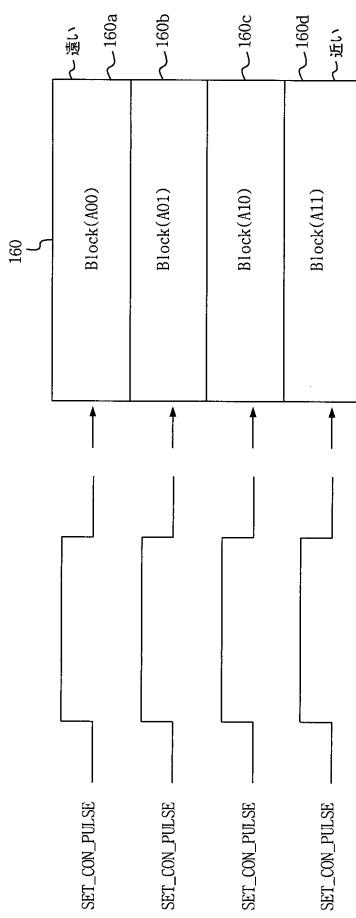
24



【図25】

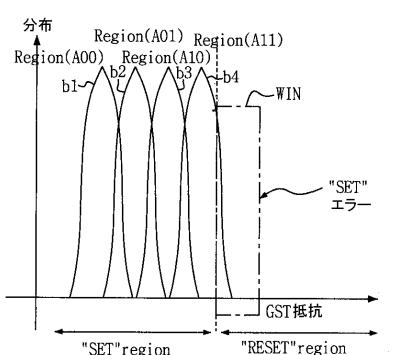
【図26】

26



【図27】

图 27



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 崔炳吉

大韓民国京畿道龍仁市器興邑476-1番地真成マンション201号

(72)発明者 郭忠根

大韓民国京畿道水原市八達区永通洞ハンゴルマウル豊林アパート235-1806号

(72)発明者 金杜応

大韓民国京畿道龍仁市水枝邑豊徳川里ジンサンマウル1168番地三星アパート516-1004号

(72)発明者 趙柏衡

大韓民国京畿道烏山市富山洞779-1番地雲岩住公アパート310-603号

審査官 加藤 俊哉

(56)参考文献 特開2003-109389(JP,A)

特開2004-110871(JP,A)

特開2004-158119(JP,A)

国際公開第2004/055827(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G 11 C 13 / 00