

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 7 月 19 日 (19.07.2007)

PCT

(10) 国際公開番号
WO 2007/080864 A1

(51) 国際特許分類:

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.);
〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門
琴平タワー Tokyo (JP).

(21) 国際出願番号:

PCT/JP2007/050118

(22) 国際出願日:

2007 年 1 月 10 日 (10.01.2007)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

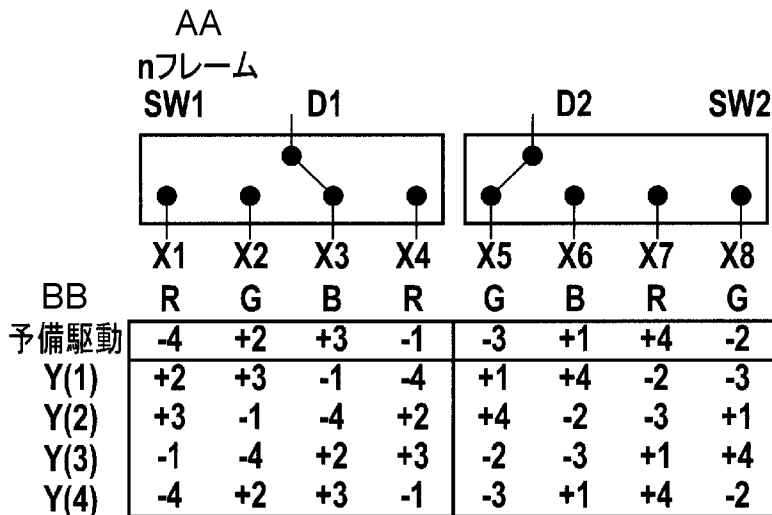
特願2006-004167 2006 年 1 月 11 日 (11.01.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 東芝
松下ディスプレイテクノロジー株式会社 (TOSHIBA
MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.)
[JP/JP]; 〒1080075 東京都港区港南四丁目 1 番 8 号
Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR,
KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL,
SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: PLANE DISPLAY DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 平面表示装置及びその駆動方法



AA... n FRAME

BB... PREPARATORY DRIVE

(57) Abstract: A plane display device contemplates to attain a satisfactory display stably, even in case the period of a voltage polarity is switched at the head of a frame when a signal line is driven while applying a periodicity of every M rows to the voltage polarity of the signal line in each frame. Prior to the drive of the signal line for a first row (Y(1)) of the scanning line at the head of the frame, a control circuit (22) makes a control to apply the voltage polarity of the last row in the period of every four rows of scanning lines, to the signal line.

(57) 要約: 本平面表示装置は、各フレームで信号線の電圧極性に走査線のM行毎の周期性を与えつつ信号線を駆動する際に、フレームの先頭で電圧極性の周期を切り換えた場合でも、安定して良好な表示を得ることを課題とする。制御回路22により、フレームの先頭において走査線の第

1行目Y(1)に対する信号線の駆動に先立ち、走査線の4行毎の周期における最終行の電圧極性を信号線に与えるように制御する。

WO 2007/080864 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

平面表示装置及びその駆動方法

技術分野

[0001] 本発明は、平面表示装置及びその駆動方法に関し、信号線の極性を反転させて信号線から画素へ映像信号を書き込む平面表示装置及びその駆動方法に関する。

背景技術

[0002] 従来、ワープロ、パーソナルコンピュータ、携帯テレビなどでは、薄型で軽量の平面表示装置が広く用いられている。その中でも、アクティブマトリクス型の液晶表示装置では、複数の信号線と複数の走査線との各交差部に薄膜トランジスタ(Thin Film Transistor:TFT)が配置される。この液晶表示装置は、発色性に優れ、残像が少ないという利点がある。

[0003] 近年の製造プロセス技術の進歩によりアレイ基板上に駆動回路を一体的に形成することが可能となり、外部との接続部品数、接続配線数を減らして低コスト化が可能となった。そこで例えば特開2001-312255号公報に記載の技術が知られている。この技術は、液晶表示装置において駆動ICからの映像信号線とアレイ基板上の信号線とを1対N(Nは2以上の整数)で対応させ、アナログスイッチ回路により1水平走査期間にN本の信号線のグループの中から1本を順番に選択して映像信号線に接続する多選択駆動を可能にするものである。

[0004] 一般に、信号線から画素へ映像信号を書き込む方式には、垂直ライン反転駆動方式、H/V反転駆動方式(ドット反転駆動とも呼ばれる)がある。垂直ライン反転駆動方式では隣接する信号線間で信号線の極性を反転させて映像信号を供給する。H/V反転駆動方式では1水平走査期間毎に信号線の極性を切り換えて映像信号を供給するとともに隣接する信号線間でも信号線の極性を反転させて映像信号を供給する。

[0005] 例えば、信号線の多選択駆動におけるNの値を4とし、2水平走査期間毎に信号線の極性を切り換えて映像信号を供給し、且つ隣接する信号線についても2本おきに極性を反転させて映像信号を供給するようにした信号線4選択の2H2V反転駆動方

式では、信号線の電圧極性に走査線のM行(Mは偶数)毎の周期性を与えつつ信号線を駆動する。

[0006] 最近では、例えば特開2005-92176号公報に記載の技術が知られている。この技術は、液晶表示装置において各信号線について隣接する走査線での極性反転の有無と、N本の信号線のグループの中から1本の信号線を選択する際の隣接する信号線での極性反転の有無とを考慮して、各グループで先に選択される信号線の選択順序と後に選択される信号線の選択順序とを制御する。これにより信号線の極性反転に起因した書き込み不足によるムラを視認されにくくするものである。

[0007] このような周期性を有する信号線の電圧極性の切り換えはフレーム毎に行われる。具体的には外部装置から映像データ信号が供給されることを示すデータイネーブル信号がフレームの先頭で最初に確認されたタイミングで行われる。

発明の開示

[0008] しかしながら、従来技術の液晶表示装置は、1フレームの映像データ信号が供給され、次のフレームの垂直ブランキング期間に突入した後も、信号線の電圧極性に周期性を与え続ける。このため、フレームの先頭で信号線の電圧極性を切り換えると、信号線の電圧極性の周期性が崩れてしまうことがある。その結果、表示画面の走査線の1行目に表示不良が生じる。特に画面全体に中間調を表示した場合には、1行目と2行目以降の明るさの違いが顕著になり、良好な表示を得ることができないという問題がある。

[0009] 本発明は、上記に鑑みてなされたものであり、平面表示装置及びその駆動方法において、各フレームで信号線の電圧極性に走査線のM行毎の周期性を与えつつ信号線を駆動する際に、フレームの先頭で電圧極性の周期を切り換えた場合でも、安定して良好な表示を得ることを課題とする。

[0010] 本発明に係る平面表示装置は、複数行の走査線と複数列の信号線の各交差部に画素が配置された画素表示部と、映像信号線を通じて映像信号を供給する駆動回路と、駆動回路からの映像信号線1本毎に信号線をN(Nは2以上の整数)本ずつ対応させたときの各グループ毎に、N本の中から選択された信号線を映像信号線に切り換えて接続するアナログスイッチ回路と、各フレームにおいて信号線の電圧極性に

走査線のM行(Mは偶数)毎の周期性を与えつつ信号線を駆動するとともに、フレームの先頭において走査線の第1行目に対する信号線の駆動に先立ち、M行のうちの最終行における電圧極性を信号線に与える制御を行う制御回路と、を備えることを特徴とする。

[0011] 本発明に係る平面表示装置の駆動方法は、複数行の走査線と複数列の信号線の各交差部に画素が配置された画素表示部を備え、映像信号を複数の映像信号線に供給し、この映像信号線にN(Nは2以上の整数)本ずつ対応させた前記信号線を選択的にアナログスイッチにより切替え接続するようにした多選択駆動方式の平面表示装置の駆動方法において、信号線の電圧極性に走査線のM(Mは偶数)行毎の周期性を与えて駆動するとともに、各フレームの走査線の第1行目に対する信号線の駆動に先立ち、信号線を予備駆動させることを特徴とする。

[0012] 本発明にあつては、制御回路により、フレームの先頭において走査線の第1行目に対する信号線の駆動に先立ち、M行のうちの最終行における電圧極性を信号線に与えるように制御する。走査線の第1行目においてはM行の先頭行における電圧極性が信号線に与えられることになり、フレームの先頭で電圧極性の周期を切り換えた場合でも、各フレームにおける全ての走査線に対してM行(Mは2以上の整数)の周期性が維持される。画素の駆動条件を表示画面全体に亘って均一に分散させ、信号線の極性反転に起因した書き込み不足によるムラを視認されにくくすることができる。

図面の簡単な説明

[0013] [図1]図1は、一実施の形態に係る液晶表示装置の概略的な構成を示す回路ブロック図である。

[図2]図2は、上記液晶表示装置における駆動IC、アナログスイッチ回路の構成を示す回路ブロック図である。

[図3]図3は、上記アナログスイッチ回路におけるアナログスイッチ基本ブロックの内部構成を示す回路図である。

[図4]図4は、信号線4選択の2H2V反転駆動方式における信号線の電圧極性を画素毎に示す図である。

[図5]図5は、上記信号線4選択の2H2V反転駆動方式における信号線の電圧極性及び選択順序を画素毎に示している。

[図6]図6は、制御回路の内部構成を示す回路ブロック図である。

[図7]図7は、制御回路の動作を説明する第1のタイミングチャートである。

[図8]図8は、制御回路の動作を説明する第2のタイミングチャートである。

[図9]図9は、 n 番目と $n+1$ 番目のフレームにおける信号線の電圧極性及び選択順序を画素毎に示す図である。

[図10]図10は、上記信号線の電圧極性及び選択順序において信号線の極性反転が発生する画素の分布を示した図である。

[図11]図11は、上記信号線の電圧極性及び選択順序において駆動IC出力の極性反転が発生する画素の分布を示した図である。

[図12]図12は、上記信号線の極性反転と駆動IC出力の極性反転とを合わせて示した図である。

[図13]図13は、上記信号線の極性反転と駆動IC出力の極性反転とを合わせた結果を n 番目と $n+1$ 番目のフレームとで平均化した結果を示した図である。

[図14]図14は、制御回路に供給される同期信号と映像データ信号を示すタイミングチャートである。

[図15]図15は、制御回路に供給される映像データ信号の詳細を示すタイミングチャートである。

[図16]図16は、信号線の電圧極性の周期を走査線の1行目から割り当てた場合を示した図である。

[図17]図17は、図16の場合の n 番目と $n+1$ 番目のフレームにおける信号線の電圧極性及び選択順序を画素毎に示す図である。

[図18]図18は、図17で示した信号線の電圧極性及び選択順序において信号線の極性反転が発生する画素の分布を示した図である。

[図19]図19は、図17で示した信号線の電圧極性及び選択順序において駆動IC出力の極性反転が発生する画素の分布を示した図である。

[図20]図20は、図18の信号線の極性反転と図19の駆動IC出力の極性反転とを合

わせて示した図である。

[図21]図21は、図20で示した信号線の極性反転と駆動IC出力の極性反転とを合わせた結果をn番目とn+1番目のフレームとで平均化した結果を示した図である。

発明を実施するための最良の形態

[0014] 以下、一実施の形態における液晶表示装置及びその駆動方法について図面を用いて説明する。

[0015] 図1の回路ブロック図に示すように、一実施の形態における液晶表示装置は、ガラス製のアレイ基板1上に画素表示部2と、その左右両端に配置された走査線駆動回路3a、3b(以下、総称して走査線駆動回路3とする)と、上端に配置された信号線駆動回路4と、外部基板21上に配置された制御回路22と、両基板を接続するTCPに実装される駆動IC23a、23bとを備える。

[0016] 画素表示部2では、走査線駆動回路3から引き出された複数の走査線Y1～Y768と信号線駆動回路4から引き出された複数の信号線X1～X3072が交差するように配線される。各交差部には薄膜トランジスタ11と、液晶容量12と、補助容量13を含む画素が配置されている。薄膜トランジスタ11は例えばMOS-FETであり、そのドレイン端子は液晶容量12と補助容量13に接続され、ソース端子は信号線Xに接続され、ゲート端子は走査線Yに接続される。ここでは一例としてXGA型の表示パネルとし、768本の走査線と 1024×3 (RGB) = 3072本の信号線が配線され、 $768 \times 1024 \times 3$ (RGB)個の画素が配置されている。

[0017] 走査線駆動回路3は走査線Y1～Y768をそれぞれ駆動し、信号線駆動回路4は信号線X1～X3072をそれぞれ駆動する。信号線駆動回路4は、アナログスイッチ回路アレイ5a、5bを備えている。アナログスイッチ回路アレイ5aが信号線X1～X1536を駆動し、アナログスイッチ回路アレイ5bが信号線X1537～X3072を駆動する。

[0018] 制御回路22は、外部装置からインターフェースケーブルを介して伝送された映像データ信号、同期信号、クロック信号等に基づいて、走査線駆動回路3、信号線駆動回路4などの周辺回路、駆動IC23a、23bに必要なタイミング信号を生成するとともに、映像信号を駆動IC23a、23bへ転送する。

[0019] 駆動IC23a、23bはTCB法によりTCPとして実装される。駆動IC23a、23bからの

映像信号線D1～D384及びD385～D768はアナログスイッチ回路アレイ5a、5bにより、信号線X1～X1536及びX1537～X3072に接続される。

[0020] アナログスイッチ回路アレイ5a、5bは、映像信号線1本毎に信号線をN(Nは2以上の整数)本ずつ対応させたときの各グループ毎に、N本の中から選択された信号線を切り換えて映像信号線に接続するようになっている(信号線の多選択駆動)。本実施の形態ではNの値は4である。この場合は、映像信号線1本につき4本の信号線が切り替わって接続されるので、映像信号線の本数は信号線の本数の $1/4$ となる。アナログスイッチ回路アレイ5aについてみると、信号線1536本に対して必要な映像信号線は384本となる。3072本の信号線があるXGA型の表示パネル全体では、映像信号線の出力端子を384個備えた駆動IC23が2個必要なだけとなる。このように駆動ICの規模を大幅に削減できる。

[0021] 駆動IC23aは、映像信号線D1～D384を介してアナログスイッチ回路アレイ5aに映像信号を伝送し、駆動IC23bは、映像信号線D385～D768を介してアナログスイッチ回路アレイ5bに映像信号を伝送する。

[0022] 図2の回路ブロック図に示すように、アナログスイッチ回路アレイ5a、5bは、それぞれ映像信号線2本につき1個ずつ対応したアナログスイッチ基本回路25を備える。すなわち、アナログスイッチ回路アレイ5a、5bは、アナログスイッチ基本回路25をそれぞれ $384/2=192$ 個備える。

[0023] 図3の回路図に示すように、例えば映像信号線D1、D2を介して映像信号が入力されるアナログスイッチ基本回路25では、映像信号を伝送してくる映像信号線D1が4本に分岐される。分岐した映像信号線は、アナログスイッチASW1を介してX1に接続され、アナログスイッチASW2を介して信号線X2に接続され、アナログスイッチASW3を介して信号線X3に接続され、アナログスイッチASW4を介して信号線X4に接続される。ここでは、信号線X1～X4を第1グループと呼ぶ。

[0024] 同様に、映像信号を伝送してくる映像信号線D2も4本に分岐される。分岐した各映像信号線は、アナログスイッチASW5を介して信号線X5に接続され、アナログスイッチASW6を介して信号線X6に接続され、アナログスイッチASW7を介して信号線X7に接続され、アナログスイッチASW8を介して信号線X8に接続される。信号線X5

～X8を第2グループと呼ぶ。

- [0025] アナログスイッチ制御信号ASW1Uを伝送する制御線がアナログスイッチASW1とASW7の各ゲート端子にそれぞれ接続され、アナログスイッチ制御信号ASW2Uの制御線がアナログスイッチASW2とASW8の各ゲート端子にそれぞれ接続され、アナログスイッチ制御信号ASW3Uの制御線がアナログスイッチASW3とASW5の各ゲート端子にそれぞれ接続され、アナログスイッチ制御信号ASW4Uの制御線がアナログスイッチASW4とASW6の各ゲート端子にそれぞれ接続される。
- [0026] アナログスイッチASW1～ASW8は、いずれもpチャンネル型のTFTで構成されている。アナログスイッチ制御信号ASW1Uがロー電位になったときにアナログスイッチASW1, ASW7がオンして信号線X1、X7に映像信号が供給される。アナログスイッチ制御信号ASW2Uがロー電位になったときにアナログスイッチASW2, ASW8がオンして信号線X2、X8に映像信号が供給される。アナログスイッチ制御信号ASW3Uがロー電位になったときにアナログスイッチASW3, ASW5がオンして信号線X3、X5に映像信号が供給される。アナログスイッチ制御信号ASW4Uがロー電位になったときにアナログスイッチASW4, ASW6がオンして信号線X4、X6に映像信号が供給される。他のアナログスイッチ基本回路もこれと同様の構成である。
- [0027] 次に、このような多選択駆動における信号線の駆動方式について図を用いて説明する。図4は、信号線4選択の2H2V反転駆動方式における信号線の電圧極性を画素毎に示している。プラス・マイナスは信号線の電圧極性を示している。信号線は第1グループX1～X4及び第2グループX5～X8を示している。2水平走査期間毎に信号線の極性を切り換えて映像信号を供給し、且つ隣接する信号線についても2本おきに極性を反転させて映像信号を供給する。信号線の電圧極性に走査線の4行Y(n)～Y(n+3)毎の周期性を与えつつ信号線を駆動する。このような周期性を有する信号線の電圧極性の切り換えはフレーム毎に行われる。
- [0028] 図5は、信号線4選択の2H2V反転駆動方式における信号線の電圧極性及び選択順序を画素毎に示している。信号線は第1グループX1～X4及び第2グループX5～X8を示している。信号線の電圧極性を示すプラス・マイナスに続く数字は、1水平走査期間においてアナログスイッチ回路SW1及びSW2により選択される信号線の

順番を示している。本実施の形態では、フレームの先頭で信号線の電圧極性を切り換えた場合でも周期性を維持するために、制御回路22により、n番目のフレームの先頭において走査線の第1行目Y(1)に対する信号線の駆動に先立ち、走査線4行Y(1)～Y(4)のうちの最終行Y(4)における電圧極性を信号線に与えるように予備駆動を行う。その後、走査線の第1行目Y(1)に対する信号線を駆動する。

[0029] 図6の回路ブロック図に示すように、制御回路22は、データ前処理部26と、ラインメモリ27と、データ後処理部28と、制御部29とを備える。

[0030] データ前処理部26は、外部装置からフレーム単位で供給された映像データ信号をラインメモリ27のメモリ構成に合わせたビット幅に揃えたドライバ・データ信号に変換し、ラインメモリ27に出力する。ここで映像データ信号はデジタルデータである。

[0031] ラインメモリ27は、2つのラインメモリで構成される。それぞれのラインメモリは例えば走査線1行分のドライバ・データ信号を格納する。データ前処理部26から出力されたドライバ・データ信号は一方のラインメモリに格納される。続いて出力されたドライバ・データ信号は他方のラインメモリに格納される。制御部29からの指示に基づいて、ラインメモリに格納されたドライバ・データ信号は1水平周期遅れた任意のタイミングでデータ後処理部28に出力される。

[0032] データ後処理部28は、制御部29からの指示に基づいて、ラインメモリ27から出力されたドライバ・データ信号をアナログスイッチ回路アレイ5が選択する信号線毎に分割する。分割したドライバ・データ信号は駆動IC23に転送される。

[0033] 制御部29は、外部装置から供給された同期信号に基づいて、駆動IC及びアナログスイッチ回路及び走査線駆動回路それぞれの制御信号を生成する。さらに、ラインメモリ27に格納された走査線1行分のドライバ・データ信号を4分割して駆動ICへ順次転送させるようにデータ後処理部28を制御する。1水平走査期間の任意のタイミングで信号線を選択させるようにアナログスイッチ回路を制御する。選択された信号線を介して映像信号を供給させるように駆動ICを制御する。

[0034] 次に制御回路の動作について図7、8を参照しながら説明する。

[0035] 図7のタイミングチャートにおいて、水平同期信号は、一走査の開始を示す同期信号であり、外部装置から制御回路に供給される。映像データ信号(x, y1)、(x, y2)・

・・は、水平同期信号に示される各走査の任意のタイミングで外部装置から制御回路に供給される。データイネーブル信号は、映像データ信号が供給されていることを示す同期信号である。ドライバ・データ信号は、アナログスイッチが選択する信号線X1～X4の順序に応じて4分割された映像データ信号であり、制御回路から駆動ICに供給される。データサンプリング信号は、ドライバ・データが供給されていることを示す同期信号であり、制御回路から駆動ICに供給される。

[0036] 図8のタイミングチャートにおいて、データロード信号は、映像信号線を駆動するタイミングを示す制御信号であり、制御回路から駆動ICに供給される。極性信号は、映像信号線を介して駆動する信号線の電圧極性を示す制御信号であり、制御回路から駆動ICに供給される。映像信号は、駆動ICの映像信号線からアナログスイッチで選択された信号線X1～X4に供給されるアナログ信号である。ASW1U～ASW4Uは、信号線X1～X4の選択を指示するためのアナログスイッチ制御信号であり、制御回路からアナログスイッチへ供給される。Y(1)、Y(2)、Y(3)・・・は、走査線駆動回路から走査線へ供給される制御信号である。

[0037] まず、時刻t1においてn番目のフレームの駆動が開始される。図7に示すように、データイネーブル信号の立ち上がりに同期して、走査線の1行目に対応する映像データ信号(x, y1)が外部装置から制御回路に供給される。

[0038] 時刻t1からt2の期間において映像データ信号(x, y1)は4分割される。分割されたドライバ・データ信号(dsw3, y1)、(dsw1, y1)、(dsw2, y1)、(dsw4, y1)はラインメモリに格納される。走査線1行分のドライバ・データ信号は駆動IC23へ転送されない。

[0039] 更にこの期間において、走査線の第1行目に対する信号線の駆動に先立ち、信号線を予備駆動する。制御回路は、図5で示したような走査線4行Y(1)～Y(4)周期のうちの最終行Y(4)における電圧極性を信号線に与える。信号線の第1グループX1～X4については、図8に示すように、1水平走査期間において時分割で多選択駆動される。まず、アナログスイッチ回路の制御信号ASW4U及び極性信号によりマイナスの極性で信号線X4が選択され、次に制御信号ASW2U及び極性信号によりプラスの極性で信号線X2が選択され、次に制御信号ASW3U及び極性信号によりプラ

スの極性で信号線X3が選択され、最後に制御信号ASW1U及び極性信号によりマイナスの極性で信号線X1が選択される。ここでは予備駆動として信号線を駆動させるので、走査線に制御信号は供給されない。また、図示しないが信号線の第2グループX5～X8も同様にして時分割で多選択駆動される。

[0040] 次に、時刻t2からt3の期間において、図7に示すように、走査線の2行目に対応する映像データ信号(x, y2)が外部装置から制御回路に供給される。このとき映像データ信号(x, y2)は4分割される。分割されたドライバ・データ信号(dsw2, y2)、(dsw4, y2)、(dsw1, y2)、(dsw3, y2)はラインメモリに格納される。このときラインメモリに格納されていたドライバ・データ信号(dsw3, y1)、(dsw1, y1)、(dsw2, y1)、(dsw4, y1)が1水平走査期間遅れて駆動ICに転送される。

[0041] 更にこの期間においては、図8に示すように、1水平走査期間において走査線Y(1)に制御信号が供給されるとともに、図5で示したような走査線4行Y(1)～Y(4)周期のうちの先頭行Y(1)における電圧極性を信号線に与える。まずアナログスイッチ回路の制御信号ASW3U及び極性信号によりマイナスの極性で信号線X3が選択され、次に制御信号ASW1U及び極性信号によりプラスの極性で信号線X1が選択され、次に制御信号ASW2U及び極性信号によりプラスの極性で信号線X2が選択され、最後に制御信号ASW4U及び極性信号によりマイナスの極性で信号線X4が選択される。また、図示しないが信号線の第2グループX5～X8も同様にして時分割で多選択駆動される。これにより、走査線の1行目Y(1)に対応した各画素に、選択された信号線を介して駆動ICからアナログ信号に変換された映像信号が供給され映像表示が開始される。走査線2行目以降も同様な処理が引き続き行われる。

[0042] このように、走査線の第1行目Y(1)においては図5で示すような4行の周期のうち、先頭行における電圧極性が信号線に与えられるので、フレームの先頭で電圧極性の周期を切り換えた場合でも、各フレームにおける全ての走査線に対して4行の周期性を維持することができる。

[0043] したがって、本実施の形態によれば、制御回路22により、フレームの先頭において走査線の第1行目Y(1)に対する信号線の駆動に先立ち、4行のうちの最終行における電圧極性を信号線に与えるように制御する。走査線の第1行目Y(1)においては

4行の先頭行における電圧極性が信号線に与えられることになり、フレームの先頭で電圧極性の周期を切り換えた場合でも、各フレームにおける全ての走査線に対して4行の周期性が維持される。よって安定して良好な表示が得られる。

[0044] また、本実施の形態においては、信号線の電圧極性に走査線の4行毎の周期を与えたが、2以上の偶数であればこれに限られるものではない。例えば信号線の電圧極性に走査線の8行毎の周期を与えてもよい。

[0045] 尚、本実施の形態においては、平面表示装置は液晶表示装置としたが、信号線の極性を反転させて各信号線から各画素へ映像信号を書き込むアクティブマトリクス型の平面表示装置であれば、これに限られるものではない。

[0046] [比較例]

次に、本実施の形態の理解をさらに容易にするために、比較例として信号線の電圧極性の反転に起因した書き込み不足によるムラを視認されにくくする技術について図を用いて詳細に説明する。図9は、信号線の電圧極性及び選択順序を画素毎に示している。プラス・マイナスは信号線の第1グループX1～X4及び第2グループX5～X8を介して画素に供給される映像信号の極性を示している。プラス・マイナスに続く数字は、1水平走査期間においてアナログスイッチ回路SW1及びSW2により選択される信号線の順番を示している。各フレーム毎に各画素に対応した信号線の電圧極性を表示画面全体で切り換える。

[0047] 多選択駆動では、アナログスイッチによる信号線の実選択数が増えるほど、1水平走査期間内に一本の信号線へ映像信号を供給する時間が短くなる。同図のような4選択駆動では1水平走査期間の1/4以下の時間で信号線を介して画素へ映像信号を書き込むことになる。

[0048] 多選択駆動における画素の書き込み条件には、走査線の(L-1)行目及びL行目での信号線の極性反転と、(S-1)番目に選択する信号線及びS番目に選択する信号線での極性反転(以下、駆動IC出力の極性反転と称する)の2つがある。信号線の極性反転の方が駆動IC出力の極性反転よりも条件は厳しくなる。

[0049] 図9で示した画素の書き込み条件について図10～13に示した。

[0050] 図10は、信号線の電圧極性及び選択順序において信号線の極性反転が発生す

る画素の分布を示している。信号線の極性反転が発生する画素「 -2 」は相対的に条件が厳しい。画素「 0 」は、全く極性反転の無い画素で条件が最も良い。

[0051] 図11は、信号線の電圧極性及び選択順序において駆動IC出力の極性反転が発生する画素の分布を示している。駆動IC出力の極性反転が発生する画素「 -1 」は、図10の「 -2 」と比べて条件が厳しくない。画素「 0 」は、全く極性反転が無いので条件が最も良い。

[0052] 図12は、図10の信号線の極性反転と図11の駆動IC出力の極性反転とを合わせて示している。画素「 -3 」は、信号線と駆動IC出力の両方が極性反転するため最も条件が厳しい。画素「 0 」は、全く極性反転の無いので条件が最も良い。

[0053] 図13は、図12で示した信号線の極性反転と駆動IC出力の極性反転とを合わせた結果を n 番目と $n+1$ 番目のフレームとで平均化した結果を示している。書き込み条件の比較的厳しい画素「 -2.5 」と、書き込み条件が比較的良い画素「 -0.5 」とが市松状に分布している。このように制御回路22により、各フレームにおいて信号線の電圧極性に走査線の M 行毎の周期性を与えつつ全ての走査線に対して信号線を駆動して、信号線の電圧極性に応じて信号線の各グループの選択順序を制御する。これにより、極性反転に起因した書き込み不足によるムラを視認されにくくすることができる。

[0054] 次に比較例が抱える問題点について図を用いて説明する。図14のタイミングチャートは、外部装置からインターフェースケーブルを介して制御回路22に供給される同期信号と映像データ信号を示している。垂直同期信号はフレームの区切りを示す同期信号である。水平同期信号は、一走査のタイミングを示す同期信号である。データイネーブル信号は、走査線毎の映像データ信号が供給されることを示す同期信号である。映像データ信号 $(x, 1) \sim (x, 768)$ は、各走査線に対応して供給される。ここでは、全走査線数は768本であるが走査線2本分過剰な映像データ信号(blank)が供給されている。

[0055] 図15のタイミングチャートは、図14に示す映像データ信号の $(X, 2)$ の詳細な構成を示している。走査線2行目に対応する映像データ信号 $(x, 2)$ が、1水平走査期間において水平ブランキング期間終了後、映像データ信号 $(1, y) \sim (1024, y)$ として

1024×3(RGB)の信号線に対応して供給される。

- [0056] 従来、このような各フレームにおける信号線の電圧極性の切り換えは、図14に示すように、フレームの先頭の垂直ブランキング期間中においてデータイネーブル信号が最初に確認されたタイミングで行われていた。
- [0057] しかしながら、従来の制御回路では、全ての走査線に対応した映像データ信号が供給され、次のフレームの垂直ブランキング期間に突入した後も、引き続き、信号線の電圧極性に走査線の4行毎の周期性を与え続ける。このため、フレームの先頭で信号線の電圧極性を切り換えると、信号線の電圧極性の周期性が崩れてしまうことがある。以下、詳細に説明する。
- [0058] 図16は、信号線の電圧極性の周期を走査線の1行目から割り当てた場合を示した図である。図9に示した信号線の第1グループX1～X4の電圧極性及び選択順序におけるY(n)を走査線の1行目Y(1)に、Y(n+1)を走査線の2行目Y(2)に、Y(n+2)を走査線の3行目Y(3)に、Y(n+3)を走査線の4行目Y(4)に割り当てたものである。
- [0059] 図16(a)～(d)は、いずれもフレームの先頭でn-1フレームからnフレームへの信号線の電圧極性を切り換えた場合を示したものである。全ての走査線に対応した映像データ信号が供給され次のフレームの垂直ブランキング期間に突入した後も、信号線の駆動は引き続き行われる。このため、nフレームの最初のY(1)の駆動に先立ち、n-1フレームの最後で駆動される信号線の電圧極性及び選択順序Y(v)が(a)～(d)それぞれの場合で異なってしまう。
- [0060] 図16(d)の場合は、常にn-1フレームの最後のY(v)が、信号線の電圧極性の周期Y(1)～Y(4)のうちの最終行Y(4)に相当する電圧極性になり、フレーム間で信号線の電圧極性の周期性が維持されている。
- [0061] これに対し、図16(a)の場合は、n-1フレームの最後のY(v)が、信号線の電圧極性の周期Y(1)～Y(4)のうちの1行目Y(1)に相当する電圧極性になっている。図16(b)の場合は、n-1フレームの最後のY(v)が、信号線の電圧極性の周期Y(1)～Y(4)のうちの2行目Y(2)に相当する電圧極性になっている。図16(c)の場合は、n-1フレームの最後のY(v)が、信号線の電圧極性の周期Y(1)～Y(4)のうちの3行

目Y(3)に相当する電圧極性になっている。このように図16(a)～(c)では、フレーム間で信号線の電圧極性の周期性が崩れてしまうため書き込み不足が生じた場合に走査線の1行目で表示不具合が発生してしまう。

[0062] 以下では、走査線の1行目で発生する表示不具合について図16(c)の場合を取り上げて説明する。

[0063] 図17は、図16(c)の場合のn番目とn+1番目のフレームにおける信号線の電圧極性及び選択順序を画素毎に示している。ここでは信号線の第1グループX1～X4及び第2グループX5～X8を示している。同図の画素で発生する書き込み条件について図18～21に示した。

[0064] 図18は、図17で示した信号線の電圧極性及び選択順序において信号線の極性反転が発生する画素の分布を示している。信号線の極性反転が発生する画素「－2」は相対的に条件が厳しい。画素「0」は全く極性反転が無いので条件が最も良い。

[0065] 図19は、図17で示した信号線を選択順序と映像信号の極性において駆動IC出力の極性反転が発生する画素の分布を示している。駆動IC出力の極性反転が発生する画素「－1」は図18の画素「－2」に比べて条件が厳しくない。画素「0」は全く極性反転が無いので条件が最も良い。

[0066] 図20は、図18の信号線の極性反転と図19の駆動IC出力の極性反転とを合わせて示している。斜線で示した画素「－3」は最も厳しい。

[0067] 図21は、図20で示した信号線の極性反転と駆動IC出力の極性反転とを合わせた結果をn番目とn+1番目のフレームとで平均化した結果を示している。走査線の第1行Y(1)に相当する画素「－2.5」は書き込み条件が比較的厳しい。その結果、走査線の第1行は、その他の行よりも書き込み不足が発生しやすいため明るく(薄く)見える。特に液晶表示装置で画面全体に中間調を表示した場合には、1行目と2行目以降の明るさの違いが顕著になる。

[0068] このように書き込み不足が起きるような条件で、フレームの先頭で信号線の電圧極性を切り換えると、信号線の電圧極性の周期性が崩れてしまい、走査線の第1行目が表示不良として視認されてしまう。

[0069] そこで、上述したように本実施の形態では制御回路により、フレームの先頭におい

て走査線の第1行目に対する信号線の駆動に先立ち、M行のうちの最終行における電圧極性を信号線に与えるように制御する。図5に示すように、n番目のフレームの先頭において走査線の第1行目Y(1)に対する信号線の駆動に先立ち、走査線4行Y(1)～Y(4)のうちの最終行Y(4)における電圧極性を信号線に与えるように予備駆動を行う。これにより、走査線の第1行目Y(1)においては4行の先頭行における電圧極性が信号線に与えられることになるので、フレームの先頭で電圧極性の周期を切り換えた場合でも、各フレームにおける全ての走査線に対して4行の周期性が維持される。その結果、画素の駆動条件を図13に示すように表示画面全体に渡って均一に分散させることができる。

[0070] よって、平面表示装置において信号線の極性反転に起因した書き込み不足によるムラが視認されにくくなり安定して良好な表示を得ることができる。

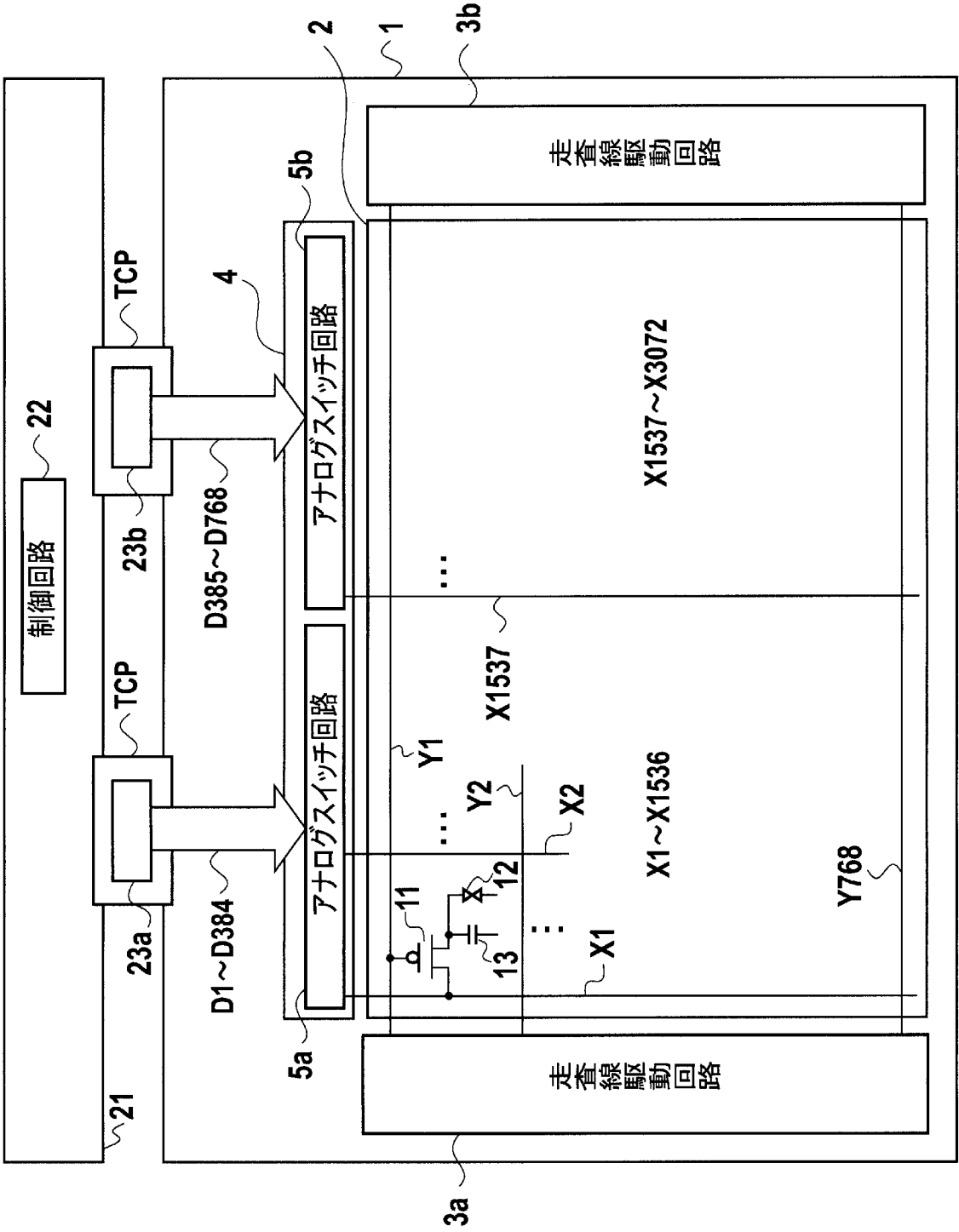
産業上の利用の可能性

[0071] 本発明の平面表示装置及びその駆動方法によれば、各フレームで信号線の電圧極性に走査線のM行毎の周期性を与えつつ信号線を駆動する際に、フレームの先頭で電圧極性の周期を切り換えた場合でも、安定して良好な表示を得ることができる。

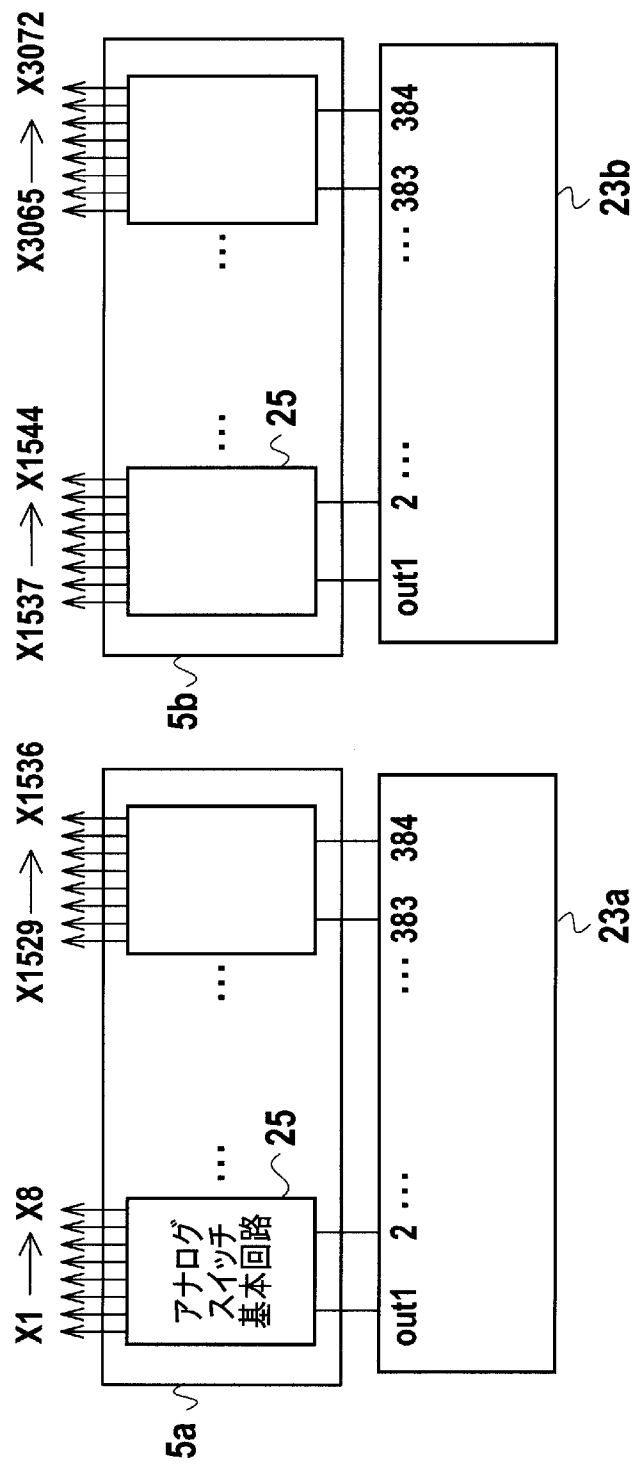
請求の範囲

- [1] 複数行の走査線と複数列の信号線の各交差部に画素が配置された画素表示部と、
映像信号線を通じて映像信号を供給する駆動回路と、
前記駆動回路からの映像信号線1本毎に信号線を N (N は2以上の整数) 本ずつ対応させたときの各グループ毎に、 N 本の中から選択された信号線を映像信号線に切り換えて接続するアナログスイッチ回路と、
各フレームにおいて信号線の電圧極性に走査線の M 行 (M は偶数) 毎の周期性を与えつつ信号線を駆動するとともに、フレームの先頭において走査線の第1行目に対する信号線の駆動に先立ち、前記 M 行のうちの最終行における電圧極性を信号線に与える制御を行う制御回路と、を備えることを特徴とする平面表示装置。
- [2] 複数行の走査線と複数列の信号線の各交差部に画素が配置された画素表示部を備え、映像信号を複数の映像信号線に供給し、この映像信号線に N (N は2以上の整数) 本ずつ対応させた前記信号線を選択的にアナログスイッチにより切替え接続するようにした多選択駆動方式の平面表示装置の駆動方法において、
前記信号線の電圧極性に走査線の M (M は偶数) 行毎の周期性を与えて駆動するとともに、各フレームの走査線の第1行目に対する信号線の駆動に先立ち、前記信号線を予備駆動させることを特徴とする平面表示装置の駆動方法。
- [3] 前記予備駆動は、前記各フレームの走査線の第1行目に対する信号線の駆動に先立ち、前記 M 行の周期性をもつ最終行の電圧極性を前記信号線前段に書き込むことを特徴とする請求項2記載の平面表示装置の駆動方法。

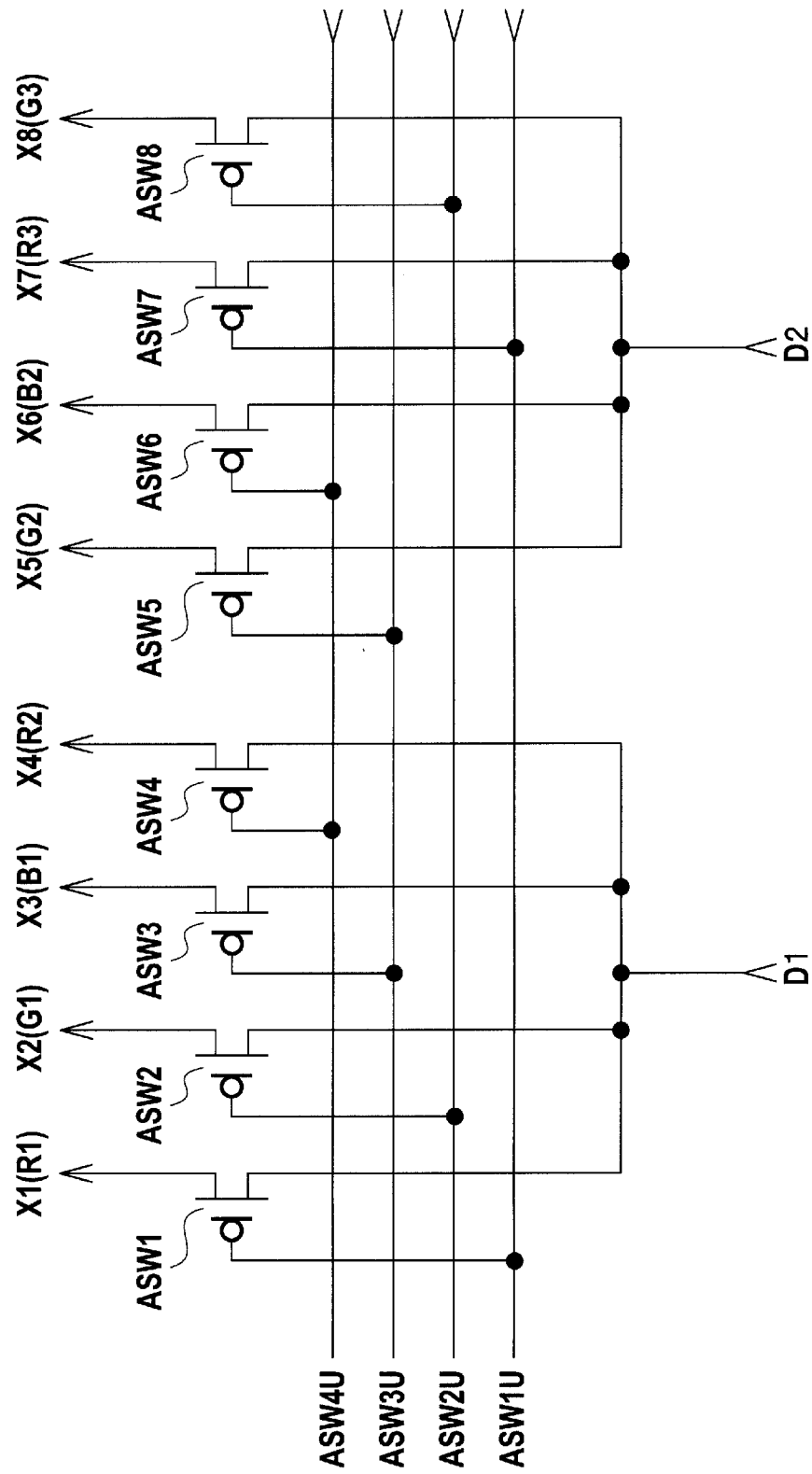
[図1]



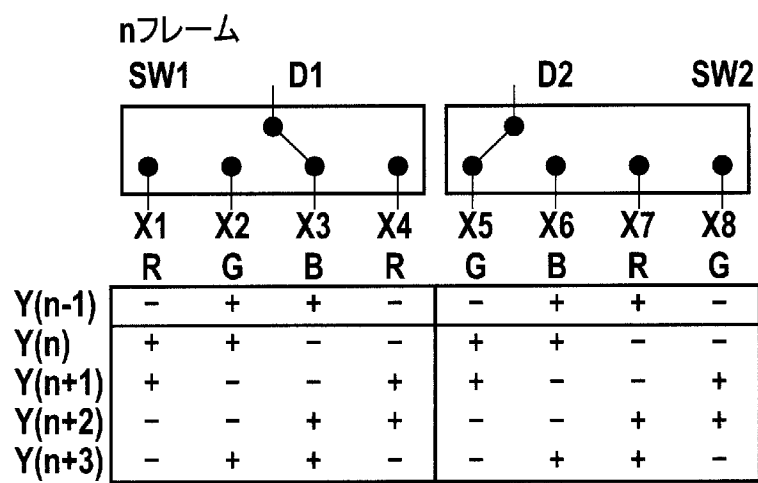
[図2]



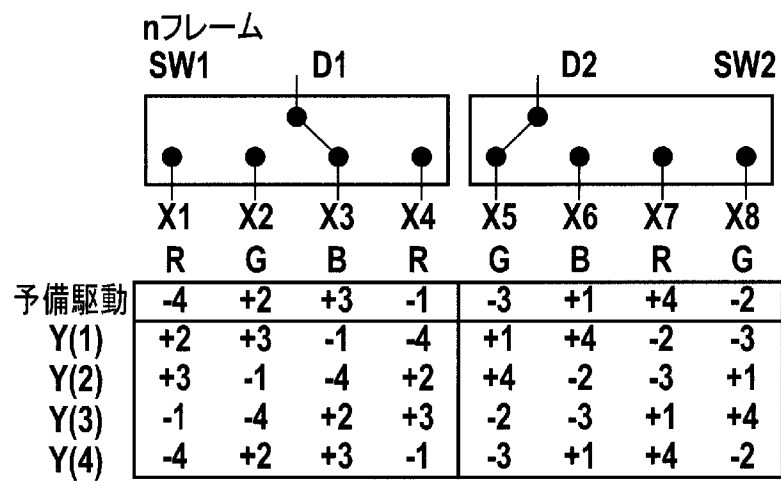
[図3]



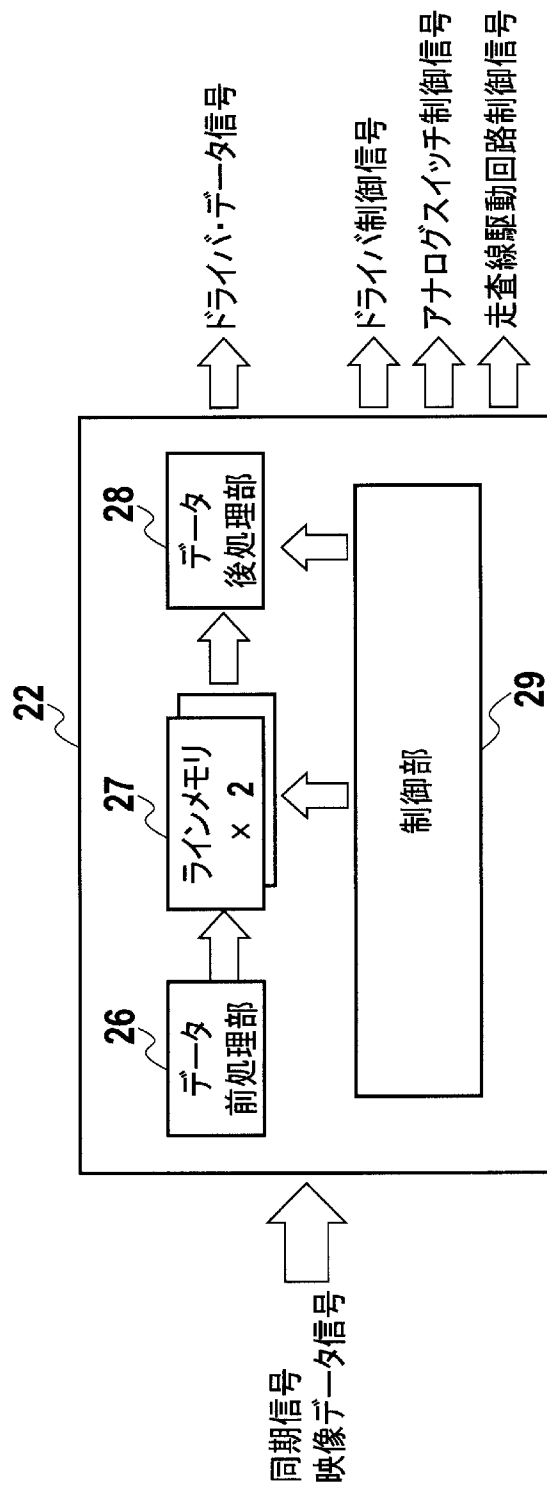
[図4]



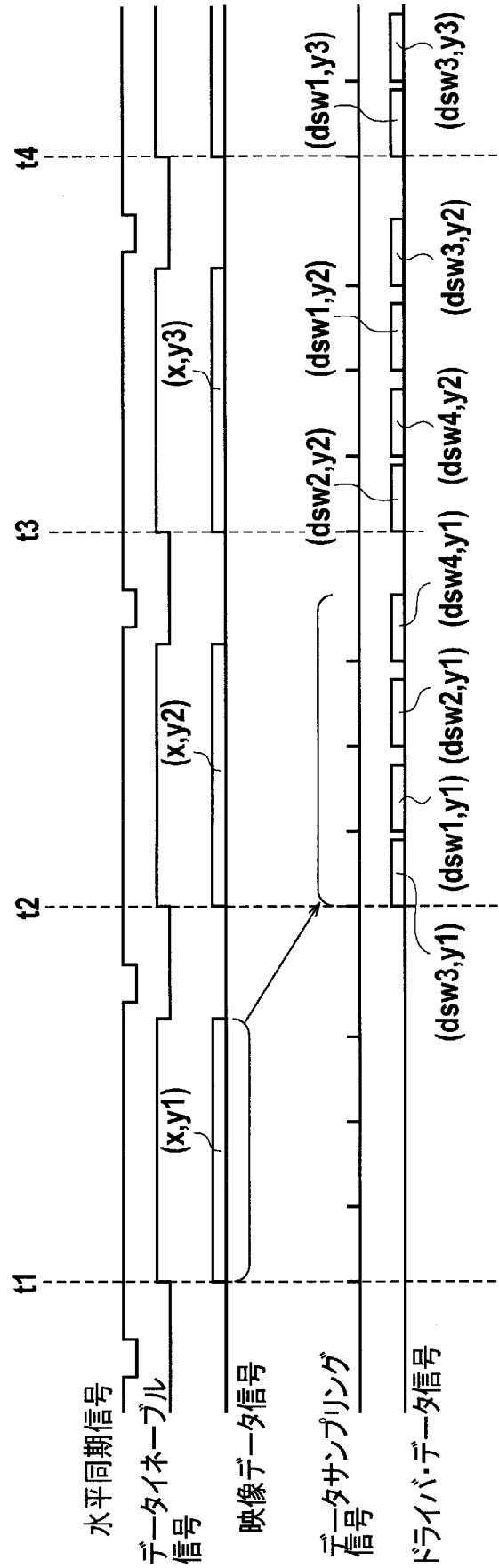
[図5]



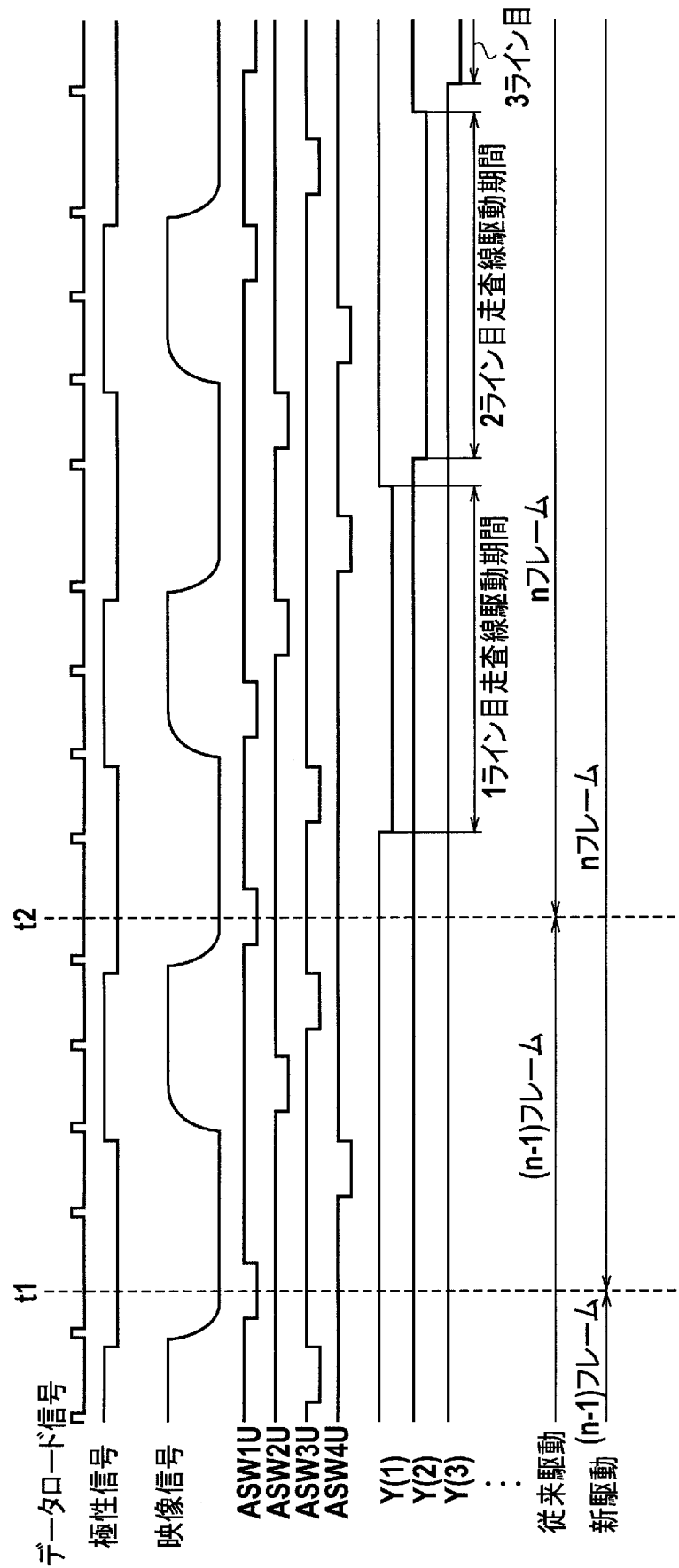
[図6]



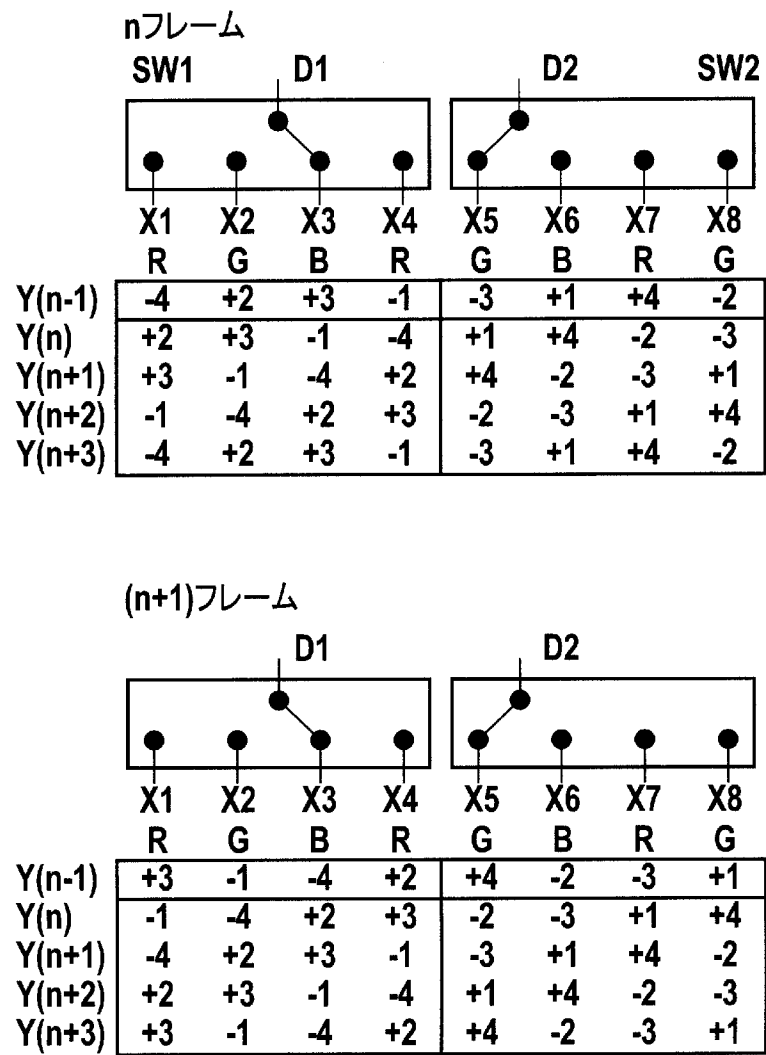
[図7]



[図8]



[図9]



[図10]

nフレーム

Y(n)	-2	0	-2	0	-2	0	-2	0
Y(n+1)	0	-2	0	-2	0	-2	0	-2
Y(n+2)	-2	0	-2	0	-2	0	-2	0
Y(n+3)	0	-2	0	-2	0	-2	0	-2

(n+1)フレーム

Y(n)	-2	0	-2	0	-2	0	-2	0
Y(n+1)	0	-2	0	-2	0	-2	0	-2
Y(n+2)	-2	0	-2	0	-2	0	-2	0
Y(n+3)	0	-2	0	-2	0	-2	0	-2

[図11]

nフレーム

Y(n)	-1	0	0	-1	0	-1	-1	0
Y(n+1)	0	0	-1	-1	-1	-1	0	0
Y(n+2)	0	-1	-1	0	-1	0	0	-1
Y(n+3)	-1	-1	0	0	0	0	-1	-1

(n+1)フレーム

Y(n)	0	-1	-1	0	-1	0	0	-1
Y(n+1)	-1	-1	0	0	0	0	-1	-1
Y(n+2)	-1	0	0	-1	0	-1	-1	0
Y(n+3)	0	0	-1	-1	-1	-1	0	0

[図12]

nフレーム

Y(n)	-3	0	-2	-1	-2	-1	-3	0
Y(n+1)	0	-2	-1	-3	-1	-3	0	-2
Y(n+2)	-2	-1	-3	0	-3	0	-2	-1
Y(n+3)	-1	-3	0	-2	-2	-2	-1	-3

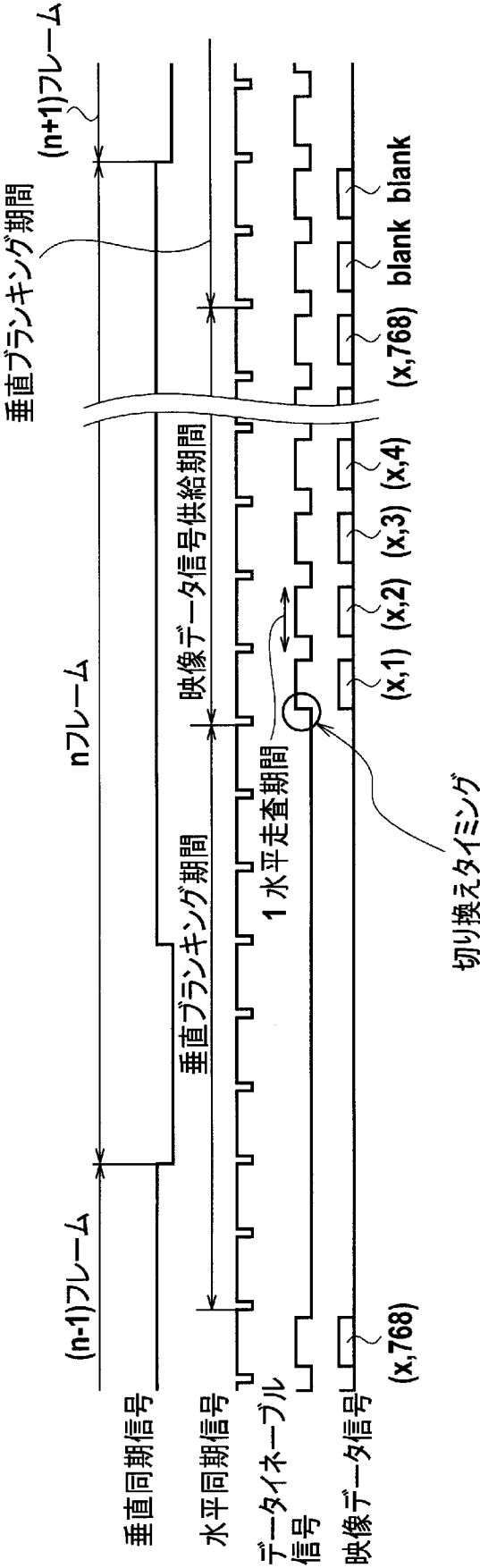
(n+1)フレーム

Y(n)	-2	-1	-3	0	-3	0	-2	-1
Y(n+1)	-1	-3	0	-2	0	-2	-1	-3
Y(n+2)	-3	0	-2	-1	-2	-1	-3	0
Y(n+3)	0	-2	-1	-3	-1	-3	0	-2

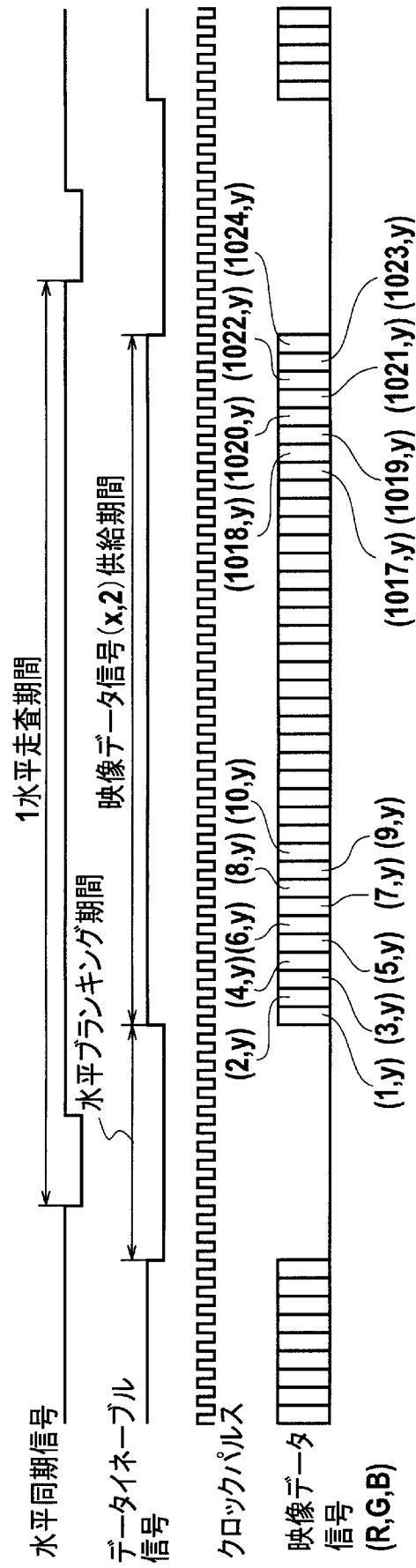
[図13]

	R	G	B	R	G	B	
Y(n)	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5
Y(n+1)	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5
Y(n+2)	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5
Y(n+3)	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5

[図14]



[図15]



[図16]

n-1フレーム

	X1	X2	X3	X4
Y(v)	+2	+3	-1	-4
Y(1)	+2	+3	-1	-4
Y(2)	+3	-1	-4	+2
Y(3)	-1	-4	+2	+3
Y(4)	-4	+2	+3	-1

nフレーム

(a)

	X1	X2	X3	X4
Y(v)	+3	-1	-4	+2
Y(1)	+2	+3	-1	-4
Y(2)	+3	-1	-4	+2
Y(3)	-1	-4	+2	+3
Y(4)	-4	+2	+3	-1

(b)

	X1	X2	X3	X4
Y(v)	-1	-4	+2	+3
Y(1)	+2	+3	-1	-4
Y(2)	+3	-1	-4	+2
Y(3)	-1	-4	+2	+3
Y(4)	-4	+2	+3	-1

(c)

	X1	X2	X3	X4
Y(v)	-4	+2	+3	-1
Y(1)	+2	+3	-1	-4
Y(2)	+3	-1	-4	+2
Y(3)	-1	-4	+2	+3
Y(4)	-4	+2	+3	-1

(d)

[図17]

nフレーム

	D1				D2			
	X1	X2	X3	X4	X5	X6	X7	X8
	R	G	B	R	G	B	R	G
Y(v)	-1	-4	+2	+3	-2	-3	+1	+4
Y(1)	+2	+3	-1	-4	+1	+4	-2	-3
Y(2)	+3	-1	-4	+2	+4	-2	-3	+1
Y(3)	-1	-4	+2	+3	-2	-3	+1	+4
Y(4)	-4	+2	+3	-1	-3	+1	+4	-2

(n+1)フレーム

	D1				D2			
	X1	X2	X3	X4	X5	X6	X7	X8
	R	G	B	R	G	B	R	G
Y(v)	+2	+3	-1	-4	+1	+4	-2	-3
Y(1)	-1	-4	+2	+3	-2	-3	+1	+4
Y(2)	-4	+2	+3	-1	-3	+1	+4	-2
Y(3)	+2	+3	-1	-4	+1	+4	-2	-3
Y(4)	+3	-1	-4	+2	+4	-2	-3	+1

[図18]

nフレーム

Y(1)	-2	-2	-2	-2	-2	-2	-2	-2
Y(2)	0	-2	0	-2	0	-2	0	-2
Y(3)	-2	0	-2	0	-2	0	-2	0
Y(4)	0	-2	0	-2	0	-2	0	-2

(n+1)フレーム

Y(1)	-2	-2	-2	-2	-2	-2	-2	-2
Y(2)	0	-2	0	-2	0	-2	0	-2
Y(3)	-2	0	-2	0	-2	0	-2	0
Y(4)	0	-2	0	-2	0	-2	0	-2

[図19]

nフレーム

Y(1)	-1	0	0	-1	0	-1	-1	0
Y(2)	0	0	-1	-1	-1	-1	0	0
Y(3)	0	-1	-1	0	-1	0	0	-1
Y(4)	-1	-1	0	0	0	0	-1	-1

(n+1)フレーム

Y(1)	0	-1	-1	0	-1	0	0	-1
Y(2)	-1	-1	0	0	0	0	-1	-1
Y(3)	-1	0	0	-1	0	-1	-1	0
Y(4)	0	0	-1	-1	-1	-1	0	0

[図20]

nフレーム

Y(1)	-3	-2	-2	-3	-2	-3	-3	-2
Y(2)	0	-2	-1	-3	-1	-3	0	-2
Y(3)	-2	-1	-3	0	-3	0	-2	-1
Y(4)	-1	-3	0	-2	0	-2	-1	-3

(n+1)フレーム

Y(1)	-2	-3	-3	-2	-3	-2	-2	-3
Y(2)	-1	-3	0	-2	0	-2	-1	-3
Y(3)	-3	0	-2	-1	-2	-1	-3	0
Y(4)	0	-2	-1	-3	-1	-3	0	-2

[図21]

Y(1)	-2.5	-2.5	-2.5	-2.5	-2.5	-2.5	-2.5	-2.5
Y(2)	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5
Y(3)	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5
Y(4)	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5	-0.5	-2.5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/050118

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-92176 A (Toshiba Matsushita Display Technology Kabushiki Kaisha), 07 April, 2005 (07.04.05), Par. Nos. [0020] to [0053]; Figs. 1 to 8 & US 2005/0035934 A1	2 1, 3
Y	JP 10-214064 A (Advanced Display Inc.), 11 August, 1998 (11.08.98), Par. Nos. [0051] to [0085]; Figs. 1 to 5 (Family: none)	2
Y	JP 3-220591 A (Seiko Epson Corp.), 27 September, 1991 (27.09.91), Page 2, lower right column, line 5 to page 3, lower right column, line 10; Figs. 1 to 4 (Family: none)	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 February, 2007 (01.02.07)

Date of mailing of the international search report
13 February, 2007 (13.02.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/050118

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-208132 A (Seiko Epson Corp.), 25 July, 2003 (25.07.03), Par. Nos. [0015] to [0037]; Figs. 1 to 6 & US 2003/0146909 A1	1-3
A	JP 2001-312255 A (Toshiba Corp.), 09 November, 2001 (09.11.01), Par. Nos. [0019] to [0092]; Figs. 2 to 9 (Family: none)	1-3
A	JP 8-292419 A (Matsushita Electric Industrial Co., Ltd.), 05 November, 1996 (05.11.96), Par. Nos. [0080] to [0065]; Figs. 18 to 19 & US 5673127 A & US 6049364 A & DE 4444557 A1	1-3

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 7年
日本国実用新案登録公報	1 9 9 6－2 0 0 7年
日本国登録実用新案公報	1 9 9 4－2 0 0 7年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 2 0 0 5－9 2 1 7 6 A（東芝松下ディスプレイテクノロジー株式会社）2 0 0 5. 0 4. 0 7, 段落【0 0 2 0】－【0 0 5 3】, 【図1】－【図8】 & U S 2 0 0 5 / 0 0 3 5 9 3 4 A 1	2 1, 3
Y	J P 1 0－2 1 4 0 6 4 A（株式会社アドバンスト・ディスプレイ）1 9 9 8. 0 8. 1 1, 段落【0 0 5 1】－【0 0 8 5】, 【図1】－【図5】（ファミリーなし）	2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 0 1. 0 2. 2 0 0 7	国際調査報告の発送日 1 3. 0 2. 2 0 0 7
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 西島 篤宏 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 3-220591 A (セイコーエプソン株式会社) 1991. 09. 27, 第2頁右下欄第5行-第3頁右下欄第 10行, 第1図-第4図 (ファミリーなし)	2
A	J P 2003-208132 A (セイコーエプソン株式会社) 2003. 07. 25, 段落【0015】-【0037】, 【図1】 - 【図6】 & US 2003/0146909 A1	1-3
A	J P 2001-312255 A (株式会社東芝) 2001. 11. 09, 段落【0019】-【0092】, 【図2】 - 【図9】 (ファミリーなし)	1-3
A	J P 8-292419 A (松下電器産業株式会社) 1996. 11. 05, 段落【0080】-【0065】, 【図18】-【図19】 & US 5673127 A & US 6049364 A & DE 4444557 A1	1-3