

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02B 6/42		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년06월01일 10-0188348 1999년01월12일
(21) 출원번호	10-1995-0029111	(65) 공개번호	특1996-0013145
(22) 출원일자	1995년09월06일	(43) 공개일자	1996년04월20일
(30) 우선권주장	94-216939 1994년09월12일	일본(JP)	
(73) 특허권자	히다찌 덴센 가부시카가이사 하라 세이지 일본 도쿄도 지요다구 마루노우쵸 2쵸메 1방 2고가부시카가이사 히다치 세이 사쿠쇼 가나이 쓰도무 일본국 도쿄도 지요다구 간다 스루가다이 4-6		
(72) 발명자	가또 다케시 일본국 아끼시마시 무사시노 2-9-38-501 데라오카 다쓰오 일본국 히다찌시 가와지리쵸 7-24-3 기쿠찌 사토루 일본국 고쿠분지시 니시코이카구보 4-14-6 아오끼 마사히로 일본국 고쿠분지시 히가시코이카구보 1-217 오시다 요시따다 일본국 후지사와시 엔도 650-6		
(74) 대리인	백남기		

심사관 : 차승만

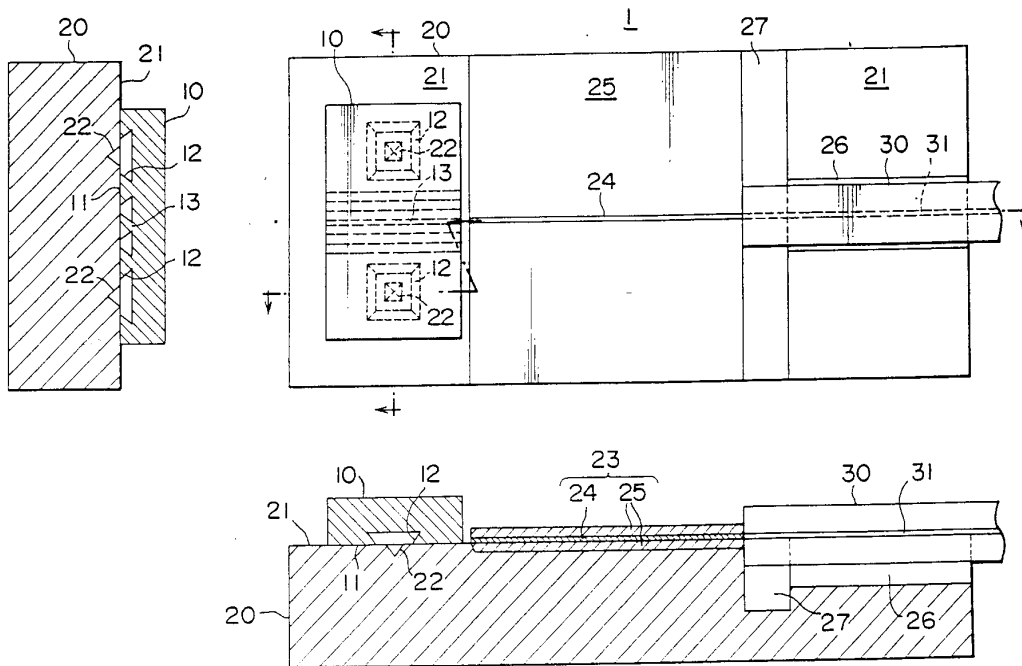
(54) 광어셈블리 및 그것의 제조방법

요약

기판 상에 광소자칩을 탑재하는 것에 의해 제조된 광어셈블리, 특히 제조비용 절감에 적합한 수동 얼라인먼트 설계의 광어셈블리 및 그것의 제조방법에 관한 것으로써, 광소자칩과 기판을 포함하고 그 각각에 고정밀도 화상검출 및 고정밀도 형성을 가능하게 하는 인덱스가 마련된 광어셈블리와 광소자칩과 기판을 포함하고 그 각각에 고정밀도 화상검출 및 고정밀도 형성을 가능하게 하는 인덱스가 마련된 광어셈블리의 제조방법을 제공하기 위해, 광소자칩, 칩을 배치하는 기판 및 칩의 표면과 상기 칩의 표면에 대향한 기판의 표면 중 적어도 하나에 배치되고, 각각이 표면에 대해 경사진 면을 갖는 얼라인먼트 인덱스를 포함하는 광어셈블리와 광방사부 또는 광흡수부를 형성함과 동시에 광방사부 또는 광흡수부를 갖는 광소자칩 상에 제1의 경사면부를 포함하는 제1의 얼라인먼트 인덱스를 형성하는 스텝, 광도파로부 또는 흡부를 형성함과 동시에 광도파로소자를 배치하는 광도파로부 또는 흡부를 포함하는 광기판 상에 제2의 경사면부를 포함하는 제2의 얼라인먼트 인덱스를 형성하는 스텝, 광기판 상에 광소자칩을 겹쳐놓고, 광소자칩과 광기판의 기본재료를 투과한 조명광을 사용해서 투과관찰 또는 동측관찰을 실행하는 스텝, 제1 및 제2의 경사면부에 의해 실행된 상기 조명광의 반사결과로써 얻어진 제1 및 제2의 얼라인먼트 인덱스의 제1 및 제2의 화상을 각각 검출하는 스텝, 제1 및 제2의 화상을 처리하고, 화상 계측에 의해 상기 제1의 인덱스와 제2의 인덱스 사이의 상대적 얼라인먼트 에러를 도출하는 스텝, 얼라인먼트 에러에 따라 광소자칩과 광기판의 위치를 보정하는 스텝 및 광소자칩을 상기 광기판 상에서 적당한 위치에 고정하는 스텝을 포함한다.

이것에 의해, 광소자칩과 기판을 포함하는 광어셈블리에 널리 적용될 수 있고, 큰 효과를 얻을 수 있다.

대표도



명세서

[발명의 명칭]

광어셈블리 및 그것의 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 광어셈블리의 1실시예의 구조도.

제2도는 실시예에서 사용된 광 디바이스칩의 얼라인먼트 인덱스를 형성하는 방법을 도시하는 구조도.

제3도는 실시예에서 사용된 기판의 얼라인먼트 인덱스를 형성하는 방법을 도시하는 구조도.

제4도는 실시예에 있어서의 광소자칩과 기판 사이의 인덱스 얼라인먼트를 실행하는 어셈블리 시스템의 구성을 도시하는 도면.

제5a도는 실시예의 인덱스 얼라인먼트 이전의 인덱스의 모니터 화상을 도시하는 도면.

제5b도는 실시예의 인덱스 얼라인먼트 후의 인덱스의 모니터 화상을 도시하는 도면.

제6a도는 다른 실시예의 인덱스 얼라인먼트에서의 인덱스 형태의 1예를 도시하는 도면.

제6b도는 또 다른 실시예의 인덱스 얼라인먼트에서의 인덱스 형태의 다른 예를 도시하는 도면.

제7도는 광소자칩과 기판 사이의 인덱스 얼라인먼트를 실행하는 어셈블리 시스템의 다른 구성의 1예를 도시하는 도면.

[발명의 상세한 설명]

본 발명은 기판 상에 광소자칩을 탑재하는 것에 의해 제조된 광어셈블리에 관한 것으로서, 특히 제조비용 절감에 적합한 수동 얼라인먼트 설계의 광어셈블리 및 그것의 제조방법에 관한 것이다.

광어셈블리에 있어서는 광소자칩과 기판의 제조비용을 감소시켜야 한다. 최근, 종래의 액티브 얼라인먼트 방식(광소자칩이 동작할 때 얼라인먼트를 실행) 대신에 패시브 얼라인먼트 방식(광소자칩을 동작시키지 않음)가 활발히 연구되고 있다.

패시브 얼라인먼트 방식은 크게 인덱스 얼라인먼트 방식과 셀프 얼라인먼트 방식으로 구분된다. 인덱스 얼라인먼트 방식에 있어서는 광소자칩과 기판 상에 마련된 마크를 화상인식하는 것에 의해 얼라인먼트를 실행한다. 셀프 얼라인먼트 방식에 있어서는 광소자칩을 기판에 접속시키는 땀납 범프의 표면장력에 의해 기판의 수평방향으로의 얼라인먼트를 자동적으로 실행한다. 그러나, 기판에 대해 수직방향으로의 높이 분산을 감소시키기 위해, 고정밀도로 범프의 체적을 제어하거나 또는 기판 상에 위치결정을 실행하는 스텐드오프 형성 등의 방법이 필요하다. 따라서, 현재 상태에서는 인덱스 얼라인먼트 방식이 셀프 얼라인먼트 방식 보다 더 이로운 것으로 생각된다.

인덱스 얼라인먼트 방식에 대해서는 예를 들면 1993년 제43의 전자 부품 및 기술회의 회의록 pp.808-817과 전자정보통신학회(IEICE)총계 대회 강연논문집 강연번호 C-291에 기재되어 있다.

전자의 문헌의 광어셈블리는 리지 도파로형 레이저칩, 섬유캐리어 기판 및 알루미늄 기판을 포함한다. 그들과는 별도로, 얼라인먼트 플레이트가 사용된다. 칩, 캐리어 기판 및 플레이트는 십자형 리지를 갖는 인덱스, 질화 실리콘막 상에 십자형 중공을 갖는 인덱스 및 크로마막에 십자형 개구를 갖는 인덱스를 각각 포함한다. 칩과 캐리어 기판은 플레이트를 통과하는 조명을 인가하는 동안 십자형 패턴을 화상 인식하는 것에 의해 얼라인먼트된다. 다음에, 칩과 캐리어 기판은 진공흡착되어 알루미늄 기판에 납땜된다.

후자 문헌에 기재된 광어셈블리는 레이저칩과 실리콘 기판을 포함한다. 기판에는 섬유를 배치하기 위한 V형 홈이 마련되어 있다. 칩과 기판은 원형으로 전극을 패턴화해서 형성된 인덱스와 전극을 원형으로 제거하는 것에 의해 형성된 인덱스를 각각 갖는다. 칩은 기판과 칩을 통과하는 조명을 조사하는 동안 원형 패턴을 화상인식하는 것에 의해 얼라인먼트된다. 칩은 기판 상에 납땜된다.

본 발명의 목적은 고정밀도 화상검출 및 고정밀도 형성을 가능하게 하도록 그 각각에 인덱스가 마련된 광소자칩과 기판을 포함하는 광어셈블리를 제공하는 것이다.

본 발명의 다른 목적은 고정밀도 화상검출 및 고정밀도 형성을 가능하도록 그 각각에 인덱스가 마련된 광소자칩과 기판을 포함하는 광어셈블리의 제조방법을 제공하는 것이다.

물론, 광소자칩과 기판의 얼라인먼트의 향상은 광어셈블리에 있어서 매우 중요하다. 전형적으로, 얼라인먼트의 정밀도는 광소자칩의 발광부나 수광부의 스폿크기 이하 또는 기판 상에 형성되거나 탑재된 광도파로형의 스폿크기 이하 또는 기판 상에 형성되거나 탑재된 광도파로형의 스폿크기 이하이어야 한다. 구체적으로, 정밀도는 예를 들어 $1\mu\text{m}$ 이하일 필요가 있다. 인덱스 얼라인먼트 방식에 있어서, 칩 또는 기판의 광축에 따른 인덱스의 고정밀도 형성과 이들 인덱스의 고정밀도 화상인식이 특히 주요 과제이다. 고정밀도 화상인식을 실행하기 위해서는 칩이나 기판 상에 고 콘트라스트화상을 마련하는 인덱스를 형성해야 한다.

상기한 문헌에 기재된 레이저칩의 인덱스에 있어서, 상면과 주위 표면 사이의 콘트라스트를 향상시키기 위해 십자형 리지표면의 상부와 리지표면의 주위의 질화 실리콘막과 금반사막을 퇴적시킨다. 110nm의 두께를 얻도록 질화 실리콘 막의 두께를 제어하고 모노크로마광으로 조명하는 것에 의해 공간선택효과를 사용한다. 섬유 캐리어기판의 인덱스에 있어서, 질화 실리콘막 상의 십자형 중공의 하면과 상면 사이의 콘트라스트를 얻기 위해 두께가 120nm가 되도록 질화 실리콘막을 제어한다.

칩과 기판의 표면에 평행인 홀로의 하면과 리지의 상면을 사용하는 경우에는 그들이 서로 평행하기 때문에 콘트라스트가 높은 화상을 얻기가 쉽지 않다. 대량 생산시 막두께의 분산과 현미경 광학계의 조명의 분산을 고려하면, 콘트라스트의 변화, 즉 얼라인먼트 정확도의 변화가 발생한다고 추측된다. 따라서, 전자의 문헌의 기술에 있어서, 광어셈블리의 조립효율에 대한 고려가 충분하지 않다.

후자의 문헌에 있어서, 레이저칩과 실리콘 기판의 금속전극을 인덱스로써 사용한다. 레이저 활성층을 형성하는 포토리도그래피처리와는 별도로 칩의 인덱스의 패턴화를 실행한다. V형 섬유홀을 형성하는 포토리도그래피처리와는 별도로 기판의 인덱스 패턴화를 실행한다.

금속 패턴이 인덱스로써 사용되는 경우에는 칩 또는 기판을 형성하는 재료와 금속 사이의 투과율과 반사율의 차이가 크므로, 콘트라스트가 높은 화상이 쉽게 얻어진다. 그러나, 활성층 또는 V형 홀의 패턴화와 금속의 패턴화를 독립적으로 실행한다. 따라서, 포토마스크의 얼라인먼트 에러 때문에, 활성층 또는 V형 홀의 인덱스의 잘못된 얼라인먼트가 발생한다. 후자 문헌의 기술에 있어서는 광어셈블리의 얼라인먼트 정확도에 대한 고려가 충분하지 않다.

상술한 바와 같이, 종래 기술의 어떤 광어셈블리도 인덱스 얼라인먼트를 위한 고정밀도와 간결성의 요건을 만족시킬 수 없다. 따라서, 본 발명은 광어셈블리에서 고정밀도로 형성될 수 있는 인덱스를 실현하는 것을 목적으로 하며, 콘트라스트가 높은 화상의 검출도 용이하게 한다.

- 1) 본 발명은 광소자칩과 기판을 포함하고 고정밀도 형성과 고정밀도 화상검출의 조정을 가능하게 하는 인덱스 얼라인먼트 수단을 갖는 광어셈블리를 제공한다.
- 2) 본 발명은 얼라인먼트 수단과 관련되고 고정밀도 형성에 적합한 인덱스 형태를 더 구체적으로 제공한다.
- 3) 본 발명은 형성과 화상 계측에 적합한 기본적인 인덱스 형태를 제공한다.
- 4) 본 발명은 화상으로 잡힌 인덱스 형태를 제공한다.
- 5) 본 발명은 칩 또는 기판이 결정을 포함하는 경우에 적합한 인덱스 형성수단을 제공한다.
- 6) 본 발명은 칩 또는 기판에 적합한 인덱스 형성수단을 더 제공한다.
- 7) 본 발명은 고정밀도 화상검출에 적합한 인덱스를 구성하는 수단을 제공한다.
- 8) 고정밀도로 인덱스를 형성하는 수단을 제공한다.
- 9) 본 발명은 칩 또는 기판이 광도파로소자를 갖는 경우에 적합한 인덱스 형성수단을 제공한다.
- 10) 본 발명은 칩 또는 기판이 반도체 광소자를 포함하는 경우에 적합한 인덱스 형성수단을 제공한다.
- 11) 본 발명은 칩 또는 기판에 수직 방향에서 얼라인먼트 정밀도의 향상에 기여하는 칩배치 수단을 제공한다.
- 12) 본 발명은 칩 또는 기판이 면방위(100)를 포함하는 경우에 적합한 광섬유 배치수단을 제공한다.
- 13) 본 발명은 인덱스 얼라인먼트에 의해 고정밀도로 발광 또는 수광소자와 광도파로 기판을 고정하는 구성수단을 제공한다.
- 14) 본 발명은 인덱스 얼라인먼트에 의해 고정밀도로 발광 또는 수광소자 및 광도파로 기판을 고정하는

어셈블리 프로세스를 제공한다.

- 1> 본 발명에 따른 광어셈블리는 광소자칩의 표면과 광소자칩의 표면에 대향하고 칩을 탑재하는 기판의 표면 중 적어도 하나에 표면에 대해 경사진 면을 갖는 얼라인먼트 인덱스를 포함한다.
- 2> 본 발명에 따른 광어셈블리는 홀과 외호를 갖는 인덱스를 포함한다.
- 3> 본 발명에 따른 광어셈블리는 기본 형태로써 사각추를 갖는 인덱스를 포함한다.
- 4> 본 발명에 따른 광어셈블리는 액자형상의 형태를 갖도록 인덱스 경사면이 예를 들어 칩 또는 기판의 표면으로 돌출된 화상을 갖는 광어셈블리.
- 5> 본 발명에 따른 광어셈블리는 칩 또는 결정을 포함하는 기판에서 경사면으로써 결정면을 갖는 인덱스를 포함한다.
- 6> 본 발명에 따른 광어셈블리는 칩 또는 결정을 포함하는 기판에서 경사면으로써 (111)결정면을 갖는 인덱스를 포함한다.
- 7> 본 발명에 따른 광어셈블리는 $\sin^{-1}(n_2/n_1)$ (단, n_2 와 n_1 는 경사면을 형성하는 재료의 굴절율이고 $n_1 > n_2$ 임)이상의 경사값으로 칩 또는 기판의 표면에 대해 경사진 인덱스를 포함한다.
- 8> 본 발명에 따른 광어셈블리는 칩 또는 기판 상에 형성된 소자부의 에칭과 인덱스 또는 소자부의 적어도 일부와 동일한 재료를 마스크로서 사용해서 에칭된 인덱스를 포함한다.
- 9> 본 발명에 따른 광어셈블리는 광도파로소자를 포함하는 칩 또는 기판에서 광도파로소자의 코어를 결정하는 에칭과 동시에 에칭되거나 또는 코어재료를 마스크로서 사용해서 에칭한 인덱스를 포함한다.
- 10> 본 발명에 따른 광어셈블리는 광반도체소자를 포함하는 칩 또는 기판에 활성 영역 또는 상기 반도체 광소자의 도파로 영역을 결정하는 에칭과 동시에 에칭된 인덱스를 포함한다.
- 11> 본 발명에 따른 광어셈블리는 플립칩 방식에 의해 기판 상에 배치된 칩을 포함한다.
- 12> 본 발명에 따른 광어셈블리는 결정을 포함하는 칩 또는 기판에 (111)면을 갖는 인덱스와 광성유를 배치하는 V형 홈을 포함한다.
- 13> 본 발명에 따른 광어셈블리는 광소자의 발광부 또는 수광부와 동시에 형성된 경사면 인덱스와 광도파로부 또는 기판의 광도파로소자 탑재부와 동시에 형성된 경사면을 화상계측에 의해 상호 배치 고정시켜서 얻어진다.

14> 본 발명에 따른 광어셈블리 제조방법도 경사면 인덱스를 갖는 기판 상에 경사면 인덱스를 갖는 광소자를 겹쳐놓고, 광소자와 기판의 위치를 검출하기 위해 현미경의 투과조명 또는 수직조명을 사용해서 화상 상의 인덱스를 관찰하고, 예를 들어 미세한 이동 스테이지를 사용해서 위치 어긋남을 보정하며, 광소자를 기판 상에 고정하는 스텝을 포함한다.

본 발명의 제1의 측면에 따르면, 경사면을 갖는 얼라인먼트 인덱스는 광소자칩 또는 기판에 수직인 방향으로부터 조명을 받고, 화상인식된다. 인덱스의 투과율과 반사율은 경사각에 의존한다. 칩 또는 기판의 인덱스와 표면 사이에 분명한 휘도차이가 발생하므로, 바람직한 콘트라스트를 갖는 화상이 얻어진다. 인덱스의 경사면은 칩과 기판의 소자부와 동일한 방식으로 고정밀도로 형성될 수 있다. 경사각은 칩과 기판의 재료 특성과 에칭방법 등에 따라 일정한 값으로 결정된다. 그 결과, 콘트라스트 분산과 얼라인먼트 정밀도는 작다. 따라서, 서로 수평인 면 상에서 화상인식을 실행하는 종래 기술과는 달리, 인덱스의 미세한 막두께를 제어하거나 또는 의도적으로 광간섭 효과를 사용할 필요가 없다. 또, 인덱스로서 금속패턴을 사용하는 종래 기술과는 달리, 칩과 기판의 소자부에 대한 포토리도그래피의 잘못된 얼라인먼트가 발생하지 않는다.

본 발명의 제2의 측면에 따르면, 인덱스의 경사면은 칩 또는 기판의 소자부와 동일한 방식으로 에칭 프로세스에 의해 V형 홈 또는 U형 홈의 외호의 측면 또는 홀의 측면으로써 형성된다. 퇴적프로세스에 의해 돌출된 측면으로써 경사면이 형성된 경우와 비교하면, 고정밀도로 경사면을 형성하기에 용이하다.

본 발명의 제3의 측면에 따르면, 인덱스의 경사면은 기본적으로 사각추의 피라미드의 측면으로써 형성된다. 포토리도그래피에 사용된 포토마스크 패턴에 있어서, 직선으로 이루어진 사각형은 종래의 기술에서와 같이 곡선으로 이루어진 원형 보다 형성하기 용이하다. 사각추의 경사면은 사각형 화상으로써 검출되므로, 중심좌표 계측 등의 화상처리는 종래 기술의 십자형 화상 보다 더 용이하게 실행할 수 있다. 칩 또는 기판이 결정을 포함하는 경우, 등방성 에칭에 의해 원추 등을 형성할 때와 비교해서 사변형 피라미드가 이방성 에칭에 의해 형성될 때 고정밀도로 안정하게 경사면을 형성할 수 있다.

본 발명의 제4의 측면에 따르면, 중공 프레임패턴은 인덱스 화상으로써 검출되고, 화상처리를 실행한다. 원형 또는 십자형 도포패턴의 모든 화소를 종래의 기술로 산출하는 경우에 비해, 산출될 화소의 수는 감소하고, 프레임 패턴의 경우에는 처리시간이 단축된다.

본 발명의 제5의 측면에 따르면, 인덱스의 경사면은 에칭속도의 결정방위 의존성, 즉 이방성을 이용해서 형성된다. 에칭속도가 느린 결정면이 경사면으로써 남아 있기 때문에, 프로세스 조건에 크게 좌우되지 않고, 제어성이 양호하다.

본 발명의 제6의 측면에 따르면, 면방위(111)을 갖는 결정면은 인덱스의 경사면으로서 형성된다. 칩 또는 기판에 자주 사용되는 결정에 있어서, (111)면의 에칭속도는 다른 결정면에 비해 가장 느리기 때문에, 정밀도가 높은 인덱스가 형성된다.

본 발명의 제7의 측면에 따르면, 칩 또는 기판의 표면에 거의 수직인 방향에서 조사된 광은 인덱스의 경사면에 의해 모두 반사된다.

따라서, 인덱스는 화상으로써 검게 보이고, 콘트라스트가 매우 높게 된다.

본 발명의 제8의 측면에 따르면, 인덱스는 칩 또는 기판에 위치한 소자부와 동일한 포토마스크를 사용하거나 또는 에칭마스크로써 소자부와 동일한 재료를 사용해서 에칭된다. 따라서, 인덱스는 소자부에 대해 셀프 얼라인먼트로 형성된다. 따라서, 종래의 기술과는 달리, 포토마스크의 잘못된 얼라인먼트가 발생하지 않는다.

본 발명의 제9의 측면에 따르면, 인덱스는 도파로형 반도체 레이저, 도파로형 포토디텍터 또는 유전체 도파로 등의 광도파로소자의 코어에 대해 셀프 얼라인먼트로 형성된다.

본 발명의 제10의 측면에 따르면, 인덱스는 레이저 다이오드, 포토다이오드 또는 광스위치 등의 반도체 광소자의 활성영역 또는 도파로 영역에 대해 셀프 얼라인먼트로 형성된다.

본 발명의 제11의 측면에 따르면, 기능층은 기판측을 향하고 칩은 플립칩 본딩된다. 칩이 액티브 소자인 경우에는 접합상태를 의미한다. 따라서, 기판 표면에서 기능층까지의 높이 정밀도가 향상된다.

그 이유는 칩제조과정에 있어서, 기능층면의 칩표면에서 기능층까지의 높이는 반대면의 칩표면에서 기능층까지의 높이보다 더 높은 정밀도로 제어되기 때문이다. 플립칩 본딩이 실행되지 않는 종래의 기술과는 달리, 본 발명의 기술은 2개의 처리공정, 즉 칩의 기능층면을 일시적으로 흡착하는 스텝 및 다음에 반대면을 기판에 고정하는 스텝이 필요하지 않다.

본 발명의 제12의 측면에 따르면, 광성유를 탑재하는 (111)면을 갖는 V형 홈이 면방위(100)의 실리콘 결정을 포함하는 칩 또는 기판 상에 인덱스와 함께 형성된다. 실리콘 결정은 포토디텍터의 기본재료 및 유전체 광도파로로써 널리 사용된다. 또, 실리콘 결정은 매우 큰 이방성 값으로 에칭되며, 강철에 비교할 만한 기계적 강도를 갖는다.

따라서, 실리콘 결정은 성유의 V형 홈에 적합하다. 또, V형 홈은 인덱스가 사용하는 동일한 마스크를 사용해서 에칭된다. 따라서, 잘못된 얼라인먼트가 발생하지 않는다.

본 발명의 제13의 측면에 따르면, 광소자와 기판의 인덱스는 그들 각각의 광축에 대해 셀프 얼라인먼트로 형성되고, 이들 인덱스에 따라 위치 검출을 실행하며, 광소자는 기판 상에 탑재된다.

본 발명의 제14의 측면에 따르면, 광소자와 기판의 인덱스는 동일한 시계에서 선명한 화상으로 관찰된다. 따라서, 고정밀도로 상대적 위치 어긋남이 검출된다. 이 위치 어긋남을 보정한 후, 광소자를 기판에 고정한다.

1> 본 발명에 따르면, 인덱스는 고정밀도로 간단하게 형성될 수 있고, 고정밀도 화상은 광소자칩과 표면과 기판 상에 각각 경사면을 갖는 인덱스를 형성하는 것에 의해 계측처리할 수 있다. 따라서, 광어셈블리의 얼라인먼트 정밀도를 간단하게 향상시킬 수 있다. 더 나아가서는 제조비용을 절감할 수 있다.

2> 홈 또는 외호를 칩 또는 기판 각각의 표면에 형성한다. 이에 의해, 본 발명은 각각의 인덱스의 경사면이 홈 또는 외호의 측면으로써 용이하게 형성할 수 있다는 효과가 있다.

3> 각각의 인덱스는 기본형태로써 사각추를 갖는다. 이에 의해, 본 발명은 인덱스의 경사면이 사각추의 측면으로써 고정밀도로 안정하게 형성될 수 있는 효과가 있다. 또, 본 발명은 인덱스의 화상이 사각형이기 때문에 화상계측처리를 용이하게 하는 효과가 있다.

4> 인덱스의 경사면은 액자형상의 형태를 갖는다. 따라서, 인덱스의 화상은 중공으로 된다. 따라서, 본 발명은 화상처리시간 단축과 비용절감의 효과가 있다.

5> 칩 또는 기판을 형성하는 결정의 이방성을 이용한다. 이에 의해, 본 발명은 경사진 결정면을 포함하는 인덱스가 고제어력으로 가공될 수 있는 효과가 있다.

6> (111)결정면은 인덱스의 경사면으로써 사용된다. 이에 의해, 본 발명은 인덱스를 고제어력으로 가공할 수 있는 효과가 있다.

7> 조명광은 인덱스의 경사면에서 모두 반사된다. 이에 의해, 고콘트라스트 값과 신호-노이즈 비가 매우 큰 화상이 얻어진다. 따라서, 본 발명은 위치검출을 고정밀도로 실행할 수 있는 효과가 있다.

8> 칩과, 기판의 소자부에 대해 셀프 얼라인먼트로 인덱스를 형성한다. 이에 의해, 본 발명은 인덱스가 고정밀도로 되는 효과가 있다.

9> 본 발명은 셀프 얼라인먼트 기술을 사용해서 칩과 기판 각각에 형성된 광도파로소자의 코어에 대해 고정밀도로 인덱스를 형성할 수 있는 효과를 있다.

10> 본 발명은 셀프 얼라인먼트 기술을 사용해서 칩과 기판의 각각의 반도체 광소자의 활성영역과 도파로영역에 대해 고정밀도로 인덱스를 형성할 수 있는 효과가 있다.

11> 칩은 기판에 접합된 플립칩이다. 이에 의해, 본 발명은 기판의 표면에서 기능층까지의 높이의 얼라인먼트 정밀도를 향상시키는 효과가 있다.

12> 각각이 광성유를 위한 (111)면과 V형 홈을 갖는 인덱스는 각각이 실리콘 결정을 포함하는 칩과 기판 상에 동시에 형성된다. 이에 의해, 본 발명은 인덱스와 V형 홈 사이의 잘못된 얼라인먼트를 방지할 수 있는 효과가 있다.

13> 광소자의 발광부 또는 수광부의 광축은 기판의 광도파로부 또는 광도파로소자 탑재부의 광축과 고정밀도로 일치한다. 이에 의해, 본 발명은 광결합손실이 최저로 감소된 광어셈블리를 실현할 수 있는 효과가 있다.

14> 본 발명은 고정밀도로 광소자와 광기판을 위치결정하고 고정하는 프로세스를 현미경, 화상처리소자

및 미세이동 스테이지를 사용하는 간단한 시스템으로 실행할 수 있는 효과가 있다.

이하, 본 발명에 따른 광어셈블리의 실시예를 도면에 따라 설명한다. 제1도는 광어셈블리의 개략적 구조도이다. 제1도의 우측 상부에 광어셈블리의 상부를 도시한다. 제1도의 좌측 상부에는 광어셈블리의 종단면을 도시한다. 제1도의 하부에는 광어셈블리의 횡단면을 도시한다.

광어셈블리(1)는 광소자칩(10)과 기판(20)을 포함한다. 기판(20)은 광도파로형 소자(23)을 포함한다. 광도파로형 소자(23)에 광결합하도록 광소자칩(10)이 기판(20)의 표면(21)에 플립칩 본딩된다. 광섬유(30)은 V형 홈(26)내에 배치된다.

광소자칩(10)은 $1.3\mu\text{m}$ 의 파장을 갖는 역메사 리지 도파형의 반도체 레이저를 포함한다. 칩(10)의 중심에 위치한 리지는 저면에 활성영역(13)을 갖고 상면에는 전극을 갖는다. 레이저 빔은 리지에 의해 도파되고, 칩(10)의 단면에서 광도파소자(23)으로 출사된다. 기판(20)에 대향하고 활성영역측상에 위치한 칩(10)의 표면(11)상에 형성된 얼라인먼트 인덱스(12)는 표면(11)에 대해 경사진 면을 포함한다.

제2도는 얼라인먼트 인덱스(12)가 형성되는 방식을 설명하는 도면이다. 제2도의 우측 상부에는 표면(11)에서 본 칩(10)의 상부를 도시하고, 제2도의 좌측에는 칩(10)의 종단면을 도시한다. 제2도의 하부에는 칩(10)의 횡단면을 도시한다. 활성영역(13)의 위치를 결정하는 리지형성 과정에 있어서, 동일한 포토마스크와 이방성 에칭을 사용해서 리지와 동시에 가공된다. 인덱스(12)를 형성하는 홈의 외형은 $30\mu\text{m}^2$ 과 $90\mu\text{m}$ 의 간격을 갖고, 깊이는 리지와 동일한 $5\mu\text{m}$ 이다. 인덱스(12)는 사각추로 절삭된 형태를 갖는다. 인덱스(12)의 경사면은 리지의 측면과 동일한 결정면을 갖는다. 이 실시예에 있어서, 면방위(100)을 갖는 기판은 칩(10)의 기판으로써 사용된다. 인덱스(12)와 리지의 경사면은 면방위(111)를 갖는다. 표면(11)과 인덱스(12)에 의해 형성된 각은 대략 55° 이다. 표면(11)에 수직인 입사광은 인덱스(12)의 경사면에 의해 모두 반사된다.

여기에서, InP의 화합물 반도체를 포함하는 칩(10)을 역메사형의 이방성 에칭을 실행하는데 브롬산이 사용된다. 결정 방위에 따라 염산 또는 브롬산을 사용해서 에칭을 실행하면 예를 들어 메사형의 리지 또는 인덱스도 형성할 수 있다. 또, 칩이 GaAs의 화합물 반도체를 포함하는 경우에는 플루오르화산, 염산 등의 용액을 사용하는 것에 의해 이방성 에칭을 실행한다. 광소자칩의 구조에 따라서, 브롬산과 과산화수소의 혼합용액 또는 브롬과 메탄올의 용액을 사용하는 이방성 에칭을 실행하거나 또는 염소가스나 메탄가스를 사용하는 드라이에칭을 실행할 수도 있다.

기판(20)은 면방위(100)을 갖는 실리콘 결정기판을 포함한다. 기판(20)은 석영 광도파로를 포함하는 광도파소자(23) 및 거기에 배치된 광섬유(30)을 포함하는 V형 홈(26)을 갖는다. 광도파로 소자(23)은 약 $10\mu\text{m}^2$ 의 단면을 갖는 코어(24)와 대략 $20\mu\text{m}$ 의 두께를 갖는 클래딩(25)을 포함한다. 광도파로(23)은 칩(10)에서 출사된 레이저 빔을 도파하고, 광섬유(30)에 레이저빔을 광결합한다. 칩(10)에 대향하고 도파로(23)측에 위치한 기판(20)의 표면(21)에 형성된 얼라인먼트 인덱스(22)는 표면(21)에 대해 경사진 면을 포함한다.

제3도는 얼라인먼트 인덱스(22)와 V형 홈(26)이 형성되는 방식을 설명하는 도면이다. 제3도의 우측 상부에는 제조과정 중간의 기판(20)의 상부를 도시한 것이다. 제3도의 좌측부분에는 기판(20)의 종단면을 도시한 것이다. 제3도의 하부에는 기판(20)의 단면을 도시한다. 기판(20)의 제조과정에 있어서, 먼저 클래딩(25)은 기판(20)의 오목한 부분에 퇴적된다. 다음에, 기준면으로써 기능하는 기판(21)을 연마에 의해 형성한다. 그 후, 코어재(24)는 클래딩(25)과 표면(21)에 퇴적된다. 코어(24)는 포토리도그래피와 드라이에칭에 의해 패턴화된다. 동시에, 인덱스(22)와 V형 홈(26)에 따른 개구는 포토마스크를 사용해서 패턴화된다. 에칭 마스크로써 코어재(24)와 클래딩재(25)를 사용해서 기판(20)에 이방성 에칭을 실행한다. 이것에 의해, 면방위(111)를 갖고 사각추의 형태를 갖는 경사면을 각각 포함하는 인덱스(22)와 V형 홈(26)이 형성된다. 각각의 인덱스(22)는 기판(21)에 대해 54.7° 의 각도로 경사진다. 표면(21)에 수직인 입사광은 모두 반사된다. 각각의 인덱스(22)를 형성하는 홈의 외형은 $10\mu\text{m}^2$ 과 $90\mu\text{m}$ 의 간격을 갖는다. V형 홈(26)은 대략 $150\mu\text{m}$ 의 폭을 갖는다.

실리콘 기판(20)의 이방성 에칭용액으로써, (111)면과 다른 결정면 사이의 에칭 레이트 차이가 큰 수산화칼륨 수용액이 사용된다. 그러나, 이 대신에, 수산화나트륨 용액 또는 에틸렌디아민 용액이 사용될 수도 있다. 등방성 에칭에 의해 U형 부분을 갖는 원형 패턴 또는 홈을 형성하는 것이 바람직한 경우에는 예를 들어 질산과 플루오르산의 혼합 용액을 사용하는 습식에칭을 실행한다. 그외 가공형태에 따라 탄소 플루오르 가스 등을 사용하는 드라이 에칭을 실행할 수도 있다.

기판(20)의 제조과정에 있어서, 상술한 과정을 실행한 후 코어(24)를 덮는 클래딩(25)이 퇴적되며, 인덱스(22)와 V형 홈(26) 주위의 불필요한 부분의 코어재(24)와 클래딩재(25)는 에칭에 의해 제거된다.

표면(21)상에 전극이 형성된다. 칩(10)을 배치하는 부분 상에 얇은 땀납막이 증착된다. 얼라인먼트를 목적으로 인덱스(22) 주위에 금속화를 실행하지 않는다. 도파로(23)의 코어(24)를 섬유(30)(지름 $125\mu\text{m}$)의 코어(31)(지름 $10\mu\text{m}$)에 버트 결합(butt-coupling)을 실행할 때 V형 홈(26)의 전단부에 위치한 경사면은 장애물로 된다. 따라서, 약 $100\mu\text{m}$ 의 폭과 약 $150\mu\text{m}$ 의 깊이를 갖는 홈(27)을 톱질 또는 세이빙에 의해 형성한다. 상술한 바와 같이하여 기판(20)을 완성한다.

제4도는 상술한 칩(10)과 기판(20)의 인덱스 얼라인먼트를 실행하는 어셈블리 시스템의 개략적 구조도이다. 어셈블리 시스템(100)은 베이스(110), 머니플레이터(120), 현미경(130), 그들을 제어하는 장치 및 프로세스 제어를 실행하는 컴퓨터(140)를 포함한다.

베이스(110)는 진동억제 테이블(111), 보오드(112) 및 플레이트(113)를 포함한다. 진동억제 테이블(111), 보오드(112) 및 현미경(130)은 견고하게 고정된다. 보오드(112)는 진동억제 효과를 갖는다. 보오드(112)상에 플레이트(113)이 탑재된다. 기판(20)을 흡착하는 플레이트(113)은 스테이지 제어기(214)에 의해 제어된 X-Y스테이지(114)에 의해 X축과 Y축으로 이동한다.

머니플레이터(120)는 진공 척(121), θ_z 스테이지(122), 암(123) 및 X-Y-Z 스테이지(124)를 포함한다. 칩

(10)을 흡착하는 진공 척(121)은 척제어기(221)에 의해 제어되어 진공 펌프의 진동에 의한 영향을 받지 않는다. θz 스테이지(122)는 스테이지 제어기(222)에 의해 제어된다. θz 스테이지(122)는 정밀도 0.01° 로 Z축에 따라 회전운동을 실행하고, 칩(10)이 기판(20)에 탑재될 때 발생하는 하중을 감지한다. 척(121)과 스테이지(122)는 고강성을 갖는 암(123)을 거쳐서 X-Y-Z 스테이지(124)에 의해 X, Y, Z축으로 이동한다. X-Y-Z 스테이지(124)에는 정밀한 기준 스케일과 스테이지 제어기(224)에 의해 피드백 제어가 실행된다. 이에 따라 $0.05\mu\text{m}$ 정도의 고정밀도로 위치결정이 실행된다.

현미경(130)은 기판(20)의 저면에 적외선을 투과시켜 인덱스(12) 및 (22)를 관찰하는 적외선 현미경으로써, 배율 50배의 대물렌즈(131), 경통(132), 조명장치(133) 및 비디오 카메라(136)를 포함한다. 대물렌즈(131)은 고배율과 고분해능을 갖는다. 렌즈(131)의 작동거리를 고려해서 개구부를 보이드(112)와 플레이트(113)에 마련한다. 조명장치(133)은 칩(10)과 기판(20)에 적외선의 동축 조명을 실행한다.

필터(134)는 적외선 조명의 파장을 설정한다. 경통(132)과 스테이지 제어기(235)에 부착된 Z스테이지(135)에 의해 현미경(130)의 자동 초점조절이 실행된다.

비디오 카메라(136)은 고분해능, 저왜곡 특성 및 저스티킹을 갖는 적외선 카메라이다. 현미경 화상은 화질을 조정하는 카메라 제어기(236)과 화상처리장치(237)를 거쳐서 비디오 모니터(138)에 투사된다. 화상처리장치(237)는 인덱스(12)와 (22)의 화상에 측정처리를 실행한다.

어셈블리 처리에 따르면, 컴퓨터(140)은 스테이지 제어기(214), (222), (224), (235), 척 제어기(221) 및 화상처리장치(237)를 제어한다.

제어정보는 제어모니터(141)에 표시된다.

제5a도 및 제5b도는 어셈블리 시스템(100)에 의해 실행된 광어셈블리(1)의 인덱스 얼라인먼트의 방법을 설명하는 도면이다. 제5a도 및 제5b도는 인덱스(12)와 (22)의 모니터 화상의 1예를 도시한 것이다.

모니터(238)의 스크린 상에서, 인덱스(12)는 어두운 액자형상으로 보이고, 인덱스(22)는 어두운 사각형으로 보인다. 이는 인덱스(12)와 (22)의 경사면이 현미경(130)의 적외선 조명을 모두 반사하기 때문이다.

얼라인먼트하기 전(후술할 공정(7))에는, 제5a도와 같이, 인덱스(12)와 (22)의 2쌍의 중심 좌표가 일치하지 않는다. 좌측쌍은 위치 어긋남 상태에 있어서 우측쌍과 다르다. X축과 Y축 방향에서의 위치이탈에 부가해서, Z축을 중심으로 하는 각도도 어긋난다. 제5a도의 하부에 도시한 바와 같이, 휘도신호(41)은 비대칭 패턴으로 된다.

화상처리장치(238)는 인덱스(12)와 (22)의 화상을 취하고, 화상 인식 및 측정처리를 실행한다. 특히, 먼저 화상처리장치는 각 화소의 휘도 신호에 2진 값을 마련하고, 액자형상과 사각형의 패턴 매칭을 실행하고, 인덱스(12)와 (22) 2쌍, 즉 총 4개의 패턴 각각의 면적 중심 좌표를 계산한다. 다음에, 첫 번째 1쌍의 인덱스(12)와 인덱스(22)사이의 좌표 차이와 두 번째 쌍의 인덱스(12)와 인덱스(22)사이의 좌표 차이가 컴퓨터(140)에 출력된다. 현미경(130)과 카메라(136)을 포함하는 검출광학계의 성능과 인덱스(12)와 (22)의 콘트라스트를 고려하면, 화상계측 정밀도는 $0.1\mu\text{m}$ 이다.

2조의 좌표차와 인덱스(12)(인덱스(22)사이의 거리값과 동일)사이의 소정의 거리 값에 따라 컴퓨터(140)은 기판(20)에 대한 칩(10)의 위치 어긋남값 ΔX , ΔY , θz 를 계산한다. 다음에, 컴퓨터(140)은 스테이지 제어기(222)와 (224)를 거쳐서 X-Y-Z 스테이지(124)와 θz 스테이지(122)에 의해 칩(10)을 이동시키고, 위치어긋남값 ΔX , ΔY , $\Delta \theta z$ 를 보정한다.

얼라인먼트를 실행한 후, 인덱스(12)와 (22)는 제5b도에 도시한 바와 같이 중심좌표가 일치하게 된다. 즉, 인덱스(12)의 중심좌표는 인덱스(22)의 중심좌표와 일치한다. 제5b도의 하부에 도시한 바와 같이, 휘도신호(42)는 대칭 패턴을 갖는다.

이상과 같이 해서, 광어셈블리(1)의 인덱스 얼라인먼트는 어셈블리 시스템(100)에 의해 실행된다. 전체 제조과정의 개요는 다음과 같다.

- [1] 기판(20)을 로더(도시하지 않음)에 의해 플레이트(113)의 소정의 위치까지 송출해서 흡착한다.
- [2] 카메라(136)의 비디오신호에 따라, 기판(20)의 표면(21)에 Z스테이지(135)에 의해 현미경(130)의 초점으로 맞춘다.
- [3] 인덱스(22)의 화상이 모니터(238)의 스크린의 소정의 위치에 위치하도록 플레이트(113)을 X-Y스테이지(114)에 의해 이동시킨다.
- [4] 칩(10)을 척(121)에 의해 유지하고, 트레이(도시하지 않음)에서 인출한다.
- [5] 칩(10)을 X-Y-Z 스테이지(124)에 의해 인덱스(22)상의 소정의 위치로 이동시킨다.
- [6] 칩(10)에 부가된 하중을 감지하면서 칩(10)은 기판(20)에 접할 때까지 일시적으로 낮추고, 소정의 거리만큼 상승시킨다.
- [7] 인덱스(12)와 인덱스(22) 2쌍의 화상의 중심좌표, 즉 4패턴의 중심좌표를 화상처리장치(237)에 의해 측정하고, 첫 번째 쌍의 좌표차와 두 번째 쌍의 좌표차를 화상처리장치(237)에 의해 계산한다.
- [8] 2조의 좌표차와 인덱스(12)(인덱스(22)사이의 거리와 동일)사이의 소정 거리에 따라서, 칩(10)의 위치 어긋남 ΔX , ΔY , $\Delta \theta z$ 를 계산한다.
- [9] 위치어긋남 ΔX , ΔY , $\Delta \theta z$ 를 보정하도록 X-Y-Z 스테이지(124)와 θz 스테이지(122)에 의해 칩(10)을 이동시킨다.
- [10] X-Y-Z 스테이지(124)에 의해 칩(10)을 아래로 이동시킨다. 칩(10)에 소정의 하중을 부가하는 것에 의해, 칩(10)은 기판(20)과 일시적으로 부착된다.

[11] 칩(10)을 탑재한 기판(20)을 로더에 의해 이송해서 인출한다.

[12] 기판(20)의 땀납 박막을 리플로노(도시하지 않음)에 의해 용융시킨다. 이에 따라 칩(10)이 기판(20)에 고정된다.

[13] 섬유(30)은 V형 홈(26)에 고착된다.

이상과 같은 프로세스에 의해 본 실시예의 광어셈블리(1)를 완성한다.

본 실시예에 따르면, 인덱스에 경사면을 마련하는 것에 의해, 인덱스(12)와 (22)를 광소자칩(10)과 기판(20)에 셀프 얼라인먼트로 형성할 수 있다. 또, 면방위(111)의 경사면이 칩(10)과 기판(20)을 형성하는 이방성 결정을 사용해서 형성되므로, 가공제어성이 높아진다.

따라서, 칩(10)의 활성 영역(13)이 기판(20)의 광도파로장치(23)에 대해 고정밀도로 용이하게 인덱스(12)와 (22)를 형성할 수 있는 효과가 있다. 또, 인덱스(22)를 V형 홈(26)으로 동시에 형성할 수 있으므로, 광섬유(30)에 대해서도 고정밀도가 얻어진다.

인덱스(12)와 (22)의 각각의 경사면은 화상 검출광학계의 조명을 모두 반사시키므로, 콘트라스트가 높은 화상이 얻어진다. 인덱스(12)와 (22) 각각이 사각추의 형태를 가지므로, 화상인식이 용이한 사각형의 화상이 얻어진다. 인덱스(12)의 화상이 액자형상이므로, 영역 중심좌표를 계산하는데 필요한 시간이 짧아진다. 따라서, 인덱스(12)와 (22)의 화상계측을 고정밀도로 단시간 내에 실행할 수 있는 효과가 있다.

인덱스 얼라인먼트는 X축, Y축 및 θ z축에 대해 실행된다. Z축에 대해서는, 칩(10)이 기판(20)으로 향한 활성영역(13)과 플립 칩본딩되어 있으므로, 리지 높이에 대응하는 고정밀도가 얻어진다.

상술한 바와 같이, 인덱스(12)와 (22)의 형성과 화상측정을 본 실시예에서 정확하고 간단하게 실행할 수 있다. 물론, 이에 따라 인덱스 얼라인먼트의 얼라인먼트 정밀도가 향상되고, 제조비용이 절감시킬 수 있는 효과가 있다.

본 실시예에 있어서, 광소자칩(10)의 표면(21)과 표면(21)에 대향한 기판(20)의 표면(21)에 대해 일정한 경사각을 갖는 경사면은 인덱스(12)와 (22)로써 사용된다. 그러나, 사용되는 칩과 기판에 따라서, 점차 변화하는 경사각을 갖는 J형 또는 U형 경사면도 효과가 있다. 인덱스가 칩 또는 기판의 표면에 대해 경사지는 경우에는 조명 빛이 경사면에 의해 반사되고, 경사면은 암화상으로써 관찰된다. 관계식 $\theta \geq \theta_0 = \sin^{-1}(n_2/n_1)$ (여기서, θ 는 칩 또는 기판의 표면에 대한 인덱스면의 경사각이고 n_1 과 n_2 ($n_1 > n_2$)는 인덱스면과 그 주변을 구성하는 재료 또는 공기의 굴절율임)을 만족하는 경우, 본 실시예에서와 같이 전면반사에 의해 암흑색 화상을 얻을 수 있다. 관계식에서 θ_0 는 임계각이다. 상술한 실시예에 있어서, InP반도체와 실리콘 기판(20)을 포함하는 칩(10)의 굴절율은 각각 약 3.4이고, θ_0 는 17.1도이다. 인덱스(12)와 (22)의 경사각은 약 55도이므로, 전면반사 조건을 만족한다.

인덱스(12)와 (22)이 홈의 측면으로써 형성되지만, 홈이나 홈에 의해 둘러싸인 외호의 조합일 수도 있다. 인덱스(12)와 (22) 각각은 기본형으로써 사각형 화상을 생성하는 사각추를 갖지만, 때로는 원추형, 원환형, 지붕형 및 구형 등의 경사면을 갖는 형태가 사용될 수도 있다. 폐쇄면을 갖는 화상을 생성하는 인덱스를 사용했지만, 화상처리방식에 따라 선이나 그의 조합을 채용할 수도 있다. 화상처리방식에 있어서는 상술한 실시예에서와 같이, 중심 계산 이외에 에지좌표 추출계산 등의 간단한 방법이 있다. 검출 정확성과 처리시간에 따라 화상처리방법을 선택한다. 이방성 에칭을 사용해서 인덱스(12)와 (22)를 가공했지만, 등방성 에칭, 퇴적 또는 접합 등의 가공수단을 사용할 수도 있다. 이 실시예에 있어서는 경사면을 갖는 인덱스(12)와 (22)를 칩(10)과 기판(20)모두에 형성했지만, 칩(10)과 기판(20)중 어느 하나에만 경사 인덱스를 실행해도 본 발명의 효과가 얻어지고, 종래 기술의 인덱스가 그들 중 다른 하나에 채용된다.

제6a도 및 제6b도는 상술한 실시예와 다른 형태를 갖는 인덱스의 예를 도시한 것이다. 제6a도는 원형 인덱스(51)과 환형 인덱스(52)를 도시한 것이다. 이들은 습식 에칭과 드라이 에칭에 의해 형성될 수 있다. 화상처리를 실행할 때, 원형 패턴의 경우 화상검출 정확도는 화상의 주사선과 상술한 실시예의 사각형 인덱스와 다른 인덱스축 사이의 각도에 의존하지 않는다. 따라서, 원형 패턴은 인덱스 경사의 분산이 비교적 큰 경우에 적합하다.

제6b도는 장방형 인덱스(61)과 (62)의 조합을 도시한 것이다. 이들은 V형 홈 또는 U형 홈을 포함하고, 상술한 실시예의 사각형 인덱스와 동일한 방법을 사용해서 가공될 수 있다. 화상처리에 있어서, 장방형(61)과 (62)의 짧은 면에 평행한 방향에서의 검출 정확도가 그의 긴면에 평행한 방향에서 보다 더 높게 된다. 따라서, 이 방법은 긴면 방향에 광축이 있는 경우와 같이, 짧은 면에 평행한 방향에서 보다 높은 정밀도가 필요한 경우에 적합하다.

이 실시예에서는 광소자칩으로서 역메사 리지 도파로형 반도체 레이저를 사용하지만, 본 발명은 메사 리지 도파로형 레이저 또는 매립구조형 레이저, 이득 도파로형 레이저 또는 면방광 레이저 등의 인덱스 도파로형 레이저에도 적용될 수 있다. 또, 광소자칩은 레이저, 발광 다이오드 또는 도파로/면 검출형 포토 다이오드 등의 능동 광소자에 한정되지 않고, 예를 들어 반도체, 유전체 또는 유기재를 포함하는 광도파로 소자 또는 미소 광학소자 등의 수동 광소자일 수도 있다.

기판의 1예로써 그 위에 형성된 직선형의 석영 도파로(23)을 갖는 실리콘 결정기판을 사용했지만, 기판의 재료는 광도파로 또는 기판에 필요한 기능에 따라 변화될 수도 있다. 분기, 파장 분할/혼합 등의 기능이 도파로에서 적용될 수 있는 것은 물론이다. 도파로가 없는 경우도 있다. 기판과 도파로의 재료로써는 실리콘 또는 석영 외에 유리, 유기재 또는 세라믹 등의 유전체 또는 화합물 반도체를 사용한다. 반도체 기판 상에 능동 광소자와 집적회로소자가 마련될 수도 있다.

또, 광섬유(30)를 기판 상에 탑재했지만, 광섬유의 커넥터 리셉터클을 기판 상에 배치할 수도 있다.

얼라인먼트 시스템에 있어서는 광소자칩과 기판 상에 형성된 인덱스를 본 실시예의 동축 조명을 사용해서

관찰할 수 있다. 이 조명 방법에 따르면, 현미경계(132)와 조명계(133)은 제4도에 도시한 바와 같이 베이스(110)의 한면에 모두 마련할 수 있다. 따라서, 베이스(110)의 다른 면에는 척(121)과 스테이지(124)를 위한 공간을 충분히 확보할 수 있다. 그 결과, 칩(10)과 기판(20)을 용이하게 다룰 수 있는 효과가 있다.

다른 조명방법으로써, 제7도에 도시한 바와 같은 투과 조명이 있다.

제7도에 도시한 어셈블리 시스템(101)에 있어서, 제4도와 동일한 기능을 갖는 부품은 동일한 기호로 나타낸다. 시스템(101)은 조명계(133)이 현미경계(132)로부터의 베이스(110)의 반대면에 위치해 있고, 미러(138)과 하우징(137)에 의해 기판(20)의 이면으로부터 조명을 실행하며, 인덱스(11)과 (12)를 투과광을 사용해서 관찰한다는 점에서 제4도에 도시한 시스템과 다르다. 일반적이지만, 투과 조명은 제4도에 도시한 바와 같은 수직조명 보다 더 높은 콘트라스트로 선명한 화상이 잡힐 수 있다는 효과가 있다. 그러나, 척(121)에 사용된 투과재료의 광특성과 투과재료와 스테이지(124)의 강성율을 고려해야 한다.

상술한 바와 같이, 본 발명은 광소자칩과 기판을 포함하는 광어셈블리에 널리 적용될 수 있고, 큰 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

광소자칩, 상기 칩을 배치하는 기판 및 상기 칩의 표면과 상기 칩의 상기 표면에 대향한 상기 기판의 표면중 적어도 하나에 배치되고, 각각이 표면에 대해 경사진 면을 갖는 얼라인먼트 인덱스를 포함하는 광어셈블리.

청구항 2

제1항에 있어서, 상기 얼라인먼트 인덱스가 홀 또는 외호를 포함하는 광어셈블리.

청구항 3

제1항에 있어서, 상기 얼라인먼트 인덱스 각각이 그의 기본 형태로써 사각추를 포함하는 광어셈블리.

청구항 4

제1항에 있어서, 상기 표면상에서 상기 경사면의 투영화상이 액자형상의 형태를 갖는 광어셈블리.

청구항 5

제1항에 있어서, 상기 칩 또는 상기 기판이 결정을 포함하고, 상기 경사면이 결정면을 포함하는 광어셈블리.

청구항 6

제5항에 있어서, 상기 경사면이 면방위를 갖는 결정면을 포함하는 광어셈블리.

청구항 7

제1항에 있어서, 상기 표면에 대한 상기 경사면의 경사각 θ 가 관계식 $\theta \geq \sin^{-1}(n_2/n_1)$ (단, n_2 와 n_1 는 상기 경사면의 각각의 면을 형성하는 재료의 굴절율이고 $n_1 > n_2$ 임)을 만족하는 광어셈블리.

청구항 8

제1항에 있어서, 상기 칩 또는 기판 상에 형성된 소자부와 동시에 에칭 또는 상기 소자부의 적어도 일부와 동일하나 재료를 마스크로써 사용해서 에칭하는 것에 의해 상기 얼라인먼트 인덱스를 형성하는 광어셈블리.

청구항 9

제8항에 있어서, 상기 칩 또는 상기 기판은 광도파로소자를 포함하고, 상기 광도파로소자의 코어를 결정하는 에칭과 동시에 에칭 또는 상기 광도파로소자의 코어재료를 마스크로서 사용해서 에칭하는 것에 의해 상기 얼라인먼트 인덱스를 형성하는 광어셈블리.

청구항 10

제8항에 있어서, 상기 칩 또는 상기 기판이 광반도체소자를 포함하고, 활성 영역 또는 상기 광반도체소자의 도파로 영역을 결정하는 에칭과 동시에 에칭하는 것에 의해 상기 얼라인먼트 인덱스를 형성하는 광어셈블리.

청구항 11

제1항에 있어서, 상기 칩은 상기 기판에 플립칩 본딩되어 이루어지는 광어셈블리.

청구항 12

제1항에 있어서, 상기 칩 또는 상기 기판이 면방위를 갖는 실리콘 결정을 포함하고 상기 경사면은 면방위를 갖는 결정면을 갖고, 상기 광어셈블리는 광섬유를 배치하기 위한 V형 홈을 포함하고, 상기 V형 홈이 면방위의 결정면을 포함하는 광어셈블리.

청구항 13

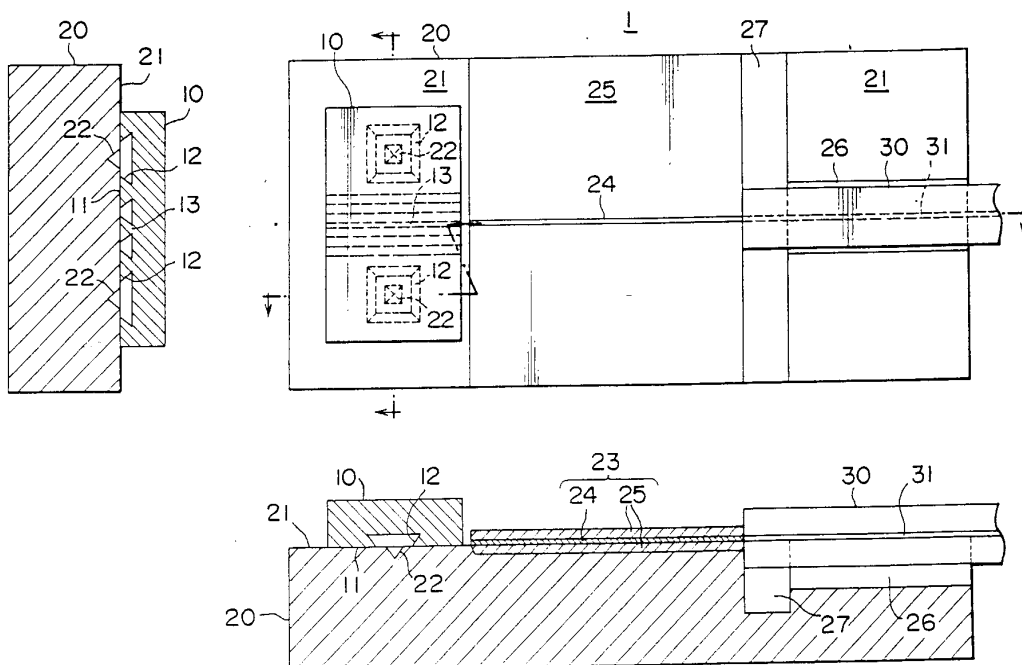
발광부 또는 수광부를 포함하고, 상기 발광부 또는 수광부와 동시에 형성된 경사면부를 포함하는 제1의 얼라인먼트 인덱스를 갖는 광소자칩과 광도파로소자를 배치하기 위한 광도파로부 또는 홈부 및 상기 도파로부 또는 상기 홈부와 동시에 형성된 경사면부를 포함하는 제2의 얼라인먼트 인덱스를 포함하는 광기판을 포함하며, 상기 광소자칩과 상기 광기판은 상기 제1의 얼라인먼트 인덱스와 상기 제2의 얼라인먼트 인덱스의 화상계측을 사용하는 패시브 얼라인먼트에 의해 위치결정되고, 상기 광소자칩은 상기 광기판에 고정되는 광어셈블리.

청구항 14

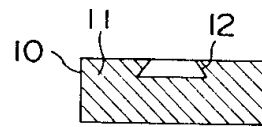
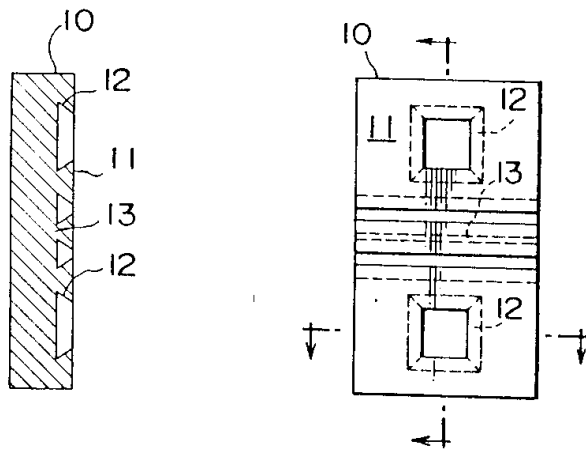
발광부 또는 수광부를 형성함과 동시에 상기 발광부 또는 수광부를 갖는 광소자칩 상에 제1의 경사면부를 포함하는 제1의 얼라인먼트 인덱스를 형성하는 스텝, 광도파로부 또는 홈부를 형성함과 동시에 광도파로소자를 위치결정하기 위해 광도파로부 또는 홈부를 포함하는 광기판 상에 제2의 경사면부를 포함하는 제2의 얼라인먼트 인덱스를 형성하는 스텝, 상기 광기판 상에 상기 광소자칩을 겹쳐놓고, 상기 광소자칩과 상기 광기판의 기본재료를 투과한 조명광을 사용해서 투과관찰 또는 동축관찰을 실행하는 스텝, 상기 제1 및 제2의 경사면부에 의해 실행된 상기 조명광의 반사결과로써 얻어진 상기 제1 및 제2의 얼라인먼트 인덱스의 제1 및 제2의 화상을 각각 검출하는 스텝, 상기 제1 및 제2의 화상을 처리하고, 화상 계측에 의해 상기 제1의 인덱스와 제2의 인덱스 사이의 상대적 얼라인먼트 오차를 환산하는 스텝, 상기 얼라인먼트 오차에 따라 상기 광소자칩과 상기 광기판의 위치를 보정하는 스텝 및 상기 광소자칩을 상기 광기판 상에서 적당한 위치에 고정하는 스텝을 포함하는 광어셈블리 제조방법.

도면

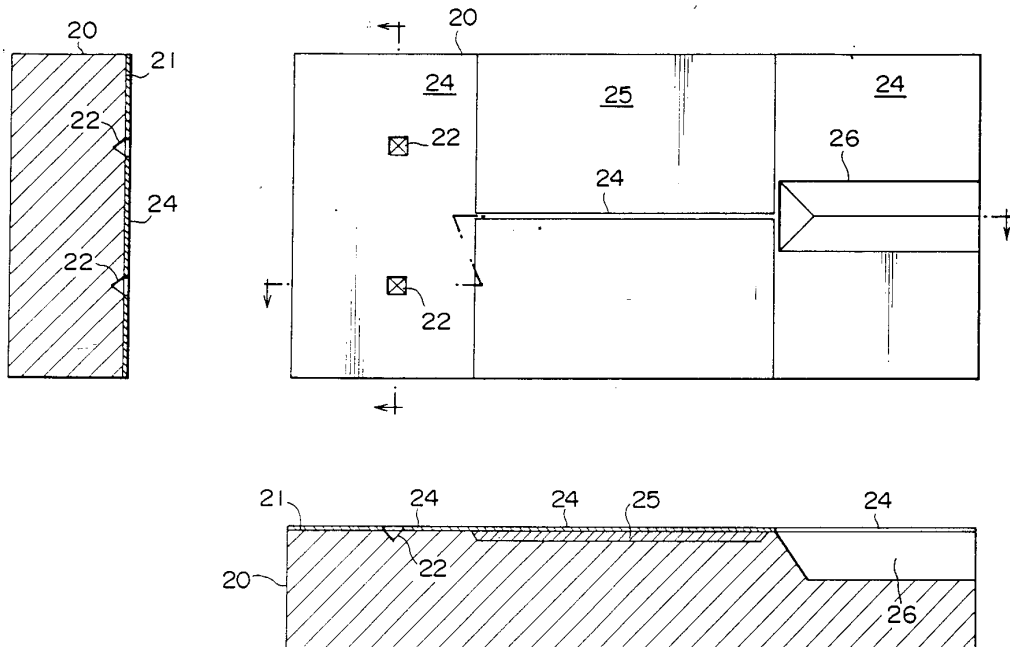
도면1



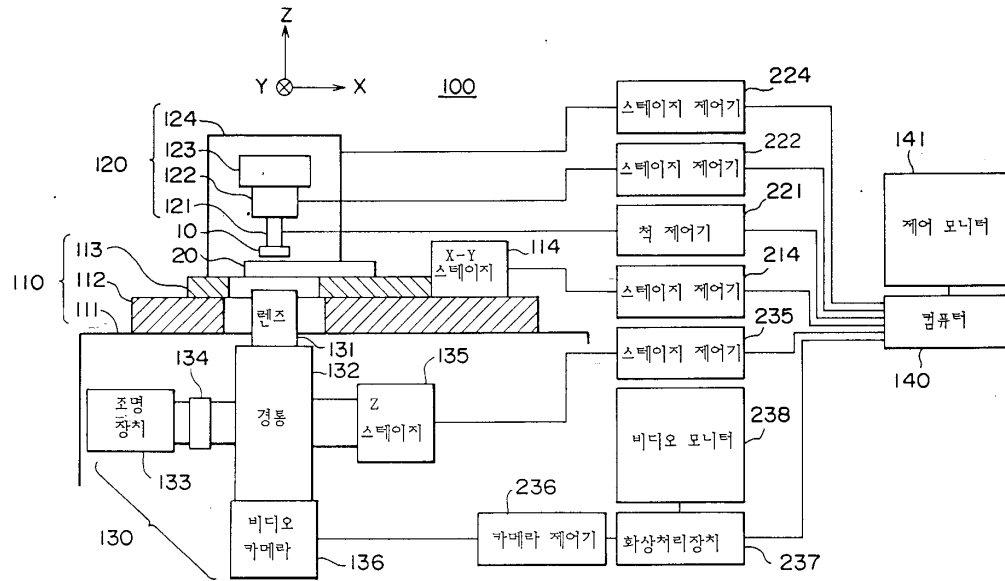
도면2



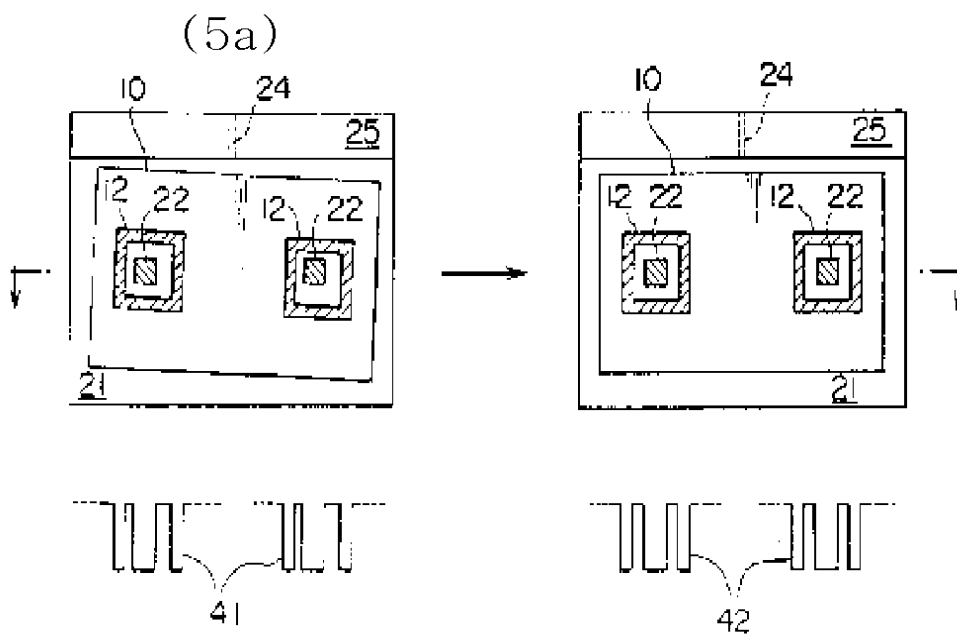
도면3



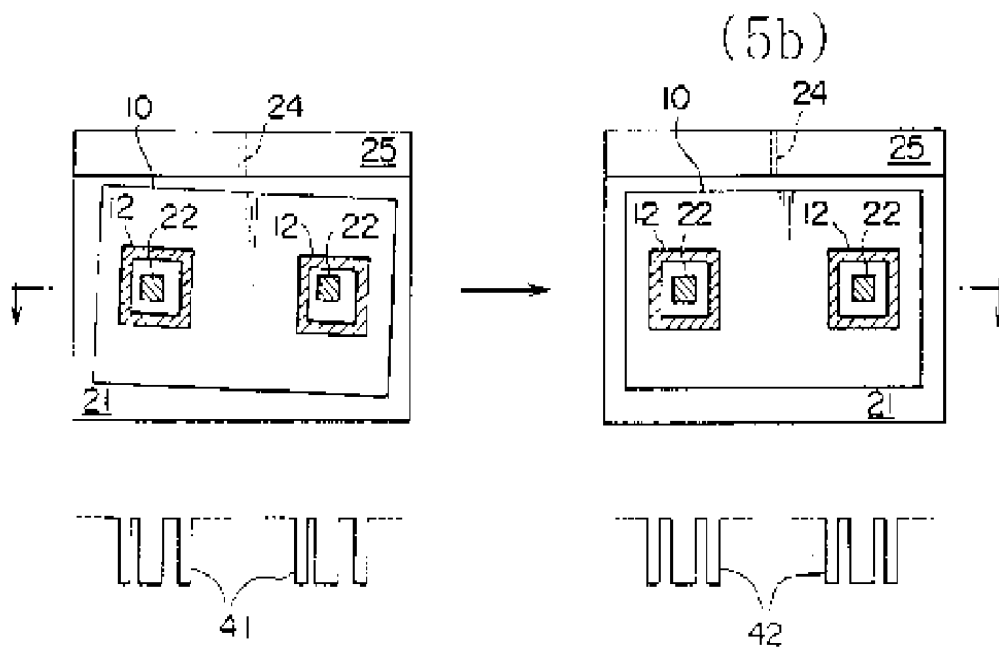
도면4



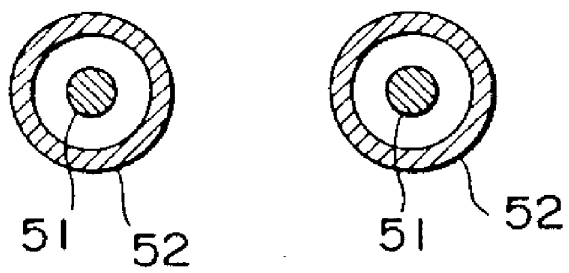
도면5a



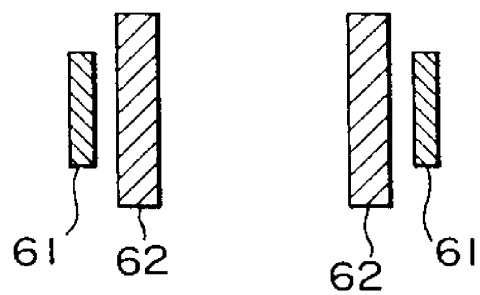
도면5b



도면6a



도면6b



도면7

