

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3568024号  
(P3568024)

(45) 発行日 平成16年9月22日(2004.9.22)

(24) 登録日 平成16年6月25日(2004.6.25)

(51) Int.Cl.<sup>7</sup>

F I

H O 2 M 1/06

H O 2 M 1/06

B

H O 3 K 17/56

H O 3 K 17/56

Z

請求項の数 2 (全 7 頁)

(21) 出願番号	特願平10-195110	(73) 特許権者	591083244
(22) 出願日	平成10年6月26日(1998.6.26)		富士電機システムズ株式会社
(65) 公開番号	特開2000-14127(P2000-14127A)		東京都千代田区三番町6番地17
(43) 公開日	平成12年1月14日(2000.1.14)	(74) 代理人	100075166
審査請求日	平成14年10月11日(2002.10.11)		弁理士 山口 巖
		(74) 代理人	100076853
			弁理士 駒田 喜英
		(74) 代理人	100085833
			弁理士 松崎 清
		(72) 発明者	松原 邦夫
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	笹川 清明
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 電圧駆動型半導体素子のゲート駆動回路

(57) 【特許請求の範囲】

【請求項1】

電圧駆動型半導体素子からなる電力変換装置に対し、  
前記電圧駆動型半導体素子のスイッチングを制御する制御装置と、この制御装置からの信号に基づき電圧駆動型半導体素子を駆動する駆動回路と、電圧駆動型半導体素子のターンオフ時のゲート電圧を一定期間クランプするクランプ回路とを設け、  
前記電圧駆動型半導体素子ターンオフ時のゲート電圧を、前記クランプ回路により逆バイアス電圧としきい値電圧との間の電圧に一定時間だけクランプし、その後は逆バイアス電圧に戻すことにより、電圧駆動型半導体素子ターンオフ時に発生するスパイク電圧の低減と、制御信号を受けてから素子がターンオフ開始するまでの時間短縮とを図ることを特徴とする電圧駆動型半導体素子のゲート駆動回路。

10

【請求項2】

前記ゲート電圧をクランプする一定時間を、電圧駆動型半導体素子のスパイク電圧発生期間とし、素子が通常オフしている期間の誤動作防止を図ることを特徴とする請求項1に記載の電圧駆動型半導体素子のゲート駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電力変換装置を構成するIGBT(絶縁ゲートバイポーラトランジスタ)等の、電圧駆動型半導体素子のゲート駆動回路に関する。

20

## 【 0 0 0 2 】

## 【 従来の技術 】

図 5 に電圧駆動型半導体素子として I G B T を用いた電圧形インバータの従来例を示す。これは、直流電圧源  $E_d$ 、平滑用コンデンサ  $C_F$ 、I G B T 素子  $Q_{11}$ 、 $Q_{12}$ 、 $Q_{21}$ 、 $Q_{22}$  から構成され、例えば  $Q_{12}$  と  $Q_{21}$  をオンすることで正の直流電圧を、また、 $Q_{11}$  と  $Q_{22}$  をオンすることで負の直流電圧を出力するようになっている。出力電圧が正 負と交互に出力されることにより、交流電圧が出力され、これによって、負荷抵抗  $R_L$  と負荷リアクトル  $L$  に負荷電流  $I_L$  を流すようにしている。

## 【 0 0 0 3 】

図 6 は図 5 の電圧形インバータで  $Q_{21}$  がスイッチングするときの等価回路図であり、同図の  $L_m$  は回路の配線インダクタンス、 $F D W_{11}$  は  $Q_{11}$  に内蔵されているフリーホイールダイオードを示す。図 7 に、 $Q_{21}$  ターンオフ時のコレクタ - エミッタ間電圧  $V_{CE}$  およびコレクタ電流  $I_C$  の波形を示す。

図 6 において、 $Q_{21}$  がオン状態の時は  $E_d$   $L_m$   $R_L$   $L$   $Q_{21}$   $E_d$  の経路で電流が流れる。 $Q_{21}$  がターンオフすると、 $Q_{21}$  のコレクタ - エミッタ間電圧  $V_{CE}$  が、図 7 のように上昇する。 $V_{CE}$  が直流電圧  $E_d$  に達し  $F D W_{11}$  がオンすることによって、負荷電流  $I_L$  は  $F D W_{11}$  に転流して、コレクタ電流  $I_C$  が図 7 のように減少する。この電流変化率（減少率） $- di / dt$  により、回路配線インダクタンス  $L_m$  に誘起電圧  $V_{Lm} (= V_{SP})$  が発生するため、 $Q_{21}$  に対して図 7 に示すように、 $E_d + V_{SP}$  が印加される。

スパイク電圧  $V_{SP}$  は  $L_m \times (- di / dt)$  となるので、 $V_{SP}$  を減少させるためには、回路配線インダクタンス  $L_m$  または電流変化率  $- di / dt$  を低減する必要がある。しかし、回路配線インダクタンス  $L_m$  の低減には回路配線上の制約（制限）があるので、 $V_{SP}$  を減少させるには電流変化率  $- di / dt$  を低減させるのが一般的な方法である。

## 【 0 0 0 4 】

図 8 に、電流変化率  $- di / dt$  を低減させる方法の従来例を示す。

これは、I G B T のゲート駆動回路を示すもので、ターンオフ時には図 8 の M - N 1 5 間にオフゲート用電源が接続される。そのとき、電流はゲート電源 (M) I G B T ゲート入力容量 (I G B T ゲート - エミッタ間)  $R_{g(off)}$   $T R_2$  ゲート電源 (N 1 5) のルートで流れる。この電流が流れると I G B T 入力容量に逆バイアス電圧が充電されることによって、I G B T がターンオフする。その際、ゲート抵抗  $R_{g(off)}$  を大きくすることにより、I G B T 入力容量に対する充電時間を遅らせて、ゲート電圧を緩やかに変化させることができる。これにより、I G B T の電流変化率  $- di / dt$  が低減され、その結果、スパイク電圧  $V_{SP}$  を図 9 の点線で示すように低減することができる。なお、オフ用ゲート電源の電圧値を小さくし、逆バイアス電圧を浅くすることで、ゲート電圧を緩やかに変化させることができる。これによっても、I G B T の電流変化率  $- di / dt$  が低減され、スパイク電圧  $V_{SP}$  を低減できる。

## 【 0 0 0 5 】

## 【 発明が解決しようとする課題 】

上述のように、I G B T ターンオフ時に、ゲート抵抗  $R_{g(off)}$  を大きくすることでスパイク電圧  $V_{SP}$  を低減できるが、図 9 に示すようにオン・オフ信号が入力されてから I G B T が動作するまでの時間遅れが増加するという問題がある。

また、逆バイアス電圧を浅くすることでも、スパイク電圧  $V_{SP}$  を低減できるが、逆バイアス電圧が浅いと、種々のノイズやゲート駆動回路の誤動作により、ゲート電圧が I G B T のしきい値電圧を越えやすくなるため、I G B T がオン（誤動作）しやすくなるという問題もある。

したがって、この発明の課題は素子ターンオフ時のスパイク電圧の低減，オン・オフ信号が入力されてから I G B T が動作するまでの時間短縮を図り、誤動作を防止することにある。

10

20

30

40

50

## 【 0 0 0 6 】

## 【課題を解決するための手段】

このような課題を解決するため、請求項 1 の発明では、電圧駆動型半導体素子からなる電力変換装置に対し、

前記電圧駆動型半導体素子のスイッチングを制御する制御装置と、この制御装置からの信号に基づき電圧駆動型半導体素子を駆動する駆動回路と、電圧駆動型半導体素子のターンオフ時のゲート電圧を一定期間クランプするクランプ回路とを設け、

前記電圧駆動型半導体素子ターンオフ時のゲート電圧を、前記クランプ回路により逆バイアス電圧としきい値電圧との間の電圧に一定時間だけクランプし、その後は逆バイアス電圧に戻すことにより、電圧駆動型半導体素子ターンオフ時に発生するスパイク電圧の低減と、制御信号を受けてから素子がターンオフ開始するまでの時間短縮とを図るようにしている。

10

上記請求項 1 の発明においては、前記ゲート電圧をクランプする一定時間を、電圧駆動型半導体素子のスパイク電圧発生期間とし、素子が通常オフしている期間の誤動作防止を図ることができる（請求項 2 の発明）。

## 【 0 0 0 7 】

## 【発明の実施の形態】

図 1 はこの発明の実施の形態を示す構成図、図 2 は図 1 で用いられるゲート電圧クランプ回路の具体例を示す回路図である。

すなわち、この発明は従来例に対しゲート電圧クランプ回路 G C を付加して構成される。ゲート電圧クランプ回路 G C としては、例えば図 2 に示すような、トランジスタ T R 3、M O S F E T 素子 T R 4、ツェナーダイオード Z D 1、コンデンサ C 1、抵抗 R 1、R 2、R 3 およびタイマー T M 等からなる回路とすることができる。

20

## 【 0 0 0 8 】

次に、図 2 の回路の動作について、図 3 を参照して説明する。なお、オフ用のゲート電源としては 1 5 V の電源が接続されているものとし、逆バイアス電圧は - 1 5 V であるとする。

いま、図 3 のオン・オフ信号がオンからオフに変わると、T R 4 が図示のように即座にオンし、T R 3 のベース - エミッタ間に電流が流れてこれがオンする。T R 3 がオンすると、I G B T のゲート - エミッタ間のコンデンサ（入力容量）が逆バイアス電圧に向かって充電を開始し、I G B T はターンオフ動作を開始する。そして、Z D 1 のツェナー電圧  $V_{Z D 1}$  に達すると T R 3 がオフし、I G B T の入力容量への充電が止まり、ゲート - エミッタ間の電圧がクランプされる。ここに、ツェナー電圧  $V_{Z D 1}$  の値は、ゲート電圧がしきい値電圧から逆バイアス電圧の間になるような値に設定するものとする。

30

## 【 0 0 0 9 】

T R 4 のゲートにはタイマー回路 T M が接続されており、したがって、T R 4 はオフ信号が入力されてからタイマー時間後にオフする。T R 4 がオフすると、ゲート電圧クランプ回路 G C は切り離され、I G B T のゲート - エミッタ間電圧  $V_{G E}$  は逆バイアス電圧（- 1 5 V）まで充電され、I G B T は完全なオフ状態となる。

以上のように、ここでは I G B T のターンオフ時には、I G B T のゲート電圧は図 3 に示すように、逆バイアス電圧としきい値電圧との間の電圧値にクランプされるため、従来のターンオフ時（図 3 の点線参照）に比べて I G B T の入力容量に緩やかに充電が行なわれ、したがって図 3 に実線で示すように、I G B T の電流変化率  $- d i / d t$  が低減され、スパイク電圧も抑制されることになる。

40

## 【 0 0 1 0 】

図 4 はこの発明によってスパイク電圧も抑制する場合と、従来一般的に用いられるゲート抵抗の調整によってスパイク電圧を抑制する従来方式の場合とを比較説明するための波形図である。

同図に示すように、オン・オフ信号が入力されてから I G B T がターンオフ動作を開始するまでの時間が、この発明による場合は T 1、従来方式の場合は T 2 で、 $T 1 < T 2$  であ

50

ることから、この発明による場合の方が動作遅れ時間の増加を抑制できることが分かる。

【 0 0 1 1 】

また、ゲート電圧のクランプ時間を、電圧駆動型半導体素子のスパイク電圧発生期間とすれば、オフ時における I G B T の誤動作を防ぐことが可能となる。さらに、ゲート電圧クランプ期間中に I G B T 誤動作によりこれがオンしてしまった場合でも、対向アームの I G B T はデッドタイム期間中でオフしているので、アーム短絡となるおそれもない。

【 0 0 1 2 】

【発明の効果】

この発明によれば、ゲート電圧クランプ回路を設けて、ターンオフ動作中にゲート電圧を一定期間クランプし、その後は元に戻すことによって I G B T スイッチング動作を緩やかにし、かつ、入力信号からスイッチング動作までの遅れ時間を増加させることなく、スパイク電圧を抑制することができる。また、ゲート電圧をクランプする一定時間を、電圧駆動型半導体素子のスパイク電圧発生期間に限定することで、スパイク電圧の抑制効果だけでなく、I G B T ターンオフおよび通常オフ時の I G B T 誤動作によるアーム短絡を防ぐことができるという利点もある。

10

【図面の簡単な説明】

【図 1】この発明の実施の形態を示す構成図である。

【図 2】図 1 のゲート電圧クランプ回路の具体例を示す回路図である。

【図 3】図 2 の動作説明図である。

【図 4】スパイク電圧の抑制効果について、この発明によるものと従来方式とを比較して説明する説明図である。

20

【図 5】I G B T を用いた電圧形インバータ主回路の一般例を示す回路図である。

【図 6】図 5 で素子 Q 2 1 が動作する場合を説明するための等価回路図である。

【図 7】図 6 の動作説明図である。

【図 8】ゲート駆動回路の従来例を示す回路図である。

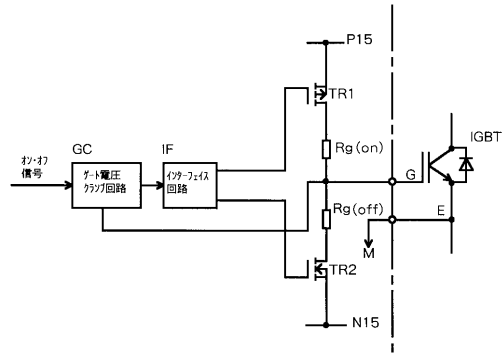
【図 9】図 8 の動作説明図である。

【符号の説明】

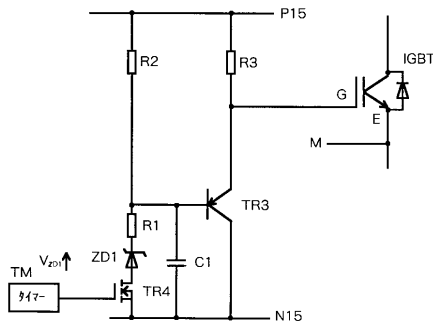
I F ... インターフェイス回路、G C ... ゲート電圧クランプ回路、T M ... タイマー、T R 1 ~ T R 3 ... トランジスタ、T R 4 ... F E T、Z D 1 ... ツェナーダイオード、Q 1 1 ~ Q 2 2 , I G B T ... スイッチ素子 ( 絶縁ゲートバイポーラトランジスタ )、R ... 抵抗、C ... コンデンサ、E d ... 直流電圧源、L ... リアクトル。

30

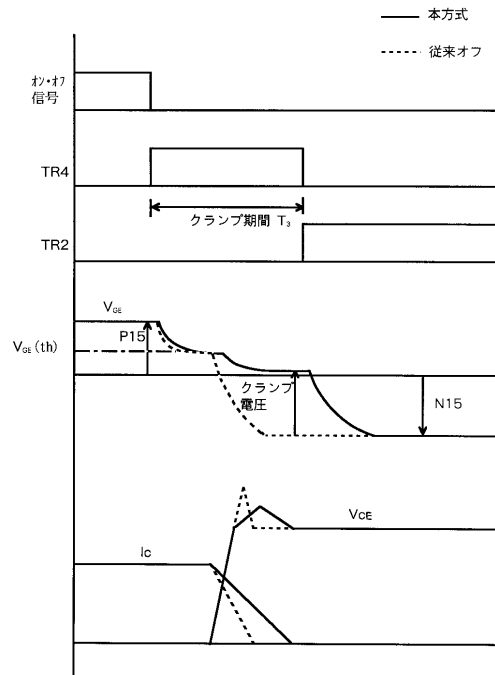
【図 1】



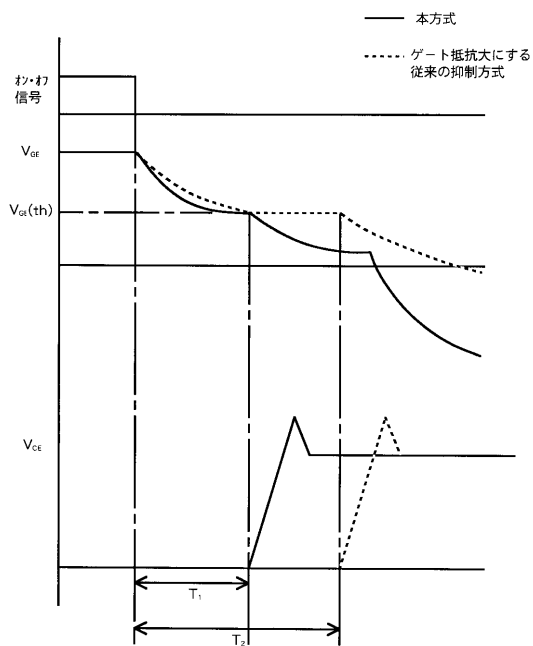
【図 2】



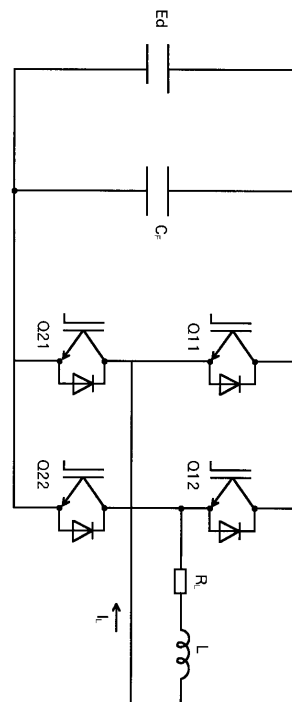
【図 3】



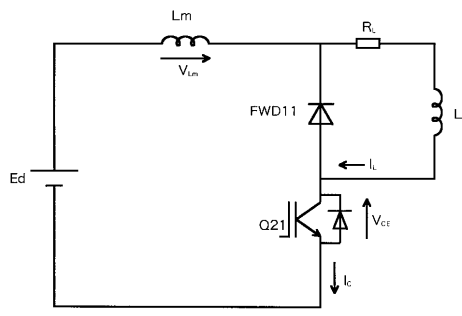
【図 4】



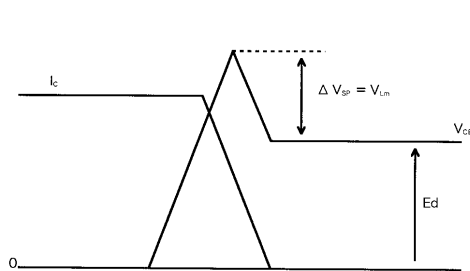
【図 5】



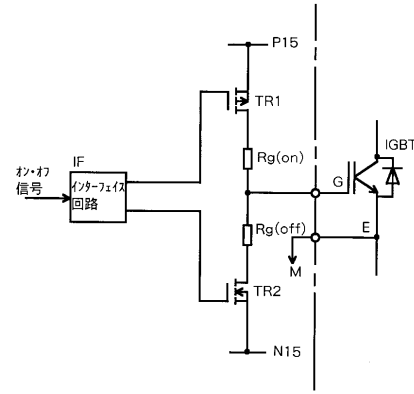
【図 6】



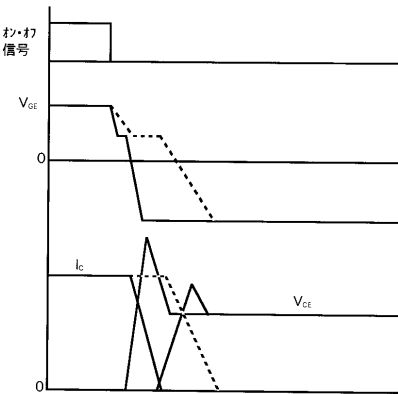
【図 7】



【図 8】



【図 9】



---

フロントページの続き

審査官 川端 修

(56)参考文献 特開平10-032976(JP,A)  
特開平07-143734(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H02M 1/06  
H03K 17/56