(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3971323号
(P3971323)
(45)発行日　平成19年9月5日(2007.9.5)　(24)登録日　平成19年6月15日(2007.6.15)

(51)Int.Cl.　F I
H01L 21/8246 (2006.01)　H01L 27/10 447
H01L 27/105 (2006.01)　G11C 11/15 110
G11C 11/15 (2006.01)　H01L 43/08 Z
H01L 43/08 (2006.01)

請求項の数 24　(全 126 頁)

(21)出願番号　特願2003-46511(P2003-46511)
(22)出願日　平成15年2月24日(2003.2.24)
(65)公開番号　特開2003-318370(P2003-318370A)
(43)公開日　平成15年11月7日(2003.11.7)
審査請求日　平成15年2月24日(2003.2.24)
(31)優先権主張番号　特願2002-46964(P2002-46964)
(32)優先日　平成14年2月22日(2002.2.22)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(73)特許権者　000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町２５番地１
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男

最終頁に続く

(54)【発明の名称】磁気ランダムアクセスメモリ

(57)【特許請求の範囲】
【請求項１】
１つのブロックを構成し、メモリセルアレイの第１方向に配置される磁気抵抗効果を奏する複数のメモリセルと、
前記１つのブロック内の前記複数のメモリセルの一端に共通に接続される共通電極と、
前記メモリセルアレイ内において前記第１方向に延び、前記共通電極にスイッチ素子を介することなく直接接続される第１機能線と、
前記複数のメモリセルに対応して設けられ、前記メモリセルアレイ内において前記第１方向に交差する第２方向に延び、各々が対応する１つのメモリセルにスイッチ素子を介することなく直接接続される複数の第２機能線と、
前記第１機能線から分離し、前記複数のメモリセルから離れ、前記複数のメモリセルに共有され、データ書き込みに使用される第３機能線とを具備し、
前記共通電極は、前記複数のメモリセルと前記第３機能線との間に配置される
ことを特徴とする磁気ランダムアクセスメモリ。
【請求項２】
前記メモリセルアレイの直下に、実際に配線として機能しない複数のダミー配線が配置されることを特徴とする請求項１記載の磁気ランダムアクセスメモリ。
【請求項３】
前記複数のダミー配線は、前記メモリセルアレイの周辺回路を構成するＭＯＳトランジスタのゲート配線と同じ材料から構成されることを特徴とする請求項２記載の磁気ランダ

ムアクセスメモリ。
【請求項４】
前記複数のダミー配線は、繰り返しパターンで配置されることを特徴とする請求項３記載の磁気ランダムアクセスメモリ。
【請求項５】
前記複数のメモリセルは、半導体基板の上部に配置され、かつ、前記半導体基板の表面に平行な方向に並んでいることを特徴とする請求項１記載の磁気ランダムアクセスメモリ。
【請求項６】
前記メモリセルアレイ並びに前記第１、第２及び第３機能線を１つのメモリセルユニットとした場合に、前記半導体基板の上部に、複数のメモリセルユニットが複数段に積み重ねられることを特徴とする請求項５記載の磁気ランダムアクセスメモリ。
【請求項７】
前記複数のメモリセルユニットのうち互いに隣接する第１及び第２メモリセルユニットに関して、前記第１メモリセルユニットの前記第１機能線と前記第２メモリセルユニットの前記第３機能線は、第４機能線として一体化されていることを特徴とする請求項６記載の磁気ランダムアクセスメモリ。
【請求項８】
前記第４機能線を、前記第１メモリセルアレイユニットの前記第１機能線として機能させるか、又は、前記第２メモリセルアレイユニットの前記第３機能線として機能させるかを決定するスイッチ回路を具備することを特徴とする請求項７記載の磁気ランダムアクセスメモリ。
【請求項９】
前記複数のメモリセルユニットのうち互いに隣接する第１及び第２メモリセルユニットに関して、前記第１及び第２メモリセルユニットの前記第１機能線は、第４機能線として一体化されていることを特徴とする請求項６記載の磁気ランダムアクセスメモリ。
【請求項１０】
前記複数のメモリセルユニットのうち互いに隣接する第１及び第２メモリセルユニットに関して、前記第１及び第２メモリセルユニットの前記第３機能線は、第６機能線として一体化され、前記第１及び第２メモリセルユニットの前記複数のメモリセルは、それぞれ、磁化の向きが固定されるピン層を有する磁気記憶素子から構成され、前記第１及び第２メモリセルユニットの前記複数のメモリセルの前記ピン層の磁化の向きは、同じであることを特徴とする請求項９記載の磁気ランダムアクセスメモリ。
【請求項１１】
前記第１機能線及び前記複数の第２機能線は、前記複数のメモリセルの直下に配置され、前記第３機能線は、前記複数のメモリセルの直上に配置され、前記複数のメモリセルの一端は、前記複数のメモリセルの上面であり、前記複数のメモリセルの他端は、前記複数のメモリセルの下面であり、前記複数のメモリセルの一端に電極が接続され、前記複数のメモリセルの一端と前記第１機能線とは、コンタクトプラグを介して接続されることを特徴とすることを特徴とする請求項１乃至１０のいずれか１項に記載の磁気ランダムアクセスメモリ。
【請求項１２】
前記第１機能線及び前記複数の第２機能線は、前記複数のメモリセルの直上に配置され、前記第３機能線は、前記複数のメモリセルの直下に配置され、前記複数のメモリセルの一端は、前記複数のメモリセルの下面であり、前記複数のメモリセルの他端は、前記複数のメモリセルの上面であり、前記複数のメモリセルの一端に電極が接続され、前記複数のメモリセルの一端と前記第１機能線とは、コンタクトプラグを介して接続され、前記複数のメモリセルは、前記コンタクトプラグを中心に対称的に配置されることを特徴とする請求項１乃至１０のいずれか１項に記載の磁気ランダムアクセスメモリ。
【請求項１３】

前記第１機能線は、前記複数のメモリセルに読み出し電流を流すための読み出し線として機能することを特徴とする請求項１記載の磁気ランダムアクセスメモリ。

【請求項１４】

前記第１機能線の一端は、カラム選択スイッチを経由して接地点に接続されることを特徴とする請求項１３記載の磁気ランダムアクセスメモリ。

【請求項１５】

前記第１機能線の一端は、カラム選択スイッチを経由してバイアス電位に設定されるバイアス線に接続されることを特徴とする請求項１３記載の磁気ランダムアクセスメモリ。

【請求項１６】

前記複数の第２機能線は、前記複数のメモリセルに読み出し電流を流すための読み出し線として、及び、前記複数のメモリセルにデータを書き込むための磁界を発生する書き込み線として機能することを特徴とする請求項１記載の磁気ランダムアクセスメモリ。

【請求項１７】

前記複数の第２機能線の一端は、複数のロウ選択スイッチを経由して、前記メモリセルアレイ外に配置される複数の共通線に接続されることを特徴とする請求項１６記載の磁気ランダムアクセスメモリ。

【請求項１８】

前記複数の第２機能線の一端は、複数の第１ロウ選択スイッチを経由して、前記メモリセルアレイ外に配置される複数の第１共通線に接続され、前記複数の第２機能線の他端は、複数の第２ロウ選択スイッチを経由して、前記メモリセルアレイ外に配置される複数の第２共通線に接続されることを特徴とする請求項１６記載の磁気ランダムアクセスメモリ。

【請求項１９】

前記第３機能線は、前記複数のメモリセルにデータを書き込むための磁界を発生する書き込み線として機能することを特徴とする請求項１記載の磁気ランダムアクセスメモリ。

【請求項２０】

前記第３機能線の両端には、それぞれ、ドライバ／シンカーが接続されることを特徴とする請求項１９記載の磁気ランダムアクセスメモリ。

【請求項２１】

前記複数のメモリセルは、読み出しブロックを構成し、前記複数のメモリセルのデータは、同時に読み出されることを特徴とする請求項１記載の磁気ランダムアクセスメモリ。

【請求項２２】

請求項１記載の磁気ランダムアクセスメモリに適用され、請求項１記載の複数の第２機能線の全てを第１電位に固定し、請求項１記載の第１機能線を前記第１電位とは異なる第２電位に設定して、請求項１記載の複数のメモリセルに個別に読み出し電流を流し、前記読み出し電流の値に基づいて、前記複数のメモリセルのデータを読み出すことを特徴とする磁気ランダムアクセスメモリの読み出し方法。

【請求項２３】

請求項１記載の磁気ランダムアクセスメモリに適用され、請求項１記載の複数の第２機能線のうちの１つに一方向に向かう第１書き込み電流を流し、請求項１記載の第３機能線に書き込みデータに依存した向きを有する第２書き込み電流を流し、前記第１及び第２書き込み電流により生成される磁界を用いて、前記複数のメモリセルのうちの１つに前記書き込みデータを書き込むことを特徴とする磁気ランダムアクセスメモリの書き込み方法。

【請求項２４】

請求項１記載の磁気ランダムアクセスメモリに適用され、請求項１記載の複数の第２機能線のうちの１つに書き込みデータに依存した向きを有する第１書き込み電流を流し、請求項１記載の第３機能線に一方向に向かう第２書き込み電流を流し、前記第１及び第２書き込み電流により生成される磁界を用いて、前記複数のメモリセルのうちの１つに前記書き込みデータを書き込むことを特徴とする磁気ランダムアクセスメモリの書き込み方法。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は、磁気抵抗（Magneto Resistive）効果を利用して“１”，“０”－データを記憶する磁気ランダムアクセスメモリ（ＭＲＡＭ：Magnetic Random Access Memory）に関する。
【０００２】
【従来の技術】
近年、新たな原理によりデータを記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル磁気抵抗（Tunneling Magneto Resistive：以後、ＴＭＲと表記する。）効果を利用して“１”，“０”－データを記憶する磁気ランダムアクセスメモリがある。
【０００３】
磁気ランダムアクセスメモリの提案としては、例えば、Roy Scheuerlein et.alによる、ISSCC2000 Technical Digest p.128「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」が知られている。
【０００４】
磁気ランダムアクセスメモリは、ＴＭＲ素子により、“１”，“０”－データを記憶する。ＴＭＲ素子の基本構造は、２つの磁性層（強磁性層）により絶縁層（トンネルバリア）を挟み込んだ構造である。但し、ＴＭＲ素子の構造については、ＭＲ（Magneto Resistive）比の最適化などのため、種々の構造が提案されている。
【０００５】
ＴＭＲ素子に記憶されるデータは、２つの磁性層の磁化状態が平行か、又は反平行かによって判断される。ここで、平行とは、２つの磁性層の磁化の向きが同じであることを意味し、反平行とは、２つの磁性層の磁化の向きが逆向きであることを意味する。
【０００６】
通常、２つの磁性層のうちの１つ（固定層）には、反強磁性層が付設される。反強磁性層は、固定層の磁化の向きを固定するための部材である。従って、実際には、２つの磁性層のうちの他の１つ（自由層）の磁化の向きによって、ＴＭＲ素子に記憶されるデータ（“１”又は“０”）が決定される。
【０００７】
ＴＭＲ素子の磁化状態が平行となった場合、そのＴＭＲ素子を構成する２つの磁性層の間に挟まれた絶縁層（トンネルバリア）のトンネル抵抗は、最も低くなる。例えば、この状態を“１”－状態とする。また、ＴＭＲ素子の磁化状態が反平行となった場合、そのＴＭＲ素子を構成する２つの磁性層の間に挟まれた絶縁層（トンネルバリア）のトンネル抵抗は、最も高くなる。例えば、この状態を“０”－状態とする。
【０００８】
【発明が解決しようとする課題】
磁気ランダムアクセスメモリのセルアレイ構造については、現在、メモリ容量の大容量化、書き込み／読み出し動作の安定化などの観点から、種々の構造が検討されている。
【０００９】
例えば、現在では、１つのメモリセルを１つのＭＯＳトランジスタと１つのＴＭＲ素子（又はＭＴＪ(Magnetic Tunnel Junction)素子）から構成するセルアレイ構造が知られている。また、読み出し動作の安定化を実現するため、このようなセルアレイ構造を有すると共に、１ビットデータを２つのメモリセルアレイを用いて記憶する磁気ランダムアクセスメモリも知られている。
【００１０】
しかし、これらの磁気ランダムアクセスメモリでは、メモリ容量の増大を図ることが難しい。なぜなら、これらのセルアレイ構造では、１つのＴＭＲ素子に１つのＭＯＳトランジスタが対応しているためである。
【００１１】

メモリセルアレイ内に、このようなＭＯＳトランジスタを設ける必要がない磁気ランダムアクセスメモリとしては、従来より、クロスポイント型セルアレイ構造というものが知られている。クロスポイント型セルアレイ構造は、ワード線とビット線の交差部にＴＭＲ素子が配置された単純な構造を有し、メモリセルアレイ内に選択トランジスタを有していない点に特徴を有する。

【００１２】

クロスポイント型セルアレイ構造によれば、選択ＭＯＳトランジスタを用いない分だけ、メモリセルサイズを小さくすることができ、結果として、メモリ容量の増大を図ることができる。

【００１３】

例えば、“Ｆ”をデザインルールの最小サイズとした場合、選択ＭＯＳトランジスタとＴＭＲ素子からなるメモリセルのセルサイズは、$８Ｆ^{2}$　となるのに対し、ＴＭＲ素子のみからなるメモリセルのセルサイズは、$４Ｆ^{2}$　となる。つまり、ＴＭＲ素子のみからなるメモリセルは、選択ＭＯＳトランジスタとＴＭＲ素子からなるメモリセルに対して約半分のセルサイズを実現できる。

【００１４】

しかし、クロスポイント型セルアレイ構造を採用して磁気ランダムアクセスメモリを構成する場合、書き込み動作時におけるＴＭＲ（ＭＴＪ）素子の絶縁層（トンネルバリア層）の破壊が問題となる。

【００１５】

即ち、クロスポイント型セルアレイ構造の場合、ＴＭＲ素子は、ワード線とビット線の交差部に、これらに接触して配置される。そして、ワード線とビット線に、それぞれ、同じ値を有する書き込み電流を流し（ワード線又はビット線に流れる書き込み電流の向きは、データ値によって変える）、磁界を発生させることにより、これらの間に配置されるＴＭＲ素子の磁化の向きを決定する。

【００１６】

ここで、ワード線及びビット線には、配線抵抗が存在する。ワード線及びビット線の両端の間の配線抵抗の値は、これらワード線及びビット線が長くなればなるほど、大きくなる。つまり、書き込み電流が流れているとき、ワード線及びビット線のドライバに近い位置の電位は、ワード線及びビット線のシンカーに近い位置の電位よりも高くなる。

【００１７】

従って、書き込み動作時、ＴＭＲ素子の位置によっては、ＴＭＲ素子の両端に電位差が発生する場合がある。そして、この電位差により、ＴＭＲ素子のトンネルバリア層に電圧ストレスがかかり、トンネルバリア層の絶縁破壊が発生する可能性がある。

【００１８】

この問題について具体的に説明する。

【００１９】

図１０７に示すように、ワード線ドライバＷＤに最も近く（ワード線シンカーＷＳに最も遠く）、ビット線シンカーＢＳに最も近い（ビット線ドライバＢＤに最も遠い）位置に配置されるＴＭＲ素子（ワーストケース）について考える。

【００２０】

このＴＭＲ素子のワード線側の端部の電位は、その端部がワード線ドライバＷＤに最も近い位置においてワード線に接触しているため、例えば、Ｖｐとなる。一方、このＴＭＲ素子のビット線側の端部の電位は、その端部がビット線ドライバＷＤに最も遠い位置においてビット線に接触しているため、ビット線の配線抵抗ｒによる電圧降下により、例えば、Ｖｐ－αとなる。

【００２１】

つまり、ＴＭＲ素子のビット線側の端部の電位は、そのワード線側の端部の電位よりもαだけ低くなる。その結果、ワード線ドライバＷＤに最も近く、ビット線シンカーＢＳに最も近い位置に配置されるＴＭＲ素子の両端には、電位差αが発生する。

【００２２】
ここで、１０［ＭＶ／ｃｍ］を超える電場により、トンネルバリア層の絶縁破壊が発生する可能性が極めて大きくなると仮定する。
【００２３】
ワード線及びビット線のシート抵抗が１００［ｍΩ］、メモリセルアレイの大きさが１７５０（１．７５キロ）個×１７５０（１．７５キロ）個のとき、ワード線及びビット線の一端から他端までの配線抵抗ｒは、以下のようになる。
【００２４】
クロスポイント型セルアレイ構造では、ワード線及びビット線の一端から他端まで、ワード線及びビット線に沿って、メモリセルが配置される。仮に、ワード線及びビット線が延びる方向のメモリセルサイズを最小加工寸法（デザインルール）とすると、当該方向のメモリセル同士の間隔も、最小加工寸法（間隔）に設定される。
【００２５】
つまり、ワード線及びビット線の長さは、メモリセルを１７５０個×２だけ、並べた長さとなる。よって、ワード線及びビット線の一端から他端までの配線抵抗ｒは、３５０［Ω］となる（メモリセルアレイが大きくなると、ワード線及びビット線が長くなり、配線抵抗ｒが増大する。）。
【００２６】
書き込み電流Ｉｐを２［ｍＡ］とすると、配線抵抗ｒが３５０［Ω］であるため、ワード線及びビット線のそれぞれについて、その両端には、０．７（＝０．００２×３５０）［Ｖ］の電位差が発生する。
【００２７】
そして、ＴＭＲ素子のトンネルバリア層の厚さ（複数のトンネルバリア層を有するＴＭＲ素子の場合には、それらの合計の厚さ）が、０．７［ｎｍ］、ＴＭＲ素子の両端の電位差が、０．７［Ｖ］である場合、ＴＭＲ素子には、１０［ＭＶ／ｃｍ］の電場が発生する。
【００２８】
つまり、上述のような条件の下では、トンネルバリア層の絶縁破壊が発生する可能性をなくすためには、ワード線ドライバ／シンカー及びビット線ドライバ／シンカーに取り囲まれた１つのメモリセルアレイの大きさを、１．７５キロ×１．７５キロ以下に設定しなければならない。
【００２９】
このように、クロスポイント型セルアレイ構造では、書き込み動作時のＴＭＲ素子のトンネルバリア層の絶縁破壊を考慮すると、メモリセルアレイの大きさの上限が決定され、ＴＭＲ素子の高集積化を十分に実現することができない。
【００３０】
また、ワード線及びビット線には、常に、書き込み電流Ｉｐが流れているわけではなく、書き込み電流Ｉｐは、書き込み動作時のみにワード線及びビット線に与えられる。つまり、ワード線及びビット線の最もドライバに近い位置の電位は、オーバーシュート現象により、Ｖｐを超える場合がある。
【００３１】
このオーバーシュート現象を考慮すると、上述のような条件の下では、ＴＭＲ素子に１０［ＭＶ／ｃｍ］を超える電場が発生する可能性がある。
【００３２】
従って、ワード線及びビット線のシート抵抗、書き込み電流Ｉｐ及びトンネルバリア層の厚さが一定であるとすると、ＴＭＲ素子に１０［ＭＶ／ｃｍ］を超える電場が発生する可能性をなくすためには、メモリセルアレイのサイズを、さらに、小さくし、ワード線及びビット線の配線抵抗ｒによる電圧降下量を小さくしなければならない。
【００３３】
例えば、上述のような条件の下で、ワード線及びビット線の電位のオーバーシュートを考慮すると、１つのメモリセルアレイの大きさの上限は、３メガ（＝１．７５キロ個×１．

７５キロ個）から１．５メガに縮小しなければならない。
【００３４】
ところで、メモリセルアレイの周辺回路として、ワード線及びビット線の電位をクランプするクランプ回路を新規に設け、オーバーシュート／アンダーシュート現象を防止することも可能である。
【００３５】
しかし、この場合、クランプ回路の分だけ、メモリセルアレイの周辺回路が大きくなり、チップサイズの増大により、製造コストが増える。また、クランプ回路は、ワード線及びビット線の電位の急激な上昇／下降を抑える機能を有するため、ワード線及びビット線の電位がＶｐになるまでの時間が長くなり、結果として、書き込み速度が低下する。
【００３６】
本発明は、このような問題を考慮してなされたものであり、その目的は、メモリセルアレイ内に選択トランジスタを有しなくても、ＴＭＲ素子の高集積化を実現でき、かつ、書き込み動作時のＴＭＲ素子の絶縁破壊の問題も生じない磁気ランダムアクセスメモリのセルアレイ構造を提供することにある。
【００３７】
【課題を解決するための手段】
(1)　本発明の磁気ランダムアクセスメモリは、磁気抵抗効果を利用する複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイ内において第１方向に延び、前記複数のメモリセルの一端に共通に接続される第１機能線と、前記複数のメモリセルに対応して設けられ、前記メモリセルアレイ内において前記第１方向に交差する第２方向に延びる複数の第２機能線と、前記複数のメモリセルから離れ、前記複数のメモリセルに共有される第３機能線とを備える。前記複数のメモリセルの各々は、その他端が前記複数の第２機能線のうちの１つに独立に接続される。
【００３８】
前記メモリセルアレイは、半導体基板の上部に配置され、前記メモリセルアレイの直下に、前記スイッチ素子が存在しない。
【００３９】
前記メモリセルアレイの直下に、実際に配線として機能しない複数のダミー配線が配置される。
【００４０】
前記複数のダミー配線は、前記メモリセルアレイの周辺部に配置されるＭＯＳトランジスタのゲート電極と同じ構造を有している。前記複数のダミー配線は、等間隔、規則的、又は、全体として一様に配置される。
【００４１】
前記複数のメモリセルは、半導体基板の上部に配置され、かつ、前記半導体基板の表面に平行な方向に並んでいる。
【００４２】
前記複数のメモリセルは、前記第１方向に並んで配置され、前記第３機能線は、前記メモリセルアレイ内において前記第１方向に延びている。
【００４３】
前記メモリセルアレイ並びに前記第１、第２及び第３機能線を１つのメモリセルユニットとした場合に、前記半導体基板の上部に、複数のメモリセルユニットが複数段に積み重ねられる。
【００４４】
前記複数のメモリセルユニットのうち互いに隣接する第１及び第２メモリセルユニットに関して、前記第１メモリセルユニットの前記第１機能線と前記第２メモリセルユニットの前記第３機能線は、第４機能線として一体化されている。
【００４５】
前記第１メモリセルユニットが、前記第２メモリセルユニットの上部に配置されていても

、又は、前記第２メモリセルユニットが、前記第１メモリセルユニットの上部に配置されていても、どちらでもよい。

【００４６】

本発明の磁気ランダムアクセスメモリは、さらに、前記第４機能線を、前記第１メモリセルアレイユニットの前記第１機能線として機能させるか、又は、前記第２メモリセルアレイユニットの前記第３機能線として機能させるかを決定するスイッチ回路を備える。

【００４７】

前記複数のメモリセルユニットのうち互いに隣接する第１及び第２メモリセルユニットに関して、前記第１及び第２メモリセルユニットの前記第１機能線は、第４機能線として一体化されている。

【００４８】

前記複数のメモリセルユニットのうち互いに隣接する第１及び第２メモリセルユニットに関して、前記第１及び第２メモリセルユニットの前記第３機能線は、第４機能線として一体化されている。

【００４９】

前記第１及び第２メモリセルユニットの前記複数のメモリセルは、それぞれ、磁化の向きが固定されるピン層を有する磁気記憶素子から構成され、前記第１メモリセルユニットの前記複数のメモリセルの前記ピン層の磁化の向きは、前記第２メモリセルユニットの前記複数のメモリセルの前記ピン層の磁化の向きと異なっている。

【００５０】

前記第１及び第２メモリセルユニットの前記複数のメモリセルは、それぞれ、磁化の向きが固定されるピン層を有する磁気記憶素子から構成され、前記第１及び第２メモリセルユニットの前記複数のメモリセルの前記ピン層の磁化の向きは、同じである。

【００５１】

前記第１機能線及び前記複数の第２機能線は、前記複数のメモリセルの直下に配置され、前記第３機能線は、前記複数のメモリセルの直上に配置される。

【００５２】

前記複数のメモリセルの一端は、前記複数のメモリセルの上面であり、前記複数のメモリセルの他端は、前記複数のメモリセルの下面である。

【００５３】

前記第１機能線及び前記複数の第２機能線は、前記複数のメモリセルの直上に配置され、前記第３機能線は、前記複数のメモリセルの直下に配置される。

【００５４】

前記複数のメモリセルの一端は、前記複数のメモリセルの下面であり、前記複数のメモリセルの他端は、前記複数のメモリセルの上面である。

【００５５】

前記複数のメモリセルの一端に電極が接続され、前記複数のメモリセルの一端と前記第１機能線とは、コンタクトプラグを介して接続される。前記複数のメモリセルは、前記コンタクトプラグを中心に対称的に配置される。

【００５６】

前記第１機能線は、前記複数のメモリセルに読み出し電流を流すための読み出し線として機能する。

【００５７】

前記第１機能線の一端は、カラム選択スイッチを経由して接地点に接続されていてもよいし、又は、カラム選択スイッチを経由してバイアス電位に設定されるバイアス線に接続されていてもよい。

【００５８】

前記複数の第２機能線は、前記複数のメモリセルに読み出し電流を流すための読み出し線として、及び、前記複数のメモリセルにデータを書き込むための磁界を発生する書き込み線として機能する。

【００５９】
前記複数の第２機能線の一端は、複数のロウ選択スイッチを経由して、前記メモリセルアレイ外に配置される複数の共通線に接続される。
【００６０】
前記複数の共通線は、前記第１方向に延びている。前記複数の共通線の一端は、読み出し回路に接続される。前記複数の共通線の一端は、ドライバに接続され、前記複数の第２機能線の他端は、シンカーに接続される。
【００６１】
前記複数の第２機能線と前記複数のロウ選択スイッチとの間にドライバが接続され、前記複数の第２機能線の他端にシンカーが接続される。
【００６２】
前記複数のＴＭＲ素子の磁化容易軸は、前記第２方向を向いている。
【００６３】
前記複数の第２機能線の一端は、複数の第１ロウ選択スイッチを経由して、前記メモリセルアレイ外に配置される複数の第１共通線に接続され、前記複数の第２機能線の他端は、複数の第２ロウ選択スイッチを経由して、前記メモリセルアレイ外に配置される複数の第２共通線に接続される。
【００６４】
前記複数の第１及び第２共通線は、前記第１方向に延びている。前記複数の第１共通線の一端は、読み出し回路に接続される。前記複数の第１共通線の一端は、第１ドライバ／シンカーに接続され、前記複数の第２共通線の一端は、第２ドライバ／シンカーに接続される。
【００６５】
前記複数のＴＭＲ素子の磁化容易軸は、前記第１方向を向いている。
【００６６】
前記第３機能線は、前記複数のメモリセルにデータを書き込むための磁界を発生する書き込み線として機能する。
【００６７】
前記第３機能線の両端に、それぞれ、ドライバ／シンカーが接続されていてもよいし、又は、前記第３機能線の一端に、ドライバが接続され、その他端に、シンカーが接続されていてもよい。
【００６８】
前記読み出し回路は、前記複数の第２機能線に対応して設けられる複数のセンスアンプと、前記複数のセンスアンプに対応して設けられる複数の出力バッファとから構成される。
【００６９】
前記読み出し回路は、前記複数の第２機能線に対応して設けられる複数のセンスアンプと、前記複数のセンスアンプのうちの１つのデータを出力するための出力バッファと、前記複数のセンスアンプと前記出力バッファとの間に接続されるセレクタとから構成される。
【００７０】
前記複数のセンスアンプは、前記複数の第２機能線の電位を固定し、前記複数の第２機能線を流れる読み出し電流の変化を検出する。
【００７１】
前記複数のメモリセルは、読み出しブロックを構成し、前記複数のメモリセルのデータは、同時に読み出される。
【００７２】
前記複数のメモリセルの各々は、磁化の向きが固定されるピン層、書き込みデータに応じて磁化の向きが変わる記憶層及び前記ピン層と前記記憶層との間に配置されるトンネルバリア層を含む磁気記憶素子から構成される。
【００７３】
前記複数のメモリセルは、2^n（ｎは、自然数）個だけ存在する。

【００７４】
前記複数のメモリセルは、トンネル磁気抵抗効果を利用する素子から構成される。
【００７５】
(2)　本発明の磁気ランダムアクセスメモリの読み出し方法は、前記複数の第２機能線の全てを第１電位に固定し、前記第１機能線を前記第１電位とは異なる第２電位に設定して、前記複数のメモリセルに個別に読み出し電流を流し、前記読み出し電流の値に基づいて、前記複数のメモリセルのデータを読み出す、というものである。
【００７６】
本発明の磁気ランダムアクセスメモリの書き込み方法は、前記複数の第２機能線のうちの１つに一方向に向かう第１書き込み電流を流し、前記第３機能線に書き込みデータに依存した向きを有する第２書き込み電流を流し、前記第１及び第２書き込み電流により生成される磁界を用いて、前記複数のメモリセルのうちの１つに前記書き込みデータを書き込む、というものである。
【００７７】
本発明の磁気ランダムアクセスメモリの書き込み方法は、前記複数の第２機能線のうちの１つに書き込みデータに依存した向きを有する第１書き込み電流を流し、前記第３機能線に一方向に向かう第２書き込み電流を流し、前記第１及び第２書き込み電流により生成される磁界を用いて、前記複数のメモリセルのうちの１つに前記書き込みデータを書き込む、というものである。
【００７８】
(3)　本発明の磁気ランダムアクセスメモリの製造方法は、周辺回路領域内に、ＭＯＳトランジスタのゲート電極を形成すると同時に、メモリセルアレイ領域内に、一定間隔、規則的又は全体として一様なレイアウトを有するダミー配線を形成する第１ステップと、前記ＭＯＳトランジスタ及び前記ダミー配線を覆う第１層間絶縁層を形成する第２ステップと、前記メモリセルアレイ領域内の前記第１層間絶縁層の表面領域に磁気抵抗効果を奏するメモリセルを形成する第３ステップと、前記メモリセルを覆う第２層間絶縁層を形成する第４ステップとを備える。
【００７９】
本発明の磁気ランダムアクセスメモリの製造方法では、さらに、前記第４ステップの後、前記第３及び第４ステップと同じステップが繰り返し実行される。
【００８０】
本発明の磁気ランダムアクセスメモリの製造方法は、さらに、前記メモリセルの一端に接続され、第１方向に延びる第１機能線を形成する第５ステップと、前記メモリセルの他端に接続され、前記第１方向に交差する第２方向に延びる第２機能線を形成する第６ステップと、前記メモリセルから一定距離だけ離れ、前記メモリセルにデータを書き込むための磁界を発生する第３機能線を形成する第７ステップとを備える。
【００８１】
前記第１、第２及び第３機能線は、共に、ダマシンプロセスにより形成される。前記第１、第２及び第３機能線は、共に、配線溝を形成するステップと、前記配線溝を完全に満たす金属層を形成するステップと、前記配線溝内以外の前記金属層を除去するステップとにより形成される。
【００８２】
本発明の磁気ランダムアクセスメモリの製造方法は、さらに、前記金属層を形成する前に、バリアメタル層を形成するステップを備える。
【００８３】
本発明の磁気ランダムアクセスメモリの製造方法は、さらに、前記バリアメタル層を形成する前に、前記配線溝の側壁にサイドウォール絶縁層を形成するステップと、前記配線溝内以外の前記金属層を除去した後に、前記金属層上のみに前記サイドウォール絶縁層と同じ材料から構成されるキャップ絶縁層を形成するステップとを備える。
【００８４】

前記サイドウォール絶縁層及び前記キャップ絶縁層は、窒化シリコンから構成される。

【００８５】

【発明の実施の形態】

以下、図面を参照しながら、本発明の磁気ランダムアクセスメモリについて詳細に説明する。

【００８６】

１．　セルアレイ構造

まず、本発明の磁気ランダムアクセスメモリのセルアレイ構造について説明する。

【００８７】

本発明に関わるセルアレイ構造の特徴は、読み出しブロックを構成する複数のＴＭＲ素子の一端を共通接続し、その他端を独立に読み出しビット線に接続したセルアレイ構造に関して、それら複数のＴＭＲ素子の一端を、読み出し選択スイッチを経由しないで、直接、読み出しワード線に接続した点にある。

【００８８】

即ち、読み出しブロック内には、読み出し選択スイッチ（例えば、ＭＯＳトランジスタ）が配置されないため、結果として、メモリセルアレイをＴＭＲ素子のみから構成することができる。

【００８９】

このようなセルアレイ構造にすれば、メモリセルアレイ内にスイッチ素子が配置されないため、ＴＭＲ素子の高密度化、ＴＭＲ素子の下地の平坦化（磁気抵抗値及びＭＲ比の均一化）などを実現できる。また、２本の書き込み線のうちの１本は、ＴＭＲ素子から離れている。よって、クロスポイント型セルアレイ構造のように、書き込み動作時に、ＴＭＲ素子の両端に電位差が発生することもないので、ＴＭＲ素子のトンネルバリア層が破壊されることもない。

【００９０】

(1)　構造例１

構造例１は、１つの読み出しブロックが４つのＴＭＲ素子から構成される場合の例を示している。

【００９１】

▲１▼　回路構造

まず、回路構造について説明する。

図１は、本発明の構造例１としての磁気ランダムアクセスメモリの主要部を示している。

【００９２】

メモリセルアレイ１１は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【００９３】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１は、ｊ個のカラムを有する。

【００９４】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）に接続される。読み出しワード線ＲＷＬｉは、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【００９５】

１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）に接続される。読み出しワード線ＲＷＬｉの一端は、例えば、ＭＯＳトラン

ジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【００９６】

なお、カラム選択スイッチＣＳＷは、メモリセルアレイ１１の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１内に配置されることはない。

【００９７】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４が配置される。

【００９８】

読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０に接続される。共通データ線３０は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂに接続される。

【００９９】

例えば、図１１１及び図１２１に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０１００】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５－１，・・・２５－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０１０１】

図１１１に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２１に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５－１，・・・２５－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０１０２】

読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４としても機能する。

【０１０３】

書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０を経由して、書き込みワード線ドライバ２３Ａに接続され、その他端は、書き込みワード線シンカー２４－１，・・・２４－ｎに接続される。

【０１０４】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）が配置される。書き込みビット線ＷＢＬｉは、１つのカラムに１本だけ配置される。

【０１０５】

書き込みビット線ＷＢＬｉの一端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａに接続され、その他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１に接続される。

【０１０６】

書き込み動作時には、回路ブロック２９Ａ，３１が動作状態となる。そして、書き込みビ

ット線ＷＢＬｉには、書き込みデータに応じて、回路ブロック２９Ａに向う方向又は回路ブロック３１に向う方向に、書き込み電流が流れる。

【０１０７】

ロウデコーダ２５－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａは、選択されたロウ内の書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４－ｎに吸収される。

【０１０８】

ロウデコーダ２５－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０１０９】

構造例１に関わる磁気ランダムアクセスメモリでは、読み出しブロック内の複数のＴＭＲ素子の一端は、共通接続され、その他端は、それぞれ異なる読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４に接続される。

【０１１０】

従って、１回の読み出しステップにより、読み出しブロック内の複数のＴＭＲ素子のデータを一度に読み出すことができる。

【０１１１】

また、読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４は、書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４としても機能する。即ち、書き込みワード線としてのみ機能する配線をセルアレイ内に別途設ける必要がないため、セルアレイ構造を簡略化できる。

【０１１２】

なお、上述したように、構造例１の特徴は、読み出しブロック内に、読み出しブロックを選択するための読み出し選択スイッチが存在しない点にある。この場合、非選択のロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４及び非選択のカラム内の読み出しワード線ＷＢＬｊは、共に、フローティング状態となる。

【０１１３】

このため、選択されたロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４は、非選択のカラム内に存在する読み出しブロック内のＴＭＲ素子を経由して、互いに短絡された状態となる。

【０１１４】

そこで、構造例１では、読み出し動作時、例えば、選択されたロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４の電位を、互いに同じ値に固定する。つまり、選択されたロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４の電位を固定し、読み出し回路２９Ｂにより、ＴＭＲ素子に流れる読み出し電流の変化を検出する。

【０１１５】

選択されたロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４の電位を固定する回路（クランプ回路）については、読み出し回路の説明で詳述する。

【０１１６】

読み出し動作時、選択されたロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ

４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４の電位が常に同じであれば、それら読み出しビット線が複数の非選択のＴＭＲ素子を経由して短絡されることは、選択されたＴＭＲ素子のデータ値を判定するに当たって、何ら問題となることはない。

【０１１７】

また、構造例１では、読み出しブロック内の読み出し選択トランジスタが省略されているため、読み出し動作時には、非選択の読み出しブロック内のＴＭＲ素子を経由する電流経路が発生する。しかし、ＴＭＲ素子の抵抗値は、十分に大きく、読み出し電流は、書き込み電流に比べると、非常に小さいため、消費電流の増大は、大きな問題とならない。

【０１１８】

書き込み動作時、選択されたロウ内の書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４に書き込み電流が流れると、選択されたロウ内に存在する読み出しブロック内のＴＭＲ素子を経由して、リードワード線ＲＷＬｊが充電される。リードワード線ＲＷＬｊは、フローティング状態であるため、単に、充電されるだけで、ＴＭＲ素子の両端に電位差が実質上生じることはない。

【０１１９】

▲２▼　デバイス構造１

次に、デバイス構造１について説明する。

[1]　断面構造

図２は、本発明の構造例１としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造１を示している。

【０１２０】

なお、図２に示される要素には、図１の回路の要素と対応がとれるように、図１と同じ符号が付してある。

【０１２１】

半導体基板４１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１が配置される。読み出しワード線ＲＷＬ１の直下には、スイッチ素子が配置されることがない。読み出しワード線ＲＷＬ１の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。

【０１２２】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端（本例では、上端）は、上部電極４４に共通に接続される。コンタクトプラグ４２は、上部電極４４と読み出しワード線ＲＷＬ１とを電気的に接続する。

【０１２３】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の他端（本例では、下端）は、読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）に電気的に接続される。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、Ｘ方向（ロウ方向）に延びている。

【０１２４】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ独立に読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、４本の読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４が設けられる。

【０１２５】

書き込みビット線ＷＢＬ１は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１は、Ｙ方向（カラム方向）に延びている。

【０１２６】

構造例１では、読み出しブロックを構成する４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴ

Ｊ３，ＭＴＪ４に対して、１本の書き込みビット線ＷＢＬ１が設けられている。但し、これに代えて、例えば、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を積み重ね、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対応させて、４本の書き込みビット線を設けてもよい。

【０１２７】

また、構造例１では、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その上部に、Ｙ方向に延びる書き込みビット線ＢＬ１を配置し、その下部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置している。

【０１２８】

但し、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対する書き込みビット線ＢＬ１と読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４との位置関係は、これに限定されるものではない。

【０１２９】

例えば、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その下部に、Ｙ方向に延びる書き込みビット線ＷＢＬ１を配置し、その上部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置してもよい。

【０１３０】

このようなデバイス構造によれば、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ異なる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）に電気的に接続される。このため、１回の読み出しステップにより、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４のデータを一度に読み出すことが可能になる。

【０１３１】

また、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端は、共通接続され、その接続点は、読み出し選択スイッチを経由することなく、直接、読み出しワード線ＲＷＬ１に接続される。また、Ｙ方向に延びる書き込みビット線ＷＢＬ１は、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に共有される。このため、ＴＭＲ素子の高集積化及び特性の向上を実現できる。

【０１３２】

[2]　平面構造

図３は、図２のデバイス構造において、ＴＭＲ素子、読み出しビット線（書き込みワード線）及び書き込みビット線の位置関係を示している。

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４は、例えば、方形パターンを有し、その一部分に、コンタクトプラグに対するコンタクト領域が設けられている。

【０１３３】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、Ｙ方向に配置され、その磁化容易軸（ＴＭＲ素子の長辺に平行な方向）は、Ｘ方向となっている。即ち、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、Ｘ方向に長い長方形を有している。

【０１３４】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、書き込みワード線ＷＷＬ１と読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）とが交差する領域に配置される。

【０１３５】

▲３▼　デバイス構造２

次に、デバイス構造２について説明する。

[1]　断面構造

図４は、本発明の構造例１としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造２を示している。

【０１３６】
なお、図４に示される要素には、図１の回路の要素と対応がとれるように、図１と同じ符号が付してある。
【０１３７】
半導体基板４１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１が配置される。読み出しワード線ＲＷＬ１の直下には、スイッチ素子が配置されることがない。読み出しワード線ＲＷＬ１の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。
【０１３８】
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端（本例では、上端）は、上部電極４４に共通に接続される。コンタクトプラグ４２及び導電層４３は、上部電極４４と読み出しワード線ＲＷＬ１とを電気的に接続する。
【０１３９】
デバイス構造２は、デバイス構造１と比べると、コンタクトプラグ４２を設ける位置が異なっている。即ち、デバイス構造１では、コンタクトプラグ４２は、上部電極４４のＹ方向の端部に設けられたが、デバイス構造２では、コンタクトプラグ４２は、上部電極４４の中央部に配置される。
【０１４０】
このように、コンタクトプラグ４２に対して、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。
【０１４１】
なお、導電層４３は、上部電極４４と一体化してもよい。即ち、導電層４３と上部電極４４は、同一材料で同時に形成することもできる。
【０１４２】
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の他端（本例では、下端）は、読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）に電気的に接続される。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、Ｘ方向（ロウ方向）に延びている。
【０１４３】
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ独立に読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、４本の読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４が設けられる。
【０１４４】
書き込みビット線ＷＢＬ１は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１は、Ｙ方向（カラム方向）に延びている。
【０１４５】
構造例１では、読み出しブロックを構成する４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、１本の書き込みビット線ＷＢＬ１が設けられている。但し、これに代えて、例えば、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を積み重ね、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対応させて、４本の書き込みビット線を設けてもよい。
【０１４６】
また、構造例１では、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その上部に、Ｙ方向に延びる書き込みビット線ＷＢＬ１を配置し、その下部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置している。
【０１４７】
但し、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対する書き込みビット線Ｗ

ＢＬ１と読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４との位置関係は、これに限定されるものではない。

【０１４８】

例えば、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その下部に、Ｙ方向に延びる書き込みビット線ＷＢＬ１を配置し、その上部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置してもよい。

【０１４９】

このようなデバイス構造によれば、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ異なる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）に電気的に接続される。このため、１回の読み出しステップにより、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４のデータを一度に読み出すことが可能になる。

【０１５０】

また、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端は、共通接続され、その接続点は、読み出し選択スイッチを経由することなく、直接、読み出しワード線ＲＷＬ１に接続される。また、Ｙ方向に延びる書き込みビット線ＷＢＬ１は、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に共有される。このため、ＴＭＲ素子の高集積化及び特性の向上を実現できる。

【０１５１】

[2]　平面構造

図５乃至図７は、図４のデバイス構造２における各配線層のレイアウトを示したものである。なお、図４の断面は、図５乃至図７におけるＩＶ－ＩＶ線に沿う断面に対応している。

【０１５２】

図５は、読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１上には、コンタクトプラグ４２が配置される。

【０１５３】

図６は、読み出しビット線及びＴＭＲ素子のレイアウトを示している。

読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０１５４】

読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４上には、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の長辺に平行な方向は、Ｘ方向となっている。

【０１５５】

読み出しビット線ＲＢＬ１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１に共通に接続され、読み出しビット線ＲＢＬ２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２に共通に接続され、読み出しビット線ＲＢＬ３は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３に共通に接続され、読み出しビット線ＲＢＬ４は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４に共通に接続される。

【０１５６】

コンタクトプラグ４２上には、導電層４３が配置される。

【０１５７】

図７は、書き込みビット線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４上及び導電層４３上には、方形パタ

ーンを有する上部電極４４が配置される。上部電極４４は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４及び導電層４３に接触する。

【０１５８】

上部電極４４の直上には、書き込みビット線ＷＢＬ１が配置される。書き込みビット線ＷＢＬ１は、Ｙ方向に延びている。

【０１５９】

▲４▼　デバイス構造３

次に、デバイス構造３について説明する。

[1]　断面構造

図８は、本発明の構造例１としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造３を示している。

【０１６０】

なお、図８に示される要素には、図１の回路の要素と対応がとれるように、図１と同じ符号が付してある。

【０１６１】

半導体基板４１の上部には、Ｙ方向に延びる書き込みビット線ＷＢＬ１が配置される。書き込みビット線ＷＢＬ１の直下には、スイッチ素子が配置されることがない。書き込みビット線ＷＢＬ１の上部には、例えば、方形パターンを有する下部電極４４が配置される。

【０１６２】

下部電極４４上には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。

【０１６３】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４上には、読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）が配置される。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に接触している。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、Ｘ方向（ロウ方向）に延びている。

【０１６４】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ独立に読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、４本の読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４が設けられる。

【０１６５】

下部電極４４上には、コンタクトプラグ４２及び導電層４３が配置される。コンタクトプラグ４２及び導電層４３は、下部電極４４と読み出しワード線ＲＷＬ１とを電気的に接続する。

【０１６６】

コンタクトプラグ４２は、下部電極４４の中央部に配置される。コンタクトプラグ４２に対して、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０１６７】

読み出しワード線ＲＷＬ１は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部に配置される。読み出しワード線ＲＷＬ１は、Ｙ方向（カラム方向）に延びている。

【０１６８】

構造例１では、読み出しブロックを構成する４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、１本の書き込みビット線ＷＢＬ１が設けられている。但し、これに代えて、例えば、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を積み重ね、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対応させて、４本の書き込みビット線を設けてもよい。

【０１６９】

また、構造例１では、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その下部に、Ｙ方向に延びる書き込みビット線ＷＢＬ１を配置し、その上部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置している。

【０１７０】

但し、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対する書き込みビット線ＷＢＬ１と読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４との位置関係は、これに限定されるものではない。

【０１７１】

例えば、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その上部に、Ｙ方向に延びる書き込みビット線ＷＢＬ１を配置し、その下部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置してもよい。

【０１７２】

このようなデバイス構造によれば、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ異なる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）に電気的に接続される。このため、１回の読み出しステップにより、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４のデータを一度に読み出すことが可能になる。

【０１７３】

また、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端は、共通接続され、その接続点は、読み出し選択スイッチを経由することなく、直接、読み出しワード線ＲＷＬ１に接続される。また、Ｙ方向に延びる書き込みビット線ＷＢＬ１は、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に共有される。このため、ＴＭＲ素子の高集積化及び特性の向上を実現できる。

【０１７４】

また、下部電極４４と読み出しワード線ＲＷＬ１とのコンタクト部が、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２とＴＭＲ素子ＭＴＪ３，ＭＴＪ４との間の領域に設けられている。このように、下部電極４４のコンタクト部に対して、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０１７５】

[2]　平面構造

図９乃至図１２は、図８のデバイス構造３における各配線層のレイアウトを示したものである。なお、図８の断面は、図９乃至図１２におけるＶＩＩＩ－ＶＩＩＩ線に沿う断面に対応している。

【０１７６】

図９は、書き込みビット線のレイアウトを示している。

書き込みビット線ＷＢＬ１は、Ｙ方向に延びている。書き込みビット線ＷＢＬ１の上部には、方形パターンを有する下部電極４４が配置される。

【０１７７】

図１０は、ＴＭＲ素子のレイアウトを示している。

方形パターンを有する下部電極４４上には、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４及び導電層４３が配置される。

【０１７８】

下部電極４４上のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、Ｙ方向に並んで配置される。ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の長辺に平行な方向は、Ｘ方向となっている。

【０１７９】

図１１は、読み出しビット線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４上には、読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）が配置される。

【０１８０】

読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０１８１】

読み出しビット線ＲＢＬ１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１に共通に接続され、読み出しビット線ＲＢＬ２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２に共通に接続され、読み出しビット線ＲＢＬ３は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３に共通に接続され、読み出しビット線ＲＢＬ４は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４に共通に接続される。

【０１８２】

導電層４３上には、コンタクトプラグ４２が配置される。

【０１８３】

図１２は、読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１は、コンタクトプラグ４２に接触している。

【０１８４】

(2)　構造例２

▲１▼　概要

図１３は、本発明の構造例２としての磁気ランダムアクセスメモリの概要を示している。

【０１８５】

なお、図１３に示される要素には、図１の回路の要素と対応がとれるように、図１と同じ符号が付してある。

【０１８６】

構造例２の特徴は、構造例１に関わるメモリセルアレイ１１－１，１１－２，・・・１１－ｍを、半導体基板（チップ）１０上に、複数段に積み重ねた点にある。メモリセルアレイ１１－１，１１－２，・・・１１－ｍは、それぞれ、図１におけるメモリセルアレイ１１に相当する。

【０１８７】

▲２▼　デバイス構造１

構造例２のデバイス構造１は、構造例１のデバイス構造２（図４）におけるメモリセルアレイを複数段に積み重ねた構造に関する。

【０１８８】

図１４は、本発明の構造例２としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造１を示している。

【０１８９】

[1]　１段目（メモリセルアレイ１１－１）

半導体基板４１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１－１が配置される。読み出しワード線ＲＷＬ１－１の直下には、スイッチ素子が配置されることがない。読み出しワード線ＲＷＬ１－１の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。

【０１９０】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の一端（本例では、上端）は、上部電極４４－１に共通に接続される。コンタクトプラグ４２－１及び導電層４３－１は、上部電極４４－１と読み出しワード線ＲＷＬ１－１とを電気的に接続する。

【０１９１】
コンタクトプラグ４２－１は、上部電極４４－１の中央部に配置される。コンタクトプラグ４２－１に対して、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。
【０１９２】
なお、導電層４３－１は、上部電極４４－１と一体化してもよい。即ち、導電層４３－１と上部電極４４－１は、同一材料で同時に形成することもできる。
【０１９３】
ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の他端（本例では、下端）は、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）に電気的に接続される。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向（ロウ方向）に延びている。
【０１９４】
ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、それぞれ独立に読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に対して、４本の読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１が設けられる。
【０１９５】
書き込みビット線ＷＢＬ１－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１－１は、Ｙ方向（カラム方向）に延びている。
【０１９６】
[2]　２段目（メモリセルアレイ１１－２）
１段目のメモリセルアレイ１１－１における書き込みビット線ＷＢＬ１－１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１－２が配置される。読み出しワード線ＲＷＬ１－２の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。
【０１９７】
ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の一端（本例では、上端）は、上部電極４４－２に共通に接続される。コンタクトプラグ４２－２及び導電層４３－２は、上部電極４４－２と読み出しワード線ＲＷＬ１－２とを電気的に接続する。
【０１９８】
コンタクトプラグ４２－２は、上部電極４４－２の中央部に配置される。コンタクトプラグ４２－２に対して、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。
【０１９９】
なお、導電層４３－２は、上部電極４４－２と一体化してもよい。即ち、導電層４３－２と上部電極４４－２は、同一材料で同時に形成することもできる。
【０２００】
ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の他端（本例では、下端）は、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）に電気的に接続される。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向（ロウ方向）に延びている。
【０２０１】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、それぞれ独立に読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に対して、４本の読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２が設けられる。

【０２０２】

書き込みビット線ＷＢＬ１－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１－２は、Ｙ方向（カラム方向）に延びている。

【０２０３】

[3]　その他

図１４では、構造例１のデバイス構造２に関わるメモリセルアレイ１１－１，１１－２は、半導体基板４１上に、２段に積み重ねられているが、原理的には、３段以上（上限はない）に積み重ねることができる。

【０２０４】

構造例２のデバイス構造１によれば、構造例１のデバイス構造２に関わるメモリセルアレイを半導体基板上に複数段に積み重ねている。このため、ＴＭＲ素子の高密度化を実現できる。

【０２０５】

▲３▼　デバイス構造２

構造例２のデバイス構造２は、構造例１のデバイス構造３（図８）におけるメモリセルアレイを複数段に積み重ねた構造に関する。

【０２０６】

図１５は、本発明の構造例２としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造２を示している。

【０２０７】

[1]　１段目（メモリセルアレイ１１－１）

半導体基板４１の上部には、Ｙ方向に延びる書き込みビット線ＷＢＬ１－１が配置される。書き込みビット線ＷＢＬ１－１の直下には、スイッチ素子が配置されることがない。書き込みビット線ＷＢＬ１－１の上部には、例えば、方形パターンを有する下部電極４４－１が配置される。

【０２０８】

下部電極４４－１上には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。

【０２０９】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上には、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）が配置される。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に接触している。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向（ロウ方向）に延びている。

【０２１０】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、それぞれ独立に読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に対して、４本の読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１が設けられる。

【０２１１】

下部電極４４－１上には、コンタクトプラグ４２－１及び導電層４３－１が配置される。

コンタクトプラグ４２－１及び導電層４３－１は、下部電極４４－１と読み出しワード線ＲＷＬ１－１とを電気的に接続する。

【０２１２】

コンタクトプラグ４２－１は、下部電極４４－１の中央部に配置される。コンタクトプラグ４２－１に対して、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０２１３】

読み出しワード線ＲＷＬ１－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の上部に配置される。読み出しワード線ＲＷＬ１－１は、Ｙ方向（カラム方向）に延びている。

【０２１４】

[2]　２段目（メモリセルアレイ１１－２）

半導体基板４１の上部には、Ｙ方向に延びる書き込みビット線ＷＢＬ１－２が配置される。書き込みビット線ＷＢＬ１－２の直下には、スイッチ素子が配置されることがない。書き込みビット線ＷＢＬ１－２の上部には、例えば、方形パターンを有する下部電極４４－２が配置される。

【０２１５】

下部電極４４－２上には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。

【０２１６】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２上には、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）が配置される。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に接触している。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向（ロウ方向）に延びている。

【０２１７】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、それぞれ独立に読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に対して、４本の読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２が設けられる。

【０２１８】

下部電極４４－２上には、コンタクトプラグ４２－２及び導電層４３－２が配置される。コンタクトプラグ４２－２及び導電層４３－２は、下部電極４４－２と読み出しワード線ＲＷＬ１－２とを電気的に接続する。

【０２１９】

コンタクトプラグ４２－２は、下部電極４４－２の中央部に配置される。コンタクトプラグ４２－２に対して、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０２２０】

読み出しワード線ＲＷＬ１－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の上部に配置される。読み出しワード線ＲＷＬ１－２は、Ｙ方向（カラム方向）に延びている。

【０２２１】

[3]　その他

図１５では、構造例１のデバイス構造３に関わるメモリセルアレイ１１－１，１１－２は

、半導体基板４１上に、２段に積み重ねられているが、原理的には、３段以上（上限はない）に積み重ねることができる。

【０２２２】

構造例２のデバイス構造２によれば、構造例１のデバイス構造３に関わるメモリセルアレイを半導体基板上に複数段に積み重ねている。このため、ＴＭＲ素子の高密度化を実現できる。

【０２２３】

(3)　構造例３

▲１▼　概要

構造例３は、構造例２の改良例である。構造例２では、構造例１に関わるメモリセルアレイ１１－１，１１－２，・・・１１－ｍを、半導体基板（チップ）１０上に、複数段に積み重ねた。

【０２２４】

構造例３においても、構造例１に関わるメモリセルアレイを、半導体基板（チップ）上に、複数段に積み重ねる。さらに、構造例３では、メモリセルアレイ内の配線数を減らして、ＴＭＲ素子の下地の平坦化（ＴＭＲ素子の特性の向上）を実現するため、異なる段のメモリセルアレイにおいて１本の配線を共有する配線の共有化を図る。

【０２２５】

▲２▼　回路構造

構造例３は、図１３に示すように、複数段に積み重ねられたメモリセルアレイ１１－１，１１－２，・・・１１－ｍにおいて、下段のメモリセルアレイの書き込みビット線と、上段のメモリセルアレイの読み出しワード線とを一体化し、１本の書き込みビット線／読み出しワード線として共有化した構造に関する。

【０２２６】

図１６及び図１７は、本発明の構造例３としての磁気ランダムアクセスメモリの主要部を示している。

【０２２７】

[1]　１段目（下段）

図１６は、構造例３の１段目のセルアレイ構造を示している。

メモリセルアレイ１１－１は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【０２２８】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－１は、ｊ個のカラムを有する。

【０２２９】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【０２３０】

１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１の一端は、例えば、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【０２３１】

なお、カラム選択スイッチＣＳＷは、メモリセルアレイ１１－１の外部に配置されるもの

であるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－１内に配置されることはない。

【０２３２】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１が配置される。

【０２３３】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（１）に接続される。共通データ線３０（１）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（１）に接続される。

【０２３４】

例えば、図１１２及び図１２２に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０２３５】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０２３６】

図１１２に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２２に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０２３７】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１としても機能する。

【０２３８】

書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（１）を経由して、書き込みワード線ドライバ２３Ａ（１）に接続され、その他端は、書き込みワード線シンカー２４（１）－１，・・・２４（１）－ｎに接続される。

【０２３９】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－１が配置される。書き込みビット線ＷＢＬｉ－１は、１つのカラムに１本だけ配置される。

【０２４０】

書き込みビット線ＷＢＬｉ－１の一端は、切り替え回路２２を経由して、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａ（１）に接続される。また、書き込みビット線ＷＢＬｉ－１の他端は、切り離し回路２１を経由して、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（１）に接続

される。
【０２４１】
切り離し回路２１及び切り替え回路２２は、メモリセルアレイ選択信号ＳＥＬにより制御される。書き込み動作時に、１段目（下段）のメモリセルアレイ１１－１が選択されると、切り替え回路２２は、書き込みビット線ＷＢＬｉ－１の一端を、回路ブロック２９Ａ（１）に電気的に接続する。また、切り離し回路２１は、書き込みビット線ＷＢＬｉ－１の他端を、回路ブロック３１（１）に電気的に接続する。
【０２４２】
書き込み動作時には、回路ブロック２９Ａ（１），３１（１）が動作状態となる。そして、書き込みビット線ＷＢＬｉ－１には、書き込みデータに応じて、回路ブロック２９Ａ（１）に向う方向又は回路ブロック３１（１）に向う方向に、書き込み電流が流れる。
【０２４３】
ロウデコーダ２５（１）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（１）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（１）－ｎに吸収される。
【０２４４】
ロウデコーダ２５（１）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２（１）は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。
【０２４５】
[2]　２段目（上段）
図１７は、構造例３の２段目のセルアレイ構造を示している。
メモリセルアレイ１１－２は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。
【０２４６】
Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－２は、ｊ個のカラムを有する。
【０２４７】
ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。
【０２４８】
１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２の一端は、切り替え回路２２、及び、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。
【０２４９】
また、読み出しワード線ＲＷＬｉ－２の他端は、切り離し回路２１を経由して、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（１）に接続される。
【０２５０】

なお、切り離し回路２１、切り替え回路２２及びカラム選択スイッチＣＳＷは、それぞれ、メモリセルアレイ１１－２の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－２内に配置されることはない。

【０２５１】

切り離し回路２１及び切り替え回路２２は、図１６に示す１段目のメモリセルアレイのセルアレイ構造における切り離し回路２１及び切り替え回路２２そのものである。

【０２５２】

切り離し回路２１及び切り替え回路２２は、メモリセルアレイ選択信号ＳＥＬにより制御される。

【０２５３】

上述したように、書き込み動作時に、１段目（下段）のメモリセルアレイ１１－１が選択されると、切り替え回路２２は、書き込みビット線ＷＢＬｉ－１の一端を、回路ブロック２９Ａ（１）に電気的に接続する。また、切り離し回路２１は、書き込みビット線ＷＢＬｉ－１の他端を、回路ブロック３１（１）に電気的に接続する。

【０２５４】

また、読み出し動作時に、２段目（上段）のメモリセルアレイ１１－２が選択されると、切り替え回路２２は、読み出しワード線ＲＷＬｉ－２の一端を、カラム選択スイッチＣＳＷに電気的に接続する。また、切り離し回路２１は、読み出しワード線ＲＷＬｉ－２の他端を、回路ブロック３１（１）から電気的に切断する。

【０２５５】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２が配置される。

【０２５６】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（２）に接続される。共通データ線３０（２）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（２）に接続される。

【０２５７】

例えば、図１１３及び図１２３に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０２５８】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０２５９】

図１１３に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２３に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０２６０】

読み出しビット線｛ＲＢＬ４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２

としても機能する。
【０２６１】
書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（２）を経由して、書き込みワード線ドライバ２３Ａ（２）に接続され、その他端は、書き込みワード線シンカー２４（２）－１，・・・２４（２）－ｎに接続される。
【０２６２】
読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－２が配置される。書き込みビット線ＷＢＬｉ－２は、１つのカラムに１本だけ配置される。
【０２６３】
書き込みビット線ＷＢＬｉ－２の一端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａ（２）に接続される。また、書き込みビット線ＷＢＬｉ－２の他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（２）に接続される。
【０２６４】
書き込み動作時には、回路ブロック２９Ａ（２），３１（２）が動作状態となる。そして、書き込みビット線ＷＢＬｉ－２には、書き込みデータに応じて、回路ブロック２９Ａ（２）に向う方向又は回路ブロック３１（２）に向う方向に、書き込み電流が流れる。
【０２６５】
ロウデコーダ２５（２）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（２）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（２）－ｎに吸収される。
【０２６６】
ロウデコーダ２５（２）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２（２）は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。
【０２６７】
▲３▼　デバイス構造（断面構造）
構造例３のデバイス構造は、構造例２のデバイス構造１（図１４）におけるメモリセルアレイにおいて、下段（１段目）の書き込みビット線ＷＢＬ１－１と、上段（２段目）の読み出しワード線ＲＷＬ１－２とを一体化し、１本の書き込みビット線／読み出しワード線ＷＢＬ１－１／ＲＷＬ１－２として共有化した点に特徴を有する。
【０２６８】
図１８は、本発明の構造例３としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造を示している。
【０２６９】
[1]　１段目（メモリセルアレイ１１－１）
半導体基板４１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１－１が配置される。読み出しワード線ＲＷＬ１－１の直下には、スイッチ素子が配置されることがない。読み出しワード線ＲＷＬ１－１の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。
【０２７０】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の一端（本例では、上端）は、上部電極４４－１に共通に接続される。コンタクトプラグ４２－１及び導電層４３－１は、上部電極４４－１と読み出しワード線ＲＷＬ１－１とを電気的に接続する。

【０２７１】

コンタクトプラグ４２－１は、上部電極４４－１の中央部に配置される。コンタクトプラグ４２－１に対して、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０２７２】

なお、導電層４３－１は、上部電極４４－１と一体化してもよい。即ち、導電層４３－１と上部電極４４－１は、同一材料で同時に形成することもできる。

【０２７３】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の他端（本例では、下端）は、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）に電気的に接続される。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向（ロウ方向）に延びている。

【０２７４】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、それぞれ独立に読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に対して、４本の読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１が設けられる。

【０２７５】

書き込みビット線ＷＢＬ１－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１－１は、Ｙ方向（カラム方向）に延びている。

【０２７６】

[2]　２段目（メモリセルアレイ１１－２）

１段目のメモリセルアレイ１１－１における書き込みビット線ＷＢＬ１－１は、２段目のメモリセルアレイ１１－２における読み出しワード線ＲＷＬ１－２としても機能する。

【０２７７】

即ち、書き込み動作時に、１段目のメモリセルアレイ１１－１が選択された場合には、書き込みビット線／読み出しワード線ＷＢＬ１－１／ＲＷＬ１－２は、書き込みビット線ＷＢＬ１－１として使用する。また、読み出し動作時に、２段目のメモリセルアレイ１１－２が選択された場合には、書き込みビット線／読み出しワード線ＷＢＬ１－１／ＲＷＬ１－２は、読み出しワード線ＲＷＬ１－２として使用する。

【０２７８】

読み出しワード線ＲＷＬ１－２の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。

【０２７９】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の一端（本例では、上端）は、上部電極４４－２に共通に接続される。コンタクトプラグ４２－２及び導電層４３－２は、上部電極４４－２と読み出しワード線ＲＷＬ１－２とを電気的に接続する。

【０２８０】

コンタクトプラグ４２－２は、上部電極４４－２の中央部に配置される。コンタクトプラグ４２－２に対して、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４

－２を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０２８１】

なお、導電層４３－２は、上部電極４４－２と一体化してもよい。即ち、導電層４３－２と上部電極４４－２は、同一材料で同時に形成することもできる。

【０２８２】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の他端（本例では、下端）は、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）に電気的に接続される。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向（ロウ方向）に延びている。

【０２８３】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、それぞれ独立に読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に対して、４本の読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２が設けられる。

【０２８４】

書き込みビット線ＷＢＬ１－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１－２は、Ｙ方向（カラム方向）に延びている。

【０２８５】

[3]　その他

図１８の例では、メモリセルアレイ１１－１，１１－２は、半導体基板４１上に、２段に積み重ねられているが、原理的には、３段以上（上限はない）に積み重ねることができる。

【０２８６】

構造例３のデバイス構造によれば、構造例２のデバイス構造１に関わる下段のメモリセルアレイ１１－１と上段のメモリセルアレイ１１－２は、１本の配線を共有化している。このため、ＴＭＲ素子の高密度化と共に、ＴＭＲ素子の下地の平坦化（ＴＭＲ素子の特性の向上）を実現できる。

【０２８７】

▲４▼　デバイス構造（平面構造）

図１９乃至図２３は、図１８のデバイス構造１における各配線層のレイアウトを示したものである。なお、図１８の断面は、図１９乃至図２３におけるＸＶＩＩＩ－ＸＶＩＩＩ線に沿う断面に対応している。

【０２８８】

図１９は、１段目の読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１－１は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１－１上には、コンタクトプラグ４２－１が配置される。

【０２８９】

図２０は、１段目の読み出しビット線及び１段目のＴＭＲ素子のレイアウトを示している。

読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０２９０】

読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１上には、Ｔ

ＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の長辺に平行な方向は、Ｘ方向となっている。

【０２９１】

読み出しビット線ＲＢＬ１－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－１に共通に接続され、読み出しビット線ＲＢＬ２－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－１に共通に接続され、読み出しビット線ＲＢＬ３－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－１に共通に接続され、読み出しビット線ＲＢＬ４－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－１に共通に接続される。

【０２９２】

コンタクトプラグ４２－１上には、導電層４３－１が配置される。

【０２９３】

図２１は、１段目の書き込みビット線／２段目の読み出しワード線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上及び導電層４３－１上には、方形パターンを有する上部電極４４－１が配置される。上部電極４４－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１及び導電層４３－１に接触する。

【０２９４】

上部電極４４－１の直上には、書き込みビット線／読み出しワード線ＷＢＬ１－１／ＲＷＬ１－２が配置される。書き込みビット線／読み出しワード線ＷＢＬ１－１／ＲＷＬ１－２は、Ｙ方向に延びている。

【０２９５】

書き込みビット線／読み出しワード線ＷＢＬ１－１／ＲＷＬ１－２上には、コンタクトプラグ４２－２が配置される。

【０２９６】

図２２は、２段目の読み出しビット線及び２段目のＴＭＲ素子のレイアウトを示している。

読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０２９７】

読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２上には、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の長辺に平行な方向は、Ｘ方向となっている。

【０２９８】

読み出しビット線ＲＢＬ１－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－２に共通に接続され、読み出しビット線ＲＢＬ２－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－２に共通に接続され、読み出しビット線ＲＢＬ３－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－２に共通に接続され、読み出しビット線ＲＢＬ４－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－２に共通に接続される。

【０２９９】

コンタクトプラグ４２－２上には、導電層４３－２が配置される。

【０３００】

図２３は、２段目の書き込みビット線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２上及び導電層４３－２上には、方形パターンを有する上部電極４４－２が配置される。上部電極４４－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２及び導電層４３－２に接触する。

【０３０１】

上部電極４４－２の直上には、書き込みビット線ＷＢＬ１－２が配置される。書き込みビット線ＷＢＬ１－２は、Ｙ方向に延びている。

【０３０２】

(4)　構造例４

▲１▼　概要

構造例４も、構造例２の改良例である。構造例４では、構造例３と同様に、メモリセルアレイを半導体基板（チップ）上に複数段に積み重ねると共に、異なる段のメモリセルアレイにおいて１本の配線を共有化する。これにより、メモリセルアレイ内の配線数を減らして、ＴＭＲ素子の下地の平坦化（ＴＭＲ素子の特性の向上）を図る。

【０３０３】

構造例４が構造例３と異なる点は、共有化する配線の位置関係にある。即ち、構造例３では、下段のメモリセルアレイの書き込みビット線と上段のメモリセルアレイの読み出しワード線とを共有化しているが、構造例４では、下段のメモリセルアレイの読み出しワード線と上段のメモリセルアレイの書き込みビット線とを共有化する。

【０３０４】

▲２▼　回路構造

構造例４は、複数段に積み重ねられたメモリセルアレイ１１－１，１１－２，・・・１１－ｍにおいて、下段のメモリセルアレイの読み出しワード線と、上段のメモリセルアレイの書き込みビット線とを一体化し、１本の読み出しワード線／書き込みビット線として共有化した構造に関する。

【０３０５】

図２４及び図２５は、本発明の構造例４としての磁気ランダムアクセスメモリの主要部を示している。

【０３０６】

[1]　１段目（下段）

図２４は、構造例４の１段目のセルアレイ構造を示している。

メモリセルアレイ１１－１は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【０３０７】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－１は、ｊ個のカラムを有する。

【０３０８】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【０３０９】

１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１の一端は、切り替え回路２２、及び、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【０３１０】
また、読み出しワード線ＲＷＬｉ－１の他端は、切り離し回路２１を経由して、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（２）に接続される。
【０３１１】
なお、切り離し回路２１、切り替え回路２２及びカラム選択スイッチＣＳＷは、それぞれ、メモリセルアレイ１１－１の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－１内に配置されることはない。
【０３１２】
切り離し回路２１及び切り替え回路２２は、メモリセルアレイ選択信号ＳＥＬにより制御される。
【０３１３】
例えば、読み出し動作時に、１段目（下段）のメモリセルアレイ１１－１が選択されると、切り替え回路２２は、読み出しワード線ＲＷＬｉ－１の一端を、カラム選択スイッチＣＳＷに電気的に接続する。また、切り離し回路２１は、読み出しワード線ＲＷＬｉ－１の他端を、回路ブロック３１（２）から電気的に切断する。
【０３１４】
読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１が配置される。
【０３１５】
読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（１）に接続される。共通データ線３０（１）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（１）に接続される。
【０３１６】
例えば、図１１４及び図１２４に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。
【０３１７】
ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉを出力する。
【０３１８】
図１１４に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２４に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。
【０３１９】
読み出しビット線｛ＲＢＬ４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１としても機能する。
【０３２０】
書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，

ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（１）を経由して、書き込みワード線ドライバ２３Ａ（１）に接続され、その他端は、書き込みワード線シンカー２４（１）－１，・・・２４（１）－ｎに接続される。

【０３２１】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－１が配置される。書き込みビット線ＷＢＬｉ－１は、１つのカラムに１本だけ配置される。

【０３２２】

書き込みビット線ＷＢＬｉ－１の一端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａ（１）に接続される。また、書き込みビット線ＷＢＬｉ－１の他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（１）に接続される。

【０３２３】

書き込み動作時には、回路ブロック２９Ａ（１），３１（１）が動作状態となる。そして、書き込みビット線ＷＢＬｉ－２には、書き込みデータに応じて、回路ブロック２９Ａ（１）に向う方向又は回路ブロック３１（１）に向う方向に、書き込み電流が流れる。

【０３２４】

ロウデコーダ２５（１）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（１）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（１）－ｎに吸収される。

【０３２５】

ロウデコーダ２５（１）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２（１）は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０３２６】

[2]　２段目（上段）

図２５は、構造例４の２段目のセルアレイ構造を示している。

メモリセルアレイ１１－２は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【０３２７】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－２は、ｊ個のカラムを有する。

【０３２８】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【０３２９】

１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２の一端は、例えば、ＭＯ

Ｓトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【０３３０】

なお、カラム選択スイッチＣＳＷは、メモリセルアレイ１１－２の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－２内に配置されることはない。

【０３３１】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２が配置される。

【０３３２】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（２）に接続される。共通データ線３０（２）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（２）に接続される。

【０３３３】

例えば、図１１５及び図１２５に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０３３４】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０３３５】

図１１５に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２５に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０３３６】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２としても機能する。

【０３３７】

書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（２）を経由して、書き込みワード線ドライバ２３Ａ（２）に接続され、その他端は、書き込みワード線シンカー２４（２）－１，・・・２４（２）－ｎに接続される。

【０３３８】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－２が配置される。書き込みビット線ＷＢＬｉ－２は、１つのカラムに１本だけ配置される。

【０３３９】

書き込みビット線ＷＢＬｉ－２の一端は、切り替え回路２２を経由して、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａ（２）に接続される。また、書き込みビット線ＷＢＬｉ－２の他端は、切り離し回路２１を経由して、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（２）に接続される。

【０３４０】

切り離し回路２１及び切り替え回路２２は、図２４に示す１段目のメモリセルアレイのセルアレイ構造における切り離し回路２１及び切り替え回路２２そのものである。

【０３４１】

切り離し回路２１及び切り替え回路２２は、メモリセルアレイ選択信号ＳＥＬにより制御される。

【０３４２】

上述したように、例えば、読み出し動作時に、１段目（下段）のメモリセルアレイ１１－１が選択されると、切り替え回路２２は、読み出しワード線ＲＷＬｉ－１の一端を、カラム選択スイッチＣＳＷに電気的に接続する。また、切り離し回路２１は、読み出しワード線ＲＷＬｉ－１の他端を、回路ブロック３１（２）から電気的に切断する。

【０３４３】

また、書き込み動作時に、２段目（上段）のメモリセルアレイ１１－２が選択されると、切り替え回路２２は、書き込みビット線ＷＢＬｉ－２の一端を、回路ブロック２９Ａ（２）に電気的に接続する。また、切り離し回路２１は、書き込みビット線ＷＢＬｉ－２の他端を、回路ブロック３１（２）に電気的に接続する。

【０３４４】

書き込み動作時には、回路ブロック２９Ａ（２），３１（２）が動作状態となる。そして、書き込みビット線ＷＢＬｉ－２には、書き込みデータに応じて、回路ブロック２９Ａ（２）に向う方向又は回路ブロック３１（２）に向う方向に、書き込み電流が流れる。

【０３４５】

ロウデコーダ２５（２）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（２）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（２）－ｎに吸収される。

【０３４６】

ロウデコーダ２５（２）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２（２）は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０３４７】

▲３▼　デバイス構造（断面構造）

構造例４のデバイス構造は、構造例２のデバイス構造２（図１５）におけるメモリセルアレイにおいて、下段（１段目）の読み出しワード線ＲＷＬ１－１と、上段（２段目）の書き込みビット線ＷＢＬ１－２とを一体化し、１本の読み出しワード線／書き込みビット線ＲＷＬ１－１／ＷＢＬ１－２として共有化した点に特徴を有する。

【０３４８】

図２６は、本発明の構造例４としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造を示している。

【０３４９】

[1]　１段目（メモリセルアレイ１１－１）

半導体基板４１の上部には、Ｙ方向に延びる書き込みビット線ＷＢＬ１－１が配置される。書き込みビット線ＷＢＬ１－１の直下には、スイッチ素子が配置されることがない。書

き込みビット線ＷＢＬ１－１の上部には、例えば、方形パターンを有する下部電極４４－１が配置される。

【０３５０】

下部電極４４－１上には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。

【０３５１】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上には、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）が配置される。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に接触している。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向（ロウ方向）に延びている。

【０３５２】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、それぞれ独立に読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に対して、４本の読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１が設けられる。

【０３５３】

下部電極４４－１上には、コンタクトプラグ４２－１及び導電層４３－１が配置される。コンタクトプラグ４２－１及び導電層４３－１は、下部電極４４－１と読み出しワード線ＲＷＬ１－１とを電気的に接続する。

【０３５４】

コンタクトプラグ４２－１は、下部電極４４－１の中央部に配置される。コンタクトプラグ４２－１に対して、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０３５５】

なお、導電層４３－１は、コンタクトプラグ４２－１と一体化してもよい。即ち、導電層４３－１を省略し、コンタクトプラグ４２－１を、直接、下部電極４４－１に接触させてもよい。

【０３５６】

読み出しワード線ＲＷＬ１－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の上部に配置される。読み出しワード線ＲＷＬ１－１は、Ｙ方向（カラム方向）に延びている。

【０３５７】

[2]　２段目（メモリセルアレイ１１－２）

１段目のメモリセルアレイ１１－１における読み出しワード線ＲＷＬ１－１は、２段目のメモリセルアレイ１１－２における書き込みビット線ＷＢＬ１－２としても機能する。

【０３５８】

即ち、読み出し動作時に、１段目のメモリセルアレイ１１－１が選択された場合には、読み出しワード線／書き込みビット線ＲＷＬ１－１／ＷＢＬ１－２は、読み出しワード線ＲＷＬ１－１として使用する。また、書き込み動作時に、２段目のメモリセルアレイ１１－２が選択された場合には、読み出しワード線／書き込みビット線ＲＷＬ１－１／ＷＢＬ１－２は、書き込みビット線ＷＢＬ１－２として使用する。

【０３５９】

書き込みビット線ＷＢＬ１－２の上部には、例えば、方形パターンを有する下部電極４４－２が配置される。下部電極４４－２上には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４

－２が配置される。
【０３６０】
ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２上には、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）が配置される。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に接触している。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向（ロウ方向）に延びている。
【０３６１】
ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、それぞれ独立に読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に対して、４本の読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２が設けられる。
【０３６２】
下部電極４４－２上には、コンタクトプラグ４２－２及び導電層４３－２が配置される。コンタクトプラグ４２－２及び導電層４３－２は、下部電極４４－２と読み出しワード線ＲＷＬ１－２とを電気的に接続する。
【０３６３】
コンタクトプラグ４２－２は、下部電極４４－２の中央部に配置される。コンタクトプラグ４２－２に対して、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。
【０３６４】
なお、導電層４３－２は、コンタクトプラグ４２－２と一体化してもよい。即ち、導電層４３－２を省略し、コンタクトプラグ４２－２を、直接、下部電極４４－２に接触させてもよい。
【０３６５】
読み出しワード線ＲＷＬ１－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の上部に配置される。読み出しワード線ＲＷＬ１－２は、Ｙ方向（カラム方向）に延びている。
【０３６６】
[3]　その他
図２６の例では、メモリセルアレイ１１－１，１１－２は、半導体基板４１上に、２段に積み重ねられているが、原理的には、３段以上（上限はない）に積み重ねることができる。
【０３６７】
構造例４のデバイス構造によれば、構造例２のデバイス構造２に関わる下段のメモリセルアレイ１１－１と上段のメモリセルアレイ１１－２は、１本の配線を共有化している。このため、ＴＭＲ素子の高密度化と共に、ＴＭＲ素子の下地の平坦化（ＴＭＲ素子の特性の向上）を実現できる。
【０３６８】
▲４▼　デバイス構造（平面構造）
図２７乃至図３３は、図２６のデバイス構造における各配線層のレイアウトを示したものである。なお、図２６の断面は、図２７乃至図３３におけるＸＸＶＩ－ＸＸＶＩ線に沿う断面に対応している。
【０３６９】
図２７は、１段目の書き込みビット線のレイアウトを示している。
書き込みビット線ＷＢＬ１－１は、Ｙ方向に延びている。書き込みビット線ＷＢＬ１－１

の上部には、方形パターンを有する下部電極４４－１が配置される。
【０３７０】
図２８は、１段目のＴＭＲ素子のレイアウトを示している。
方形パターンを有する下部電極４４－１上には、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１及び導電層４３－１が配置される。
【０３７１】
下部電極４４－１上のＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、Ｙ方向に並んで配置される。ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の長辺に平行な方向は、Ｘ方向となっている。
【０３７２】
図２９は、１段目の読み出しビット線のレイアウトを示している。
ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上には、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）が配置される。
【０３７３】
読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。
【０３７４】
読み出しビット線ＲＢＬ１－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－１に共通に接続され、読み出しビット線ＲＢＬ２－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－１に共通に接続され、読み出しビット線ＲＢＬ３－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－１に共通に接続され、読み出しビット線ＲＢＬ４－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－１に共通に接続される。
【０３７５】
導電層４３－１上には、コンタクトプラグ４２－１が配置される。
【０３７６】
図３０は、１段目の読み出しワード線／２段目の書き込みビット線のレイアウトを示している。
読み出しワード線／書き込みビット線ＲＷＬ１－１／ＷＢＬ１－２は、Ｙ方向に延びている。読み出しワード線／書き込みビット線ＲＷＬ１－１／ＷＢＬ１－２は、コンタクトプラグ４２－１に接触している。
【０３７７】
図３１は、２段目のＴＭＲ素子のレイアウトを示している。
方形パターンを有する下部電極４４－２上には、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２及び導電層４３－２が配置される。
【０３７８】
下部電極４４－２上のＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、Ｙ方向に並んで配置される。ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の長辺に平行な方向は、Ｘ方向となっている。
【０３７９】
図３２は、２段目の読み出しビット線のレイアウトを示している。
ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２上には、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）が配置される。
【０３８０】
読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向

に延びている。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０３８１】

読み出しビット線ＲＢＬ１－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－２に共通に接続され、読み出しビット線ＲＢＬ２－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－２に共通に接続され、読み出しビット線ＲＢＬ３－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－２に共通に接続され、読み出しビット線ＲＢＬ４－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－２に共通に接続される。

【０３８２】

導電層４３－２上には、コンタクトプラグ４２－２が配置される。

【０３８３】

図３３は、２段目の読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１－２は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１－２は、コンタクトプラグ４２－２に接触している。

【０３８４】

(5)　構造例５

▲１▼　概要

構造例３，４では、２つのメモリセルアレイ（下段及び上段）の互いに異なる機能を有する配線を、１つの配線として共有化した。

【０３８５】

そこで、本例では、２つのメモリセルアレイの同じ機能を有する配線を、１つの配線として共有化する場合について説明する。このように、同じ機能を有する配線を共有化すれば、構造例３，４における切り替え回路や切り離し回路などが不要になるため、周辺回路が簡略化される。

【０３８６】

▲２▼　回路構造

構造例５は、複数段に積み重ねられたメモリセルアレイ１１－１，１１－２，・・・１１－ｍにおいて、下段のメモリセルアレイの書き込みビット線と、上段のメモリセルアレイの書き込みビット線とを一体化し、１本の書き込みビット線として共有化した構造に関する。

【０３８７】

図３４及び図３５は、本発明の構造例５としての磁気ランダムアクセスメモリの主要部を示している。

【０３８８】

[1]　１段目（下段）

図３４は、構造例５の１段目のセルアレイ構造を示している。

メモリセルアレイ１１－１は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【０３８９】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－１は、ｊ個のカラムを有する。

【０３９０】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【０３９１】
１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１の一端は、例えば、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。
【０３９２】
なお、カラム選択スイッチＣＳＷは、メモリセルアレイ１１－１の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－１内に配置されることはない。
【０３９３】
読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１が配置される。
【０３９４】
読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（１）に接続される。共通データ線３０（１）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（１）に接続される。
【０３９５】
例えば、図１１６及び図１２６に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。
【０３９６】
ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉを出力する。
【０３９７】
図１１６に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２６に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。
【０３９８】
読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１としても機能する。
【０３９９】
書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（１）を経由して、書き込みワード線ドライバ２３Ａ（１）に接続され、その他端は、書き込みワード線シンカー２４（１）－１，・・・２４（１）－ｎに接続される。
【０４００】
読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴ

ＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－１が配置される。書き込みビット線ＷＢＬｉ－１は、１つのカラムに１本だけ配置される。

【０４０１】

なお、書き込みビット線ＷＢＬｉ－１は、２段目のメモリセルアレイにおける書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－２としても機能する。

【０４０２】

書き込みビット線ＷＢＬｉ－１は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａに接続される。また、書き込みビット線ＷＢＬｉ－１の他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１に接続される。

【０４０３】

書き込み動作時には、回路ブロック２９Ａ，３１が動作状態となる。そして、書き込みビット線ＷＢＬｉ－１には、書き込みデータに応じて、回路ブロック２９Ａに向う方向又は回路ブロック３１に向う方向に、書き込み電流が流れる。

【０４０４】

ロウデコーダ２５（１）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（１）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（１）－ｎに吸収される。

【０４０５】

ロウデコーダ２５（１）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２（１）は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０４０６】

[2]　２段目（上段）

図３５は、構造例５の２段目のセルアレイ構造を示している。

メモリセルアレイ１１－２は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【０４０７】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－２は、ｊ個のカラムを有する。

【０４０８】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【０４０９】

１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２の一端は、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【０４１０】

なお、カラム選択スイッチＣＳＷは、メモリセルアレイ１１－２の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－２内に配置されることはない。

【０４１１】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２が配置される。

【０４１２】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（２）に接続される。共通データ線３０（２）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（２）に接続される。

【０４１３】

例えば、図１１７及び図１２７に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０４１４】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０４１５】

図１１７に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２７に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０４１６】

読み出しビット線｛ＲＢＬ４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２としても機能する。

【０４１７】

書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（２）を経由して、書き込みワード線ドライバ２３Ａ（２）に接続され、その他端は、書き込みワード線シンカー２４（２）－１，・・・２４（２）－ｎに接続される。

【０４１８】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－２が配置される。書き込みビット線ＷＢＬｉ－２は、１つのカラムに１本だけ配置される。

【０４１９】

この書き込みビット線ＷＢＬｉ－２は、上述したように、１段目のメモリセルアレイの書き込みビット線ＷＢＬ１－１としても、使用される。

【０４２０】

書き込みビット線ＷＢＬｉ－２の一端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａに接続される。また、書き込みビット線ＷＢＬｉ－２の他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１に接続される。

【０４２１】

書き込み動作時には、回路ブロック２９Ａ，３１が動作状態となる。そして、書き込みビット線ＷＢＬｉ－２には、書き込みデータに応じて、回路ブロック２９Ａに向う方向又は回路ブロック３１に向う方向に、書き込み電流が流れる。

【０４２２】

ロウデコーダ２５（２）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（２）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（２）－ｎに吸収される。

【０４２３】

ロウデコーダ２５（２）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２（２）は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０４２４】

▲３▼　デバイス構造（断面構造）

構造例５のデバイス構造は、１段目のメモリセルアレイに構造例１のデバイス構造２（図４）を採用し、２段目のメモリセルアレイに構造例１のデバイス構造３（図８）を採用し、かつ、書き込みビット線を共有化した点に特徴を有する。

【０４２５】

図３６は、本発明の構造例５としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造を示している。

【０４２６】

[1]　１段目（メモリセルアレイ１１－１）

半導体基板４１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１－１が配置される。読み出しワード線ＲＷＬ１－１の直下には、スイッチ素子が配置されることがない。読み出しワード線ＲＷＬ１－１の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。

【０４２７】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の一端（本例では、上端）は、上部電極４４－１に共通に接続される。コンタクトプラグ４２－１及び導電層４３－１は、上部電極４４－１と読み出しワード線ＲＷＬ１－１とを電気的に接続する。

【０４２８】

コンタクトプラグ４２－１は、上部電極４４－１の中央部に配置される。コンタクトプラグ４２－１に対して、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０４２９】

なお、導電層４３－１は、上部電極４４－１と一体化してもよい。即ち、導電層４３－１と上部電極４４－１は、同一材料で同時に形成することもできる。

【０４３０】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の他端（本例では

、下端）は、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）に電気的に接続される。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向（ロウ方向）に延びている。

【０４３１】

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、それぞれ独立に読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に対して、４本の読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１が設けられる。

【０４３２】

書き込みビット線ＷＢＬ１－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１－１は、Ｙ方向（カラム方向）に延びている。

【０４３３】

[2]　２段目（メモリセルアレイ１１－２）

１段目のメモリセルアレイ１１－１における書き込みビット線ＷＢＬ１－１は、２段目のメモリセルアレイ１１－２における書き込みビット線ＷＢＬ１－２としても機能する。

【０４３４】

即ち、書き込み動作時に、１段目のメモリセルアレイ１１－１が選択された場合、及び、２段目のメモリセルアレイ１１－２が選択された場合に、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に書き込み電流が流れる。

【０４３５】

書き込みビット線ＷＢＬ１－２の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。

【０４３６】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の一端（本例では、下端）は、下部電極４４－２に共通に接続される。コンタクトプラグ４２－２及び導電層４３－２は、下部電極４４－２と読み出しワード線ＲＷＬ１－２とを電気的に接続する。

【０４３７】

コンタクトプラグ４２－２は、下部電極４４－２の中央部に配置される。コンタクトプラグ４２－２に対して、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０４３８】

なお、導電層４３－２は、コンタクトプラグ４２－２と一体化してもよい。即ち、導電層４３－２を省略し、コンタクトプラグ４２－２を、直接、下部電極４４－２に接触させてもよい。

【０４３９】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の他端（本例では、上端）は、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）に電気的に接続される。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向（ロウ方向）に延びている。

【０４４０】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、それぞれ独立に読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－

２に対して、４本の読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２が設けられる。

【０４４１】

書き込みビット線ＷＢＬ１－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の上部であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１－２は、Ｙ方向（カラム方向）に延びている。

【０４４２】

[3]　その他

図３６の例では、メモリセルアレイ１１－１，１１－２は、半導体基板４１上に、２段に積み重ねられているが、原理的には、２×ａ（ａは自然数）段に積み重ねることができる。また、構造例５と後述する構造例６とを組み合せて、３段以上（上限はない）に積み重ねることもできる。

【０４４３】

構造例５のデバイス構造によれば、下段のメモリセルアレイ１１－１と上段のメモリセルアレイ１１－２は、１本の配線を共有化している。このため、ＴＭＲ素子の高密度化と共に、ＴＭＲ素子の下地の平坦化（ＴＭＲ素子の特性の向上）を実現できる。

【０４４４】

▲４▼　デバイス構造（平面構造）

図３７乃至図４３は、図３６のデバイス構造における各配線層のレイアウトを示したものである。なお、図３６の断面は、図３７乃至図４３におけるＸＸＸＶＩ－ＸＸＸＶＩ線に沿う断面に対応している。

【０４４５】

図３７は、１段目の読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１－１は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１－１上には、コンタクトプラグ４２－１が配置される。

【０４４６】

図３８は、１段目の読み出しビット線及び１段目のＴＭＲ素子のレイアウトを示している。

読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０４４７】

読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１上には、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の長辺に平行な方向は、Ｘ方向となっている。

【０４４８】

読み出しビット線ＲＢＬ１－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－１に共通に接続され、読み出しビット線ＲＢＬ２－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－１に共通に接続され、読み出しビット線ＲＢＬ３－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－１に共通に接続され、読み出しビット線ＲＢＬ４－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－１に共通に接続される。

【０４４９】

コンタクトプラグ４２－１上には、導電層４３－１が配置される。

【０４５０】

図３９は、１段目の書き込みビット線／２段目の書き込みビット線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上及び導電層４３－１上には、方形パターンを有する上部電極４４－１が配置される。上部電極４４－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１及び導電層４３－１に接触する。

【０４５１】

上部電極４４－１の直上には、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２が配置される。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２は、Ｙ方向に延びている。

【０４５２】

図４０は、２段目の下部電極のレイアウトを示している。

書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部には、方形パターンを有する下部電極４４－２が配置される。上部電極４４－１と下部電極４４－２は、例えば、本例のように、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に対して対称に配置されてもよいし、又は、非対称に配置されてもよい。

【０４５３】

図４１は、２段目のＴＭＲ素子のレイアウトを示している。

方形パターンを有する下部電極４４－２上には、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２及び導電層４３－２が配置される。

【０４５４】

下部電極４４－２上のＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、Ｙ方向に並んで配置される。ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の長辺に平行な方向は、Ｘ方向となっている。

【０４５５】

図４２は、２段目の読み出しビット線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２上には、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）が配置される。

【０４５６】

読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０４５７】

読み出しビット線ＲＢＬ１－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－２に共通に接続され、読み出しビット線ＲＢＬ２－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－２に共通に接続され、読み出しビット線ＲＢＬ３－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－２に共通に接続され、読み出しビット線ＲＢＬ４－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－２に共通に接続される。

【０４５８】

導電層４３－２上には、コンタクトプラグ４２－２が配置される。

【０４５９】

図４３は、２段目の読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１－２は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１－２は、コンタクトプラグ４２－２に接触している。

【０４６０】

(6)　構造例６

▲１▼　概要

構造例６では、構造例５と同様に、２つのメモリセルアレイの同じ機能を有する配線を、１つの配線として共有化する場合について説明する。但し、構造例５では、書き込みビット線を共有化したのに対して、構造例６では、読み出しワード線を共有化する。

【０４６１】
このように、同じ機能を有する配線を共有化すれば、構造例３，４における切り替え回路や切り離し回路などが不要になるため、周辺回路が簡略化される。
【０４６２】
▲２▼　回路構造
構造例６は、複数段に積み重ねられたメモリセルアレイ１１－１，１１－２，・・・１１－ｍにおいて、下段のメモリセルアレイの読み出しワード線と、上段のメモリセルアレイの読み出しワード線とを一体化し、１本の読み出しワード線として共有化した構造に関する。
【０４６３】
図４４及び図４５は、本発明の構造例６としての磁気ランダムアクセスメモリの主要部を示している。
【０４６４】
[1]　１段目（下段）
図４４は、構造例６の１段目のセルアレイ構造を示している。
メモリセルアレイ１１－１は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。
【０４６５】
Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－１は、ｊ個のカラムを有する。
【０４６６】
ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１は、後述する２段目のメモリセルアレイの読み出しワード線ＲＷＬｉ－２としても機能する。読み出しワード線ＲＷＬｉ－１は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。
【０４６７】
１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－１に接続される。読み出しワード線ＲＷＬｉ－１の一端は、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。
【０４６８】
なお、カラム選択スイッチＣＳＷは、メモリセルアレイ１１－１の外部に配置されるものであるため、スイッチ素子（ＭＯＳトランジスタ）がメモリセルアレイ１１－１内に配置されることはない。
【０４６９】
読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１が配置される。
【０４７０】
読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向に延び、

その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（１）に接続される。共通データ線３０（１）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（１）に接続される。

【０４７１】

例えば、図１１８及び図１２８に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０４７２】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０４７３】

図１１８に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２８に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（１）－１，・・・２５（１）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０４７４】

読み出しビット線｛ＲＢＬ４（ｎ－１）＋１｝－１，ＲＢＬ｛４（ｎ－１）＋２｝－１，ＲＢＬ｛４（ｎ－１）＋３｝－１，ＲＢＬ｛４（ｎ－１）＋４｝－１は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１としても機能する。

【０４７５】

書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（１）を経由して、書き込みワード線ドライバ２３Ａ（１）に接続され、その他端は、書き込みワード線シンカー２４（１）－１，・・・２４（１）－ｎに接続される。

【０４７６】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－１が配置される。書き込みビット線ＷＢＬｉ－１は、１つのカラムに１本だけ配置される。

【０４７７】

書き込みビット線ＷＢＬｉ－１の一端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａ（１）に接続される。また、書き込みビット線ＷＢＬｉ－１の他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（１）に接続される。

【０４７８】

書き込み動作時には、回路ブロック２９Ａ（１），３１（１）が動作状態となる。そして、書き込みビット線ＷＢＬｉ－２には、書き込みデータに応じて、回路ブロック２９Ａ（１）に向う方向又は回路ブロック３１（１）に向う方向に、書き込み電流が流れる。

【０４７９】

ロウデコーダ２５（１）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（１）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－１，ＷＷＬ｛４（ｎ－１）＋２｝－１，ＷＷＬ｛４（ｎ－１）＋３｝－１，ＷＷＬ｛４（ｎ－１）＋４｝－１に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（１）－ｎに吸収される。

【０４８０】

ロウデコーダ２５（１）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０４８１】

[2]　２段目（上段）

図４５は、構造例６の２段目のセルアレイ構造を示している。

メモリセルアレイ１１－２は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。例えば、Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。

【０４８２】

Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１－２は、ｊ個のカラムを有する。

【０４８３】

ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、例えば、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２は、１段目のメモリセルアレイの読み出しワード線ＲＷＬｉ－１としても機能する。読み出しワード線ＲＷＬｉ－２は、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。

【０４８４】

１カラム内に配置されるブロックＢＫｉｋ内のＴＭＲ素子１２は、読み出し選択スイッチ（ＭＯＳトランジスタ）を経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）－２に接続される。読み出しワード線ＲＷＬｉ－２の一端は、例えば、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【０４８５】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２が配置される。

【０４８６】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０（２）に接続される。共通データ線３０（２）は、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂ（２）に接続される。

【０４８７】

例えば、図１１９及び図１２９に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０４８８】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０４８９】

図１１９に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから

構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１２９に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５（２）－１，・・・２５（２）－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０４９０】

読み出しビット線ＲＢＬ｛４（ｎ－１）＋１｝－２，ＲＢＬ｛４（ｎ－１）＋２｝－２，ＲＢＬ｛４（ｎ－１）＋３｝－２，ＲＢＬ｛４（ｎ－１）＋４｝－２は、Ｘ方向（ロウ方向）に延びており、書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２としても機能する。

【０４９１】

書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０（２）を経由して、書き込みワード線ドライバ２３Ａ（２）に接続され、その他端は、書き込みワード線シンカー２４（２）－１，・・・２４（２）－ｎに接続される。

【０４９２】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）－２が配置される。書き込みビット線ＷＢＬｉ－２は、１つのカラムに１本だけ配置される。

【０４９３】

書き込みビット線ＷＢＬｉ－２の一端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック２９Ａ（２）に接続される。また、書き込みビット線ＷＢＬｉ－２の他端は、カラムデコーダ及び書き込みビット線ドライバ／シンカーを含む回路ブロック３１（２）に接続される。

【０４９４】

書き込み動作時には、回路ブロック２９Ａ（２），３１（２）が動作状態となる。そして、書き込みビット線ＷＢＬｉ－２には、書き込みデータに応じて、回路ブロック２９Ａ（２）に向う方向又は回路ブロック３１（２）に向う方向に、書き込み電流が流れる。

【０４９５】

ロウデコーダ２５（２）－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みワード線ドライバ２３Ａ（２）は、選択されたロウ内の書き込みワード線ＷＷＬ｛４（ｎ－１）＋１｝－２，ＷＷＬ｛４（ｎ－１）＋２｝－２，ＷＷＬ｛４（ｎ－１）＋３｝－２，ＷＷＬ｛４（ｎ－１）＋４｝－２に書き込み電流を供給する。書き込み電流は、書き込みワード線シンカー２４（２）－ｎに吸収される。

【０４９６】

ロウデコーダ２５（２）－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。カラムデコーダ３２は、読み出し動作時、カラムアドレス信号ＣＳＬ１，・・・ＣＳＬｊに基づいて、複数のカラムのうちの１つを選択し、選択されたカラム内に配置されるカラム選択スイッチＣＳＷをオン状態にする。

【０４９７】

▲３▼　デバイス構造（断面構造）

構造例６のデバイス構造は、１段目のメモリセルアレイに構造例１のデバイス構造３（図８）を採用し、２段目のメモリセルアレイに構造例１のデバイス構造２（図４）を採用し、かつ、読み出しワード線を共有化した点に特徴を有する。

【０４９８】

図４６は、本発明の構造例６としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造を示している。

【０４９９】
[1]　１段目（メモリセルアレイ１１－１）
半導体基板４１の上部には、Ｙ方向に延びる書き込みビット線ＷＢＬ１－１が配置される。書き込みビット線ＷＢＬ１－１の直下には、スイッチ素子が配置されることがない。書き込みビット線ＷＢＬ１－１の上部には、例えば、方形パターンを有する下部電極４４－１が配置される。
【０５００】
下部電極４４－１上には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１が配置される。
【０５０１】
ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上には、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）が配置される。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に接触している。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向（ロウ方向）に延びている。
【０５０２】
ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、それぞれ独立に読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１に対して、４本の読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１が設けられる。
【０５０３】
下部電極４４－１上には、コンタクトプラグ４２－１及び導電層４３－１が配置される。コンタクトプラグ４２－１及び導電層４３－１は、下部電極４４－１と読み出しワード線ＲＷＬ１－１とを電気的に接続する。
【０５０４】
コンタクトプラグ４２－１は、下部電極４４－１の中央部に配置される。コンタクトプラグ４２－１に対して、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。
【０５０５】
読み出しワード線ＲＷＬ１－１は、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の上部に配置される。読み出しワード線ＲＷＬ１－１は、Ｙ方向（カラム方向）に延びている。
【０５０６】
[2]　２段目（メモリセルアレイ１１－２）
１段目のメモリセルアレイ１１－１における読み出しワード線ＲＷＬ１－１は、２段目のメモリセルアレイ１１－２における読み出しワード線ＲＷＬ１－２としても機能する。
【０５０７】
即ち、読み出し動作時において、１段目のメモリセルアレイ１１－１が選択された場合、及び、２段目のメモリセルアレイ１１－２が選択された場合に、読み出しワード線ＲＷＬ１－１／ＲＷＬ１－２は、接地点に短絡される。
【０５０８】
読み出しワード線ＲＷＬ１－２の上部には、例えば、方形パターンを有する上部電極４４－２が配置される。上部電極４４－２の直下には、Ｙ方向に並ぶ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。
【０５０９】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の直下には、読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）が配置される。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に接触している。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２は、Ｘ方向（ロウ方向）に延びている。

【０５１０】

ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２は、それぞれ独立に読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２に対して、４本の読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２が設けられる。

【０５１１】

上部電極４４－２と読み出しワード線ＲＷＬ１－２との間には、コンタクトプラグ４２－２及び導電層４３－２が配置される。コンタクトプラグ４２－２及び導電層４３－２は、上部電極４４－２と読み出しワード線ＲＷＬ１－２とを電気的に接続する。

【０５１２】

コンタクトプラグ４２－２は、上部電極４４－２の中央部に配置される。コンタクトプラグ４２－２に対して、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０５１３】

書き込みビット線ＷＢＬ１－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の上部に配置される。書き込みビット線ＷＢＬ１－２は、Ｙ方向（カラム方向）に延びている。

【０５１４】

[3]　その他

図３６の例では、メモリセルアレイ１１－１，１１－２は、半導体基板４１上に、２段に積み重ねられているが、原理的には、２×ａ（ａは自然数）段に積み重ねることができる。また、構造例５と構造例６とを組み合せて、３段以上（上限はない）に積み重ねることもできる。

【０５１５】

構造例６のデバイス構造によれば、下段のメモリセルアレイ１１－１と上段のメモリセルアレイ１１－２は、１本の配線を共有化している。このため、ＴＭＲ素子の高密度化と共に、ＴＭＲ素子の下地の平坦化（ＴＭＲ素子の特性の向上）を実現できる。

【０５１６】

▲４▼　デバイス構造（平面構造）

図４７乃至図５２は、図４６のデバイス構造における各配線層のレイアウトを示したものである。なお、図４６の断面は、図４７乃至図５２におけるＸＬＶＩ－ＸＬＶＩ線に沿う断面に対応している。

【０５１７】

図４７は、１段目の書き込みビット線のレイアウトを示している。

書き込みビット線ＷＢＬ１－１は、Ｙ方向に延びている。書き込みビット線ＷＢＬ１－１の上部には、方形パターンを有する下部電極４４－１が配置される。

【０５１８】

図４８は、１段目のＴＭＲ素子のレイアウトを示している。

方形パターンを有する下部電極４４－１上には、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１及び導電層４３－１が配置される。

【０５１９】

下部電極４４－１上のＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１は、Ｙ方向に並んで配置される。ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１の長辺に平行な方向は、Ｘ方向となっている。

【０５２０】

図４９は、１段目の読み出しビット線のレイアウトを示している。

ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ２－１，ＭＴＪ３－１，ＭＴＪ４－１上には、読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１（書き込みワード線ＷＷＬ１－１，ＷＷＬ２－１，ＷＷＬ３－１，ＷＷＬ４－１）が配置される。

【０５２１】

読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－１，ＲＢＬ２－１，ＲＢＬ３－１，ＲＢＬ４－１の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０５２２】

読み出しビット線ＲＢＬ１－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－１に共通に接続され、読み出しビット線ＲＢＬ２－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－１に共通に接続され、読み出しビット線ＲＢＬ３－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－１に共通に接続され、読み出しビット線ＲＢＬ４－１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－１に共通に接続される。

【０５２３】

導電層４３－１上には、コンタクトプラグ４２－１が配置される。

【０５２４】

図５０は、１段目の読み出しワード線／２段目の読み出しワード線のレイアウトを示している。

読み出しワード線ＲＷＬ１－１／ＲＷＬ１－２は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１－１／ＲＷＬ１－２は、コンタクトプラグ４２－１に接触している。また、読み出しワード線ＲＷＬ１－１／ＲＷＬ１－２上には、コンタクトプラグ４２－２が形成される。

【０５２５】

図５１は、２段目の読み出しビット線及び２段目のＴＭＲ素子のレイアウトを示している。

読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２（書き込みワード線ＷＷＬ１－２，ＷＷＬ２－２，ＷＷＬ３－２，ＷＷＬ４－２）は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２の間隔は、例えば、フォトリソグラフィにより加工できる最小寸法（又は設計ルール）に設定できる。

【０５２６】

読み出しビット線ＲＢＬ１－２，ＲＢＬ２－２，ＲＢＬ３－２，ＲＢＬ４－２上には、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２が配置される。ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２の長辺に平行な方向は、Ｘ方向となっている。

【０５２７】

読み出しビット線ＲＢＬ１－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１－２に共通に接続され、読み出しビット線ＲＢＬ２－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２－２に共通に接続され、読み出しビット線ＲＢＬ３－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３－２に共通に接続され、読み出しビット線ＲＢＬ４－２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４－２に共通に接続される。

【０５２８】

コンタクトプラグ４２－２上には、導電層４３－２が配置される。
【０５２９】
図５２は、２段目の書き込みビット線のレイアウトを示している。
ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２上及び導電層４３－２上には、方形パターンを有する上部電極４４－２が配置される。上部電極４４－２は、ＴＭＲ素子ＭＴＪ１－２，ＭＴＪ２－２，ＭＴＪ３－２，ＭＴＪ４－２及び導電層４３－２に接触する。
【０５３０】
上部電極４４－２の直上には、書き込みビット線ＷＢＬ１－２が配置される。書き込みビット線ＷＢＬ１－２は、Ｙ方向に延びている。
【０５３１】
(7)　構造例７
構造例７は、構造例１の変形例であり、構造例１のＴＭＲ素子の磁化容易軸を９０°回転させた点にある。
【０５３２】
構造例１では、ＴＭＲ素子の磁化容易軸は、Ｘ方向（ロウ方向）を向き、磁化困難軸は、Ｙ方向（カラム方向）を向いていた。即ち、ＴＭＲ素子は、Ｘ方向に長い長方形を有していた。これに対し、構造例７では、ＴＭＲ素子の磁化容易軸は、Ｙ方向を向き、磁化困難軸は、Ｘ方向を向いている。即ち、ＴＭＲ素子は、Ｙ方向に長い長方形を有している。
【０５３３】
磁気ランダムアクセスメモリの場合、基本的には、磁化困難軸に平行な方向に延びる書き込み線に流れる書き込み電流の向きを変えて、メモリセルにデータを書き込む（ピン層の磁化の向きを決定する）。
【０５３４】
従って、本例では、書き込み動作時、Ｘ方向に延びる書き込みビット線（読み出しビット線）に流れる書き込み電流の向きを制御することにより、メモリセルに書き込むデータを決定する。
【０５３５】
なお、一般的には、磁化困難軸（ＭＴＪの短軸に平行な方向）に延びる書き込み線を書き込みビット線と称している。
【０５３６】
▲１▼　回路構造
図５３は、本発明の構造例７としての磁気ランダムアクセスメモリの主要部を示している。
【０５３７】
メモリセルアレイ１１は、Ｘ方向及びＹ方向にアレイ状に配置される複数のＴＭＲ素子１２を有する。Ｘ方向には、ｊ個のＴＭＲ素子１２が配置され、Ｙ方向には、４×ｎ個のＴＭＲ素子１２が配置される。
【０５３８】
Ｙ方向に配置された４個のＴＭＲ素子１２は、１つの読み出しブロックＢＫｉｋ（ｉ＝１，・・・ｊ、ｋ＝１，・・・ｎ）を構成している。Ｘ方向に配置されるｊ個の読み出しブロックＢＫｉｋは、１つのロウを構成する。メモリセルアレイ１１は、ｎ個のロウを有する。また、Ｙ方向に配置されるｎ個の読み出しブロックＢＫｉｋは、１つのカラムを構成する。メモリセルアレイ１１は、ｊ個のカラムを有する。
【０５３９】
ブロックＢＫｉｋ内の４個のＴＭＲ素子１２の一端は、共通接続され、その接続点は、読み出し選択スイッチを経由することなく、直接、読み出しワード線ＲＷＬｉ（ｉ＝１，・・・ｊ）に接続される。読み出しワード線ＲＷＬｉは、Ｙ方向に延び、例えば、１カラム内に１本だけ設けられる。
【０５４０】

読み出しワード線ＲＷＬｉは、例えば、ＭＯＳトランジスタから構成されるカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続される。

【０５４１】

読み出し動作時、選択されたロウでは、ロウ選択スイッチＲＳＷ２がオン状態になり、選択されたカラムでは、カラム選択スイッチＣＳＷがオン状態になる。このため、読み出しワード線ＲＷＬｉの電位は、接地電位ＶＳＳになり、選択されたロウ及び選択されたカラムの交点に位置する読み出しブロックＢＫｉｋ内のＴＭＲ素子１２に読み出し電流が流れる。

【０５４２】

読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２の他端は、それぞれ独立に読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４に接続される。即ち、１つの読み出しブロックＢＫｉｋ内の４個のＴＭＲ素子１２に対応して、４本の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４が配置される。

【０５４３】

読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４は、Ｘ方向に延び、その一端は、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２を経由して、共通データ線３０Ａに接続される。共通データ線３０Ａは、読み出し回路（例えば、センスアンプ、セレクタ及び出力バッファを含む）２９Ｂに接続される。

【０５４４】

例えば、図１２０及び図１３０に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。

【０５４５】

ロウ選択スイッチＲＳＷ２には、ロウ選択線信号ＲＬｉ（ｉ＝１，・・・ｎ）が入力される。ロウデコーダ２５－１，・・・２５－ｎは、ロウ選択線信号ＲＬｉを出力する。

【０５４６】

図１２０に示すように、バイアストランジスタＢＴがＰチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉがそのバイアストランジスタＢＴに入力され、図１３０に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５－１，・・・２５－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０５４７】

本例では、読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４は、Ｘ方向（ロウ方向）に延びており、書き込みビット線ＷＢＬ４（ｎ－１）＋１，ＷＢＬ４（ｎ－１）＋２，ＷＢＬ４（ｎ－１）＋３，ＷＢＬ４（ｎ－１）＋４としても機能する。

【０５４８】

書き込みビット線ＷＢＬ４（ｎ－１）＋１，ＷＢＬ４（ｎ－１）＋２，ＷＢＬ４（ｎ－１）＋３，ＷＢＬ４（ｎ－１）＋４の一端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０Ａを経由して、書き込みビット線ドライバ／シンカー２３ＡＲに接続され、その他端は、ロウ選択スイッチＲＳＷ２及び共通データ線３０Ｂを経由して、書き込みビット線ドライバ／シンカー２３ＡＳに接続される。

【０５４９】

読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の近傍には、これら４つのＴＭＲ素子に共有されるＹ方向に延びる１本の書き込みワード線ＷＷＬｉ（ｉ＝１，・・・ｊ）が配置される。書き込みワード線ＷＷＬｉは、１つのカラムに１本だけ配置される。

【０５５０】

書き込みワード線ＷＷＬｉの一端は、カラムデコーダ及び書き込みワード線ドライバを含む回路ブロック２９ＡＲに接続され、その他端は、カラムデコーダ及び書き込みワード線

シンカーを含む回路ブロック３１Ｒに接続される。
【０５５１】
書き込み動作時には、回路ブロック２９ＡＲ，３１Ｒが動作状態となる。そして、書き込みワード線ＷＷＬｉには、回路ブロック２９ＡＲから回路ブロック３１Ｒに向う方向に、書き込み電流が流れる。
【０５５２】
ロウデコーダ２５－ｎは、書き込み動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。書き込みビット線ドライバ／シンカー２３ＡＲ、２３ＡＳは、選択されたロウ内の書き込みビット線ＷＢＬ４（ｎ－１）＋１，ＷＢＬ４（ｎ－１）＋２，ＷＢＬ４（ｎ－１）＋３，ＷＢＬ４（ｎ－１）＋４のうちの１つに、書き込みデータに応じた向きの書き込み電流を供給する。
【０５５３】
ロウデコーダ２５－ｎは、読み出し動作時、ロウアドレス信号に基づいて、複数のロウのうちの１つを選択する。
【０５５４】
カラムデコーダ３２は、読み出し動作時、カラムアドレス信号に基づいて複数のカラムのうちの１つを選択し、カラム選択線信号ＣＳＬ１，・・・ＣＳＬｊを出力する。選択されたカラム内に配置されるカラム選択スイッチＣＳＷは、オン状態となる。
【０５５５】
▲２▼　デバイス構造
次に、デバイス構造について説明する。
[1]　断面構造
図５４は、本発明の構造例７としての磁気ランダムアクセスメモリの１ブロック分のデバイス構造を示している。
【０５５６】
なお、図５４に示される要素には、図５３の回路の要素と対応がとれるように、図５３と同じ符号が付してある。
【０５５７】
半導体基板４１の上部には、Ｙ方向に延びる読み出しワード線ＲＷＬ１が配置される。読み出しワード線ＲＷＬ１の直下には、スイッチ素子が配置されることがない。読み出しワード線ＲＷＬ１の上部には、Ｙ方向に並んだ４個のＴＭＲ素子（ＭＴＪ(Magnetic Tunnel Junction)素子）ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。
【０５５８】
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端（本例では、上端）は、上部電極４４に共通に接続される。コンタクトプラグ４２及び導電層４３は、上部電極４４と読み出しワード線ＲＷＬ１とを電気的に接続する。
【０５５９】
上部電極４４と読み出しワード線ＲＷＬ１とのコンタクト部は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２とＴＭＲ素子ＭＴＪ３，ＭＴＪ４との間の領域に設けられている。このように、コンタクト部に対して、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。
【０５６０】
なお、導電層４３は、上部電極４４と一体化してもよい。即ち、導電層４３と上部電極４４は、同一材料で同時に形成することもできる。
【０５６１】
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の他端（本例では、下端）は、読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みビット線ＷＢＬ１，ＷＢＬ２，ＷＢＬ３，ＷＢＬ４）に電気的に接続される。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、Ｘ方向（ロウ方向）に延びている。

【０５６２】
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ独立に読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、４本の読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４が設けられる。
【０５６３】
書き込みワード線ＷＷＬ１は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の直上であって、かつ、その近傍に配置される。書き込みワード線ＷＷＬ１は、Ｙ方向（カラム方向）に延びている。
【０５６４】
本例では、読み出しブロックを構成する４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、１本の書き込みワード線ＷＷＬ１が設けられている。但し、これに代えて、例えば、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を積み重ね、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対応させて、４本の書き込みワード線を設けてもよい。
【０５６５】
また、本例では、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その上部に、Ｙ方向に延びる書き込みワード線ＷＷＬ１を配置し、その下部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置している。
【０５６６】
これに代えて、例えば、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、その下部に、Ｙ方向に延びる書き込みワード線ＷＷＬ１を配置し、その上部に、Ｘ方向に延びる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４を配置してもよい。
【０５６７】
このようなデバイス構造によれば、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ異なる読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みビット線ＷＢＬ１，ＷＢＬ２，ＷＢＬ３，ＷＢＬ４）に電気的に接続される。このため、１回の読み出しステップにより、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４のデータを一度に読み出すことが可能になる。
【０５６８】
また、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端は、共通接続され、その接続点は、読み出し選択スイッチを経由することなく、直接、読み出しワード線ＲＷＬ１に接続される。また、Ｙ方向に延びる書き込みワード線ＷＷＬ１は、読み出しブロック内の複数のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に共有される。このため、ＴＭＲ素子の高集積化及び特性の向上を実現できる。
【０５６９】
［平面構造］
図５５乃至図５７は、図５４のデバイス構造における各配線層のレイアウトを示したものである。なお、図５４の断面は、図５５乃至図５７におけるＬＩＶ－ＬＩＶ線に沿う断面に対応している。
【０５７０】
図５５は、読み出しワード線のレイアウトを示している。
読み出しワード線ＲＷＬ１は、Ｙ方向に延びている。読み出しワード線ＲＷＬ１上には、コンタクトプラグ４２が配置される。
【０５７１】
図５６は、読み出しビット線及びＴＭＲ素子のレイアウトを示している。
読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みビット線ＷＢＬ１，ＷＢＬ２，ＷＢＬ３，ＷＢＬ４）は、Ｘ方向に延びている。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４の間隔は、例えば、フォトリソグラフィにより加工でき

る最小寸法（又は設計ルール）に設定できる。
【０５７２】
読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４上には、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の磁化容易軸、即ち、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の長辺に平行な方向は、Ｙ方向となっている。
【０５７３】
読み出しビット線ＲＢＬ１は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ１に共通に接続され、読み出しビット線ＲＢＬ２は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ２に共通に接続され、読み出しビット線ＲＢＬ３は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ３に共通に接続され、読み出しビット線ＲＢＬ４は、Ｘ方向に配置されるＴＭＲ素子ＭＴＪ４に共通に接続される。
【０５７４】
コンタクトプラグ４２上には、導電層４３が配置される。
【０５７５】
図５７は、書き込みビット線のレイアウトを示している。
ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４上及び導電層４３上には、方形パターンを有する上部電極４４が配置される。上部電極４４は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４及び導電層４３に接触する。
【０５７６】
上部電極４４の直上には、書き込みワード線ＷＷＬ１が配置される。書き込みワード線ＷＷＬ１は、Ｙ方向に延びている。
【０５７７】
(8)　構造例８，９，１０
次に、構造例１を改良した構造例８，９，１０について説明する。
【０５７８】
▲１▼　構造例８
図５８は、本発明の構造例８としての磁気ランダムアクセスメモリの主要部を示している。
構造例８の特徴は、読み出し時に、読み出しブロックＢＫｉｋを構成する４つのＴＭＲ素子１２の一端にバイアス電位ＶＣを与えるようにした点にある。
【０５７９】
即ち、構造例１（図１）では、読み出しワード線ＲＷＬｉは、カラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに接続され、バイアス電位ＶＣは、読み出し回路２９Ｂで生成されるのに対して、構造例８では、読み出しワード線ＲＷＬｉは、カラム選択スイッチＣＳＷを経由して、バイアス線３４に接続され、バイアス電位ＶＣは、バイアス線３４に供給される。
【０５８０】
従って、読み出し動作時、バイアス線３４にバイアス電位ＶＣを与え、読み出し電流を、バイアス線３４からＴＭＲ素子１２に与えることができる。なお、読み出し動作以外の時（例えば、書き込み動作時など）、バイアス線３４には、接地電位ＶＳＳが与えられる。
【０５８１】
このように、構造例８では、読み出しワード線ＲＷＬｉの電位を変えることができるように構成されている。従って、例えば、読み出し動作時、読み出しワード線ＲＷＬｉにバイアス電位ＶＣを与え、読み出しブロックＢＫｉｋ内のＴＭＲ素子１２に読み出し電流を流すことができる。
【０５８２】
例えば、図１３１に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。図１３１に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアスト

ランジスタＢＴに入力される。ロウデコーダ２５－１，・・・２５－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。

【０５８３】

▲２▼　構造例９

図５９は、本発明の構造例９としての磁気ランダムアクセスメモリの主要部を示している。

構造例９の特徴は、メモリセルアレイの１つのロウに１つの書き込みワード線ドライバを設けた点にある。

【０５８４】

構造例１（図１）では、書き込みワード線ドライバ２３Ａは、メモリセルアレイ１１の全てのロウに共通に１つだけ設けられ、共通データ線（共通ドライバ線）３０に接続されている。しかし、この場合、書き込みワード線ドライバと書き込みワード線との間には、抵抗を有する要素、即ち、共通データ線及びロウ選択スイッチが接続されるため、それらによる電圧降下が大きくなり、書き込み電流が小さくなる。

【０５８５】

そこで、構造例９では、メモリセルアレイ１１の１つのロウに１つの書き込みワード線ドライバ３３－１，・・・３３－ｎを設けている。

【０５８６】

即ち、メモリセルアレイ１１の各ロウにおいて、ロウ選択スイッチＲＳＷ２と書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４との間に、書き込みワード線ドライバ３３－１，・・・３３－ｎを接続している。

【０５８７】

この場合、書き込みワード線ドライバ３３－１，・・・３３－ｎは、書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４のみ駆動すればよい。

【０５８８】

従って、書き込みワード線ドライバ３３－１，・・・３３－ｎの駆動力を小さくできると共に、低消費電力化及び高速動作化にも貢献できる。

【０５８９】

なお、読み出し電流は、書き込み電流に比べて、はるかに小さいため、ロウ選択スイッチＲＳＷ２の駆動力も、大きくする必要がない。

【０５９０】

書き込みワード線ドライバ３３－１，・・・３３－ｎは、ロウデコーダ２５－１，・・・２５－ｎの出力信号（ワード線イネーブル信号）ＷＬＥＮ１，・・・ＷＬＥＮ４により制御される。即ち、書き込み動作時、ロウデコーダ２５－１，・・・２５－ｎは、活性化され、１つのロウを選択する。選択されたロウでは、出力信号（ワード線イネーブル信号）ＷＬＥＮ１，・・・ＷＬＥＮ４のうちの１つが“Ｈ”となる。

【０５９１】

また、構造例１では、ロウ選択スイッチＲＳＷ２は、書き込み動作時にのみ活性化されるロウデコーダ２５－１，・・・２５－ｎの出力信号により制御されていたが、構造例９では、ロウ選択スイッチＲＳＷ２は、ロウデコーダ及び読み出し線ドライバを含む回路ブロック２３Ｂ－１，・・・２３Ｂ－ｎの出力信号により制御される。

【０５９２】

即ち、ロウ選択スイッチ（ＭＯＳトランジスタ）ＲＳＷ２のゲートは、読み出し線ＲＷ１，・・・ＲＷｎに接続される。

【０５９３】

このような構造にした理由は、構造例９では、書き込みワード線ドライバ３３－１，・・・３３－ｎがロウごとに設けられるため、書き込み動作時には、全ての書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４

（ｎ－１）＋４を共通データ線３０から切り離す必要があるためである。
【０５９４】
即ち、ロウデコーダ及び読み出し線ドライバを含む回路ブロック２３Ｂ－１，・・・２３Ｂ－ｎは、読み出し動作時のみに活性化されるため、書き込み動作時には、全てのロウのロウ選択スイッチＲＳＷ２は、オフ状態となり、全ての書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４は、共通データ線３０から切り離される。
【０５９５】
例えば、図１３２に示すように、読み出しビット線は、ビット線をＶＣに設定するバイアストランジスタＢＴに接続される。図１３２に示すように、バイアストランジスタＢＴがＮチャネルＭＯＳトランジスタから構成されるとき、ＲＬｉの反転信号がそのバイアストランジスタＢＴに入力される。ロウデコーダ２５－１，・・・２５－ｎは、ロウ選択線信号ＲＬｉ及びその反転信号を出力する。
【０５９６】
▲３▼　構造例１０
図６０は、本発明の構造例１０としての磁気ランダムアクセスメモリの主要部を示している。
構造例１０の特徴は、１カラム（Ｙ方向）内の複数又は全ての読み出しブロックＢＫ１ｘ，ＢＫ１（ｘ＋１）内のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４を共有化した点にある。
【０５９７】
即ち、構造例１では、読み出しブロックごとに、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４を設けている。しかし、１カラム内の読み出しブロック内のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４は、読み出しワード線ＲＷＬ１により互いに短絡されている。
【０５９８】
従って、１カラム内の読み出しブロック内のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４は、互いに短絡されていても構わない。但し、１ロウ（Ｘ方向）内の読み出しブロック内のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４は、互いに分離されていなければならない。
【０５９９】
そこで、構造例１０では、１カラム内の複数又は全ての読み出しブロックＢＫ１ｘ，ＢＫ１（ｘ＋１）内のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の上部電極４４を共有化する。
【０６００】
構造例１０によれば、読み出しブロックごとに、コンタクトプラグ４２を設ける必要がないため、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の高密度化に貢献できる。つまり、理論的には、読み出しワード線ＲＷＬ１と共有化された上部電極４４との間には、最低、１つのコンタクトプラグ４２を設ければ足りる。但し、実際は、配線抵抗などを考慮し、コンタクトプラグ４２は、１カラム内に、等間隔に、複数個配置するのが好ましい。
【０６０１】
なお、構造例１０は、構造例１の変形例として説明したが、構造例２～９の全てに適用できることは、言うまでもない。
【０６０２】
(9)　その他
以上のように、本発明は、読み出しブロックを構成する複数のＴＭＲ素子（又はＭＴＪ素子）の一端が共通接続され、かつ、その他端がそれぞれ独立に読み出しビット線に接続されるセルアレイ構造を有する磁気ランダムアクセスメモリに適用される。ここで、１つの読み出しブロック内に１つの選択スイッチ（例えば、ＭＯＳトランジスタ）が配置されて

いると、ＴＭＲ素子の高集積化を実現し難くなる。

【０６０３】

通常、選択スイッチは、半導体基板の表面領域に形成され、ＴＭＲ素子は、その選択スイッチの上部に形成される。この場合、選択スイッチとＴＭＲ素子を電気的に接続するために、コンタクトホールが必要となる。つまり、コンタクトホールが形成される領域には、ＴＭＲ素子を配置することができないため、その分だけ、メモリセルアレイの面積が大きくなる。

【０６０４】

一方、磁気ランダムアクセスメモリのメモリセルを構成するＴＭＲ素子の抵抗値は、十分に大きく、読み出し電流は、書き込み電流に比べると、非常に小さくなっている。つまり、仮に、読み出しブロック内の選択トランジスタを省略したとしても、非選択のブロック内のＴＭＲ素子に読み出し電流が流れることによる消費電流の増大は、大きな問題とならない。

【０６０５】

そこで、本発明では、第一に、読み出しブロックを構成する複数のＴＭＲ素子の一端がそれぞれ独立に読み出しビット線に接続されるセルアレイ構造において、読み出しブロックを選択するための選択スイッチを省略する。即ち、メモリセルアレイ内（ＴＭＲ素子の直下）には、選択スイッチ（ＭＯＳトランジスタ）が配置されることがない。

【０６０６】

本発明の特徴によれば、メモリセルアレイ内に選択スイッチが存在しないため、ＴＭＲ素子を高密度に配置することができる。また、ＴＭＲ素子の直下に、選択スイッチ（半導体素子）が存在しないため、ＴＭＲ素子の下地の平坦度を向上でき、ＴＭＲ素子の特性（ＭＲ比の均一性など）を向上できる。

【０６０７】

また、ＴＭＲ素子の下地の平坦度をさらに向上させるために、ＴＭＲ素子の直下に、ダミーパターン、例えば、実際に配線として機能しないダミー配線パターンを配置する。

【０６０８】

通常、製造コスト（ＰＥＰの回数に比例する）を下げるため、メモリセルアレイ部の部材（ＴＭＲ素子など）の加工と周辺回路部の部材（配線など）の加工は、できるだけ同時に実行される。しかし、ＴＭＲ素子の直下に選択スイッチが存在しないと、メモリセルアレイ部と周辺回路部との間に段差が発生する。この段差は、フォトリソグラフィの加工精度を低下させる。

【０６０９】

そこで、ＴＭＲ素子の直下にダミーパターンを配置し、ＴＭＲ素子の下地の平坦度を向上させる。具体的には、メモリセルアレイ部と周辺回路部との間の段差をなくす。なお、ダミーパターンは、規則的（例えば、所定パターンの繰り返し）、又は、全体として一様となるようなパターンとする。

【０６１０】

また、読み出しブロック内の複数のＴＭＲ素子が、半導体基板の表面に平行な方向、即ち、横方向に、一列に並んでいる場合、メモリセルアレイを複数段に積み重ねる。読み出しブロック内に選択スイッチが存在しないと、メモリセルアレイを複数段に積み重ねることが可能になる。

【０６１１】

ＴＭＲ素子は、半導体基板の表面に垂直な方向、即ち、縦方向にも配置される。つまり、ＴＭＲ素子が三次元的に配置されることになるため、二次元的なセルアレイ構造に比べて、さらに、ＴＭＲ素子の高密度化に貢献することができる。また、上段のメモリセルアレイと下段のメモリセルアレイとの間で、所定の配線を共有化すれば、製造コストの低減や、各段の絶縁層の平坦化（ＴＭＲ素子の特性向上）なども実現できる。

【０６１２】

これらの特徴を有するセルアレイ構造では、読み出しブロックを構成する複数のＴＭＲ素

子（又はＭＴＪ素子）の一端には、読み出しビット線としてのみ機能する配線が接続される。つまり、書き込みのための２本の書き込み線のうちの１本は、それら複数のＴＭＲ素子に電気的に接続されることがない。

【０６１３】

従って、書き込み動作時に、２本の書き込み線の配線抵抗により、それらの間に電位差が生じたとしても、ＴＭＲ素子の両端に、その電位差が発生することはない。つまり、本発明に関わるデバイス構造によれば、クロスポイント型セルアレイ構造において生じるような書き込み動作時の絶縁破壊（ＴＭＲ素子のトンネルバリア層の破壊）が問題となることはない。

【０６１４】

なお、磁気ランダムアクセスメモリに使用されるスイッチとしては、例えば、ＭＩＳ(Metal Insulator Semiconductor)トランジスタ(MOSFETを含む)、ＭＥＳ(Metal Semiconductor)トランジスタ、接合(Junction)トランジスタ、バイポーラトランジスタ、ダイオードなどを使用できる。

【０６１５】

２．　ＴＭＲ素子の構造例

図６１乃至図６３は、ＴＭＲ素子の構造例を示している。

図６１の例に示すＴＭＲ素子は、最も基本的な構造であり、２つの強磁性層とこれらに挟まれるトンネルバリア層を有する。

【０６１６】

２つの強磁性層のうち、磁化の向きが固定される固定層（ピン層）には、磁化の向きを固定するための反強磁性層が付加される。２つの強磁性層のうち、磁化の向きを自由に変えることができる自由層（記憶層）は、書き込みワード線と書き込みビット線によって作られる合成磁界により、磁化の向きが決定される。

【０６１７】

図６２の例に示すＴＭＲ素子は、図６１の例のＴＭＲ素子に比べて、バイアス電圧を増大させることを目的に、ＴＭＲ素子内に２つのトンネルバリア層を設けたものである。

【０６１８】

図６２のＴＭＲ素子は、図６１のＴＭＲ素子を２個直列接続した構造（ダブルジャンクション構造）を有する、と言うこともできる。

【０６１９】

本例では、ＴＭＲ素子は、３つの強磁性層を有し、それらの間には、トンネルバリア層が配置される。両端の２つの強磁性層（ピン層）には、それぞれ反強磁性層が付加されている。３つの強磁性層のうち、磁化の向きを自由に変えることができる自由層（記憶層）は、真ん中の強磁性層となっている。

【０６２０】

図６３の例に示すＴＭＲ素子は、図６１の例のＴＭＲ素子に比べて、記憶層としての強磁性層内における磁力線を閉じ易くしたものである。

【０６２１】

本例のＴＭＲ素子は、図６１のＴＭＲ素子の記憶層を、２つの強磁性層とそれらの間に挟まれる非磁性金属層（例えば、アルミニウム）とから構成される記憶層に代えたものと言うことができる。

【０６２２】

ＴＭＲ素子の記憶層が、２つの強磁性層と、それらの間に挟まれる非磁性金属層とからなる３層構造を有することにより、記憶層を構成する２つの強磁性層内で磁力線が閉じ易くなる。即ち、記憶層を構成する２つの強磁性層内に反磁界成分が発生することを防止できるため、ＭＲ比の向上などを実現できる。

【０６２３】

以上、ＴＭＲ素子の構造例について説明したが、本発明（回路構造、デバイス構造、読み出し動作原理、読み出し回路及び製造方法）に関しては、ＴＭＲ素子の構造は、特に、限

定されるものではない。上述した３つの構造例は、単に、ＴＭＲ素子の構造の代表例として、示したに過ぎない。

【０６２４】

３．　周辺回路の回路例

以下、書き込みワード線ドライバ／シンカーの回路例、書き込みビット線ドライバ／シンカーの回路例、読み出しワード線ドライバの回路例、ロウデコーダの回路例、カラムデコーダの回路例、及び、読み出し回路（センスアンプを含む）の回路例について、順次、説明する。

【０６２５】

(1)　書き込みワード線ドライバ／シンカー

図６４は、書き込みワード線ドライバ／シンカーの回路例を示している。

読み出しブロックは、４つのＴＭＲ素子から構成され、これら４つのＴＭＲ素子は、カラムアドレス信号の下位２ビットＣＡ０，ＣＡ１により選択されるものと仮定する。同図では、書き込みワード線シンカーについては、１ロウ分のみを示している。

【０６２６】

書き込みワード線ドライバ２３Ａは、ＰチャネルＭＯＳトランジスタＱＰ１，ＱＰ２，ＱＰ３，ＱＰ４及びＮＡＮＤゲート回路ＮＤ１，ＮＤ２，ＮＤ３，ＮＤ４を含んでいる。書き込みワード線シンカー２４－ｎは、ＮチャネルＭＯＳトランジスタＱＮ１，ＱＮ２，ＱＮ３，ＱＮ４から構成される。

【０６２７】

ＰチャネルＭＯＳトランジスタＱＰ１のソースは、電源端子ＶＤＤに接続され、そのドレインは、共通データ線（共通ドライバ線）３０及びロウ選択スイッチＲＳＷ２を経由して、書き込みワード線ＷＷＬ４（ｎ－１）＋１の一端に接続される。ＮＡＮＤゲート回路ＮＤ１の出力端子は、ＰチャネルＭＯＳトランジスタＱＰ１のゲートに接続される。ＮチャネルＭＯＳトランジスタＱＮ１のソースは、接地端子ＶＳＳに接続され、そのドレインは、書き込みワード線ＷＷＬ４（ｎ－１）＋１の他端に接続される。

【０６２８】

ＮＡＮＤゲート回路ＮＤ１の出力信号が“０”のとき、選択されたロウ（ロウ選択スイッチＲＳＷ２がオン状態となるロウ）内の書き込みワード線ＷＷＬ４（ｎ－１）＋１に書き込み電流が流れる。

【０６２９】

ＰチャネルＭＯＳトランジスタＱＰ２のソースは、電源端子ＶＤＤに接続され、そのドレインは、共通データ線（共通ドライバ線）３０及びロウ選択スイッチＲＳＷ２を経由して、書き込みワード線ＷＷＬ４（ｎ－１）＋２の一端に接続される。ＮＡＮＤゲート回路ＮＤ２の出力端子は、ＰチャネルＭＯＳトランジスタＱＰ２のゲートに接続される。ＮチャネルＭＯＳトランジスタＱＮ２のソースは、接地端子ＶＳＳに接続され、そのドレインは、書き込みワード線ＷＷＬ４（ｎ－１）＋２の他端に接続される。

【０６３０】

ＮＡＮＤゲート回路ＮＤ２の出力信号が“０”のとき、選択されたロウ（ロウ選択スイッチＲＳＷ２がオン状態となるロウ）内の書き込みワード線ＷＷＬ４（ｎ－１）＋２に書き込み電流が流れる。

【０６３１】

ＰチャネルＭＯＳトランジスタＱＰ３のソースは、電源端子ＶＤＤに接続され、そのドレインは、共通データ線（共通ドライバ線）３０及びロウ選択スイッチＲＳＷ２を経由して、書き込みワード線ＷＷＬ４（ｎ－１）＋３の一端に接続される。ＮＡＮＤゲート回路ＮＤ３の出力端子は、ＰチャネルＭＯＳトランジスタＱＰ３のゲートに接続される。ＮチャネルＭＯＳトランジスタＱＮ３のソースは、接地端子ＶＳＳに接続され、そのドレインは、書き込みワード線ＷＷＬ４（ｎ－１）＋３の他端に接続される。

【０６３２】

ＮＡＮＤゲート回路ＮＤ３の出力信号が“０”のとき、選択されたロウ（ロウ選択スイッ

チＲＳＷ２がオン状態となるロウ）内の書き込みワード線ＷＷＬ４（ｎ－１）＋３に書き込み電流が流れる。

【０６３３】

ＰチャネルＭＯＳトランジスタＱＰ４のソースは、電源端子ＶＤＤに接続され、そのドレインは、共通データ線（共通ドライバ線）３０及びロウ選択スイッチＲＳＷ２を経由して、書き込みワード線ＷＷＬ４（ｎ－１）＋４の一端に接続される。ＮＡＮＤゲート回路ＮＤ４の出力端子は、ＰチャネルＭＯＳトランジスタＱＰ４のゲートに接続される。ＮチャネルＭＯＳトランジスタＱＮ４のソースは、接地端子ＶＳＳに接続され、そのドレインは、書き込みワード線ＷＷＬ４（ｎ－１）＋４の他端に接続される。

【０６３４】

ＮＡＮＤゲート回路ＮＤ４の出力信号が“０”のとき、選択されたロウ（ロウ選択スイッチＲＳＷ２がオン状態となるロウ）内の書き込みワード線ＷＷＬ４（ｎ－１）＋４に書き込み電流が流れる。

【０６３５】

ＮＡＮＤゲート回路ＮＡ１，ＮＡ２，ＮＡ３，ＮＡ４には、書き込み信号ＷＲＩＴＥが入力される。書き込み信号ＷＲＩＴＥは、書き込み動作時に“Ｈ”となる。さらに、ＮＡＮＤゲート回路ＮＡ１，ＮＡ２，ＮＡ３，ＮＡ４には、それぞれ異なる下位カラムアドレス信号ＣＡ０，／ＣＡ０，ＣＡ１，／ＣＡ１が入力される。

【０６３６】

即ち、本例では、カラムアドレス信号ｂＣＡ０，ｂＣＡ１は、選択されたロウ内の４本の書き込みワード線（読み出しビット線）のうち、１本の書き込みワード線ＷＷＬ４（ｎ－１）＋１を選択するために用いられ、ＮＡＮＤ回路ＮＤ１に入力される。

【０６３７】

カラムアドレス信号ＣＡ０，ｂＣＡ１は、選択されたロウ内の４本の書き込みワード線（読み出しビット線）のうち、１本の書き込みワード線ＷＷＬ４（ｎ－１）＋２を選択するために用いられ、ＮＡＮＤ回路ＮＤ２に入力される。

【０６３８】

カラムアドレス信号ｂＣＡ０，ＣＡ１は、選択されたロウ内の４本の書き込みワード線（読み出しビット線）のうち、１本の書き込みワード線ＷＷＬ４（ｎ－１）＋３を選択するために用いられ、ＮＡＮＤ回路ＮＤ３に入力される。

【０６３９】

カラムアドレス信号ＣＡ０，ＣＡ１は、選択されたロウ内の４本の書き込みワード線（読み出しビット線）のうち、１本の書き込みワード線ＷＷＬ４（ｎ－１）＋４を選択するために用いられ、ＮＡＮＤ回路ＮＤ４に入力される。

【０６４０】

なお、ｂＣＡ０及びｂＣＡ１は、ＣＡ０及びＣＡ１のレベルを反転したレベルを有する反転信号である。

【０６４１】

このような書き込みワード線ドライバ／シンカーにおいては、書き込み動作時、書き込み信号ＷＲＩＴＥが“Ｈ”になり、例えば、４つのＮＡＮＤゲート回路ＮＤ１，ＮＤ２，ＮＤ３，ＮＤ４のうちの１つの出力信号が“Ｌ”となる。

【０６４２】

例えば、ＣＡ０及びＣＡ１が共に“０”の場合、ＮＡＮＤゲート回路ＮＤ１の入力信号が全て“１”となり、ＮＡＮＤゲート回路ＮＤ１の出力信号が“０”となる。その結果、ＰチャネルＭＯＳトランジスタＱＰ１がオン状態となり、書き込みワード線ＷＷＬ４（ｎ－１）＋１に書き込み電流が流れる。

【０６４３】

また、ＣＡ０が“１”、ＣＡ１が“０”の場合、ＮＡＮＤゲート回路ＮＤ２の入力信号が全て“１”となり、ＮＡＮＤゲート回路ＮＤ２の出力信号が“０”となる。その結果、ＰチャネルＭＯＳトランジスタＱＰ２がオン状態となり、書き込みワード線ＷＷＬ４（ｎ－

１）＋２に書き込み電流が流れる。
【０６４４】
また、ＣＡ０が“０”、ＣＡ１が“１”の場合、ＮＡＮＤゲート回路ＮＤ３の入力信号が全て“１”となり、ＮＡＮＤゲート回路ＮＤ３の出力信号が“０”となる。その結果、ＰチャネルＭＯＳトランジスタＱＰ３がオン状態となり、書き込みワード線ＷＷＬ４（ｎ－１）＋３に書き込み電流が流れる。
【０６４５】
また、ＣＡ０及びＣＡ１が共に“１”の場合、ＮＡＮＤゲート回路ＮＤ４の入力信号が全て“１”となり、ＮＡＮＤゲート回路ＮＤ４の出力信号が“０”となる。その結果、ＰチャネルＭＯＳトランジスタＱＰ４がオン状態となり、書き込みワード線ＷＷＬ４（ｎ－１）＋４に書き込み電流が流れる。
【０６４６】
(2)　書き込みビット線ドライバ／シンカー
図６５は、書き込みビット線ドライバ／シンカーの回路例を示している。
書き込みビット線ドライバ／シンカー２９Ａは、ＰチャネルＭＯＳトランジスタＱＰ５，ＱＰ６、ＮチャネルＭＯＳトランジスタＱＮ５，ＱＮ６、ＮＡＮＤゲート回路ＮＤ５，ＮＤ６、ＡＮＤゲート回路ＡＤ１，ＡＤ２及びインバータＩＮＶ１，ＩＮＶ２から構成される。
【０６４７】
ＰチャネルＭＯＳトランジスタＱＰ５は、電源端子ＶＤＤと書き込みビット線ＷＢＬ１の一端との間に接続される。ＮＡＮＤゲート回路ＮＤ５の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ５のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ５は、書き込みビット線ＷＢＬ１の一端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ１の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ５のゲートに供給される。
【０６４８】
ＰチャネルＭＯＳトランジスタＱＰ６は、電源端子ＶＤＤと書き込みビット線ＷＢＬｊの一端との間に接続される。ＮＡＮＤゲート回路ＮＤ６の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ６のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ６は、書き込みビット線ＷＢＬｊの一端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ２の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ６のゲートに供給される。
【０６４９】
書き込みビット線ドライバ／シンカー３１は、ＰチャネルＭＯＳトランジスタＱＰ７，ＱＰ８、ＮチャネルＭＯＳトランジスタＱＮ７，ＱＮ８、ＮＡＮＤゲート回路ＮＤ７，ＮＤ８、ＡＮＤゲート回路ＡＤ３，ＡＤ４及びインバータＩＮＶ３，ＩＮＶ４から構成される。
【０６５０】
ＰチャネルＭＯＳトランジスタＱＰ７は、電源端子ＶＤＤと書き込みビット線ＷＢＬ１の他端との間に接続される。ＮＡＮＤゲート回路ＮＤ７の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ７のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ７は、書き込みビット線ＷＢＬ１の他端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ３の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ７のゲートに供給される。
【０６５１】
ＰチャネルＭＯＳトランジスタＱＰ８は、電源端子ＶＤＤと書き込みビット線ＷＢＬｊの他端との間に接続される。ＮＡＮＤゲート回路ＮＤ８の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ８のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ８は、書き込みビット線ＷＢＬｊの他端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ４の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ８のゲートに供給される。
【０６５２】
このような構成を有する書き込みビット線ドライバ／シンカー２９Ａ，３１において、ＮＡＮＤゲート回路ＮＤ５の出力信号が“０”、ＡＮＤゲート回路ＡＤ３の出力信号が“１

”のとき、書き込みビット線ＷＢＬ１には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。

【０６５３】

また、ＮＡＮＤゲート回路ＮＤ７の出力信号が“０”、ＡＮＤゲート回路ＡＤ１の出力信号が“１”のとき、書き込みビット線ＷＢＬ１には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。

【０６５４】

書き込みビット線ドライバ／シンカー２９Ａ，３１においては、書き込み動作時、書き込み信号ＷＲＩＴＥは、“１”となる。また、選択されたカラムでは、上位カラムアドレス信号の全てのビットが“１”となる。従って、選択されたカラム内の書き込みビット線ＷＢＬｉ（ｉ＝１，・・・ｊ）には、書き込みデータＤＡＴＡの値に応じた向きを有する書き込み電流が流れる。

【０６５５】

選択されたカラム内の書き込みビット線ＷＢＬｉに流れる書き込み電流の向きは、書き込みデータＤＡＴＡの値に応じて決定される。

【０６５６】

例えば、書き込みビット線ＷＢＬ１が選択されているとき、書き込みデータＤＡＴＡが“１”であると、ＮＡＮＤゲート回路ＮＤ５の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ３の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ１には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。

【０６５７】

逆に、書き込みデータＤＡＴＡが“０”であると、ＮＡＮＤゲート回路ＮＤ７の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ１の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ１には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。

【０６５８】

(3)　ロウデコーダ

図６６は、ロウデコーダの回路例を示している。

ロウデコーダ２５－１は、例えば、以下のような構造にすることができる。なお、同図では、１ロウ分のロウデコーダについてのみ示している。

【０６５９】

ロウデコーダ２５－１は、ＡＮＤゲート回路ＡＤ１１から構成される。ＡＮＤゲート回路ＡＤ１１には、ロウアドレス信号が入力される。選択されたロウでは、ロウアドレス信号の全てのビットが“Ｈ”となるため、ロウデコーダ２５－１の出力信号ＲＬ１が“Ｈ”となる。

【０６６０】

(4)　カラムデコーダ＆読み出しカラム選択線ドライバ

図６７は、カラムデコーダ＆読み出し選択ドライバの回路例を示している。　同図では、メモリセルアレイの１カラム分のカラムデコーダ＆読み出しカラム選択線ドライバについてのみ示している。

【０６６１】

カラムデコーダ＆読み出しカラム選択線ドライバ３２は、ＡＮＤゲート回路ＡＤ１０から構成される。ＡＮＤゲート回路ＡＤ１０には、読み出し信号ＲＥＡＤ及び上位カラムアドレス信号が入力される。

【０６６２】

読み出し信号は、読み出し動作時に、“Ｈ”となる信号である。つまり、読み出し動作以外のモードで、カラムデコーダ＆読み出しカラム選択線ドライバ３２の出力信号（カラム選択信号）ＣＳＬ１の電位が“Ｈ”となることはない。読み出し動作時、選択されたカラムでは、カラムアドレス信号の全ビットは、“Ｈ”となるため、カラムデコーダ＆読み出

しカラム選択線ドライバ３２の出力信号ＣＳＬ１の電位は、“Ｈ”となる。

【０６６３】

(5)　書き込みビット線ドライバ／シンカー

構造例７（図５３）において使用する書き込みビット線ドライバ／シンカーの回路例について説明する。

【０６６４】

図６８及び図６９は、書き込みビット線ドライバ／シンカーの回路例を示している。

書き込みビット線ドライバ／シンカー２３ＡＲは、ＰチャネルＭＯＳトランジスタＱＰ５，ＱＰ６，ＱＰ７，ＱＰ８、ＮチャネルＭＯＳトランジスタＱＮ５，ＱＮ６，ＱＮ７，ＱＮ８、ＮＡＮＤゲート回路ＮＤ５，ＮＤ６，ＮＤ７，ＮＤ８、ＡＮＤゲート回路ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４及びインバータＩＮＶ１，ＩＮＶ２，ＩＮＶ３，ＩＮＶ４から構成される。

【０６６５】

ＰチャネルＭＯＳトランジスタＱＰ５は、電源端子ＶＤＤと共通データ線３０Ａとの間に接続される。ＮＡＮＤゲート回路ＮＤ５の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ５のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ５は、共通データ線３０Ａと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ１の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ５のゲートに供給される。

【０６６６】

ＰチャネルＭＯＳトランジスタＱＰ６は、電源端子ＶＤＤと共通データ線３０Ａとの間に接続される。ＮＡＮＤゲート回路ＮＤ６の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ６のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ６は、共通データ線３０Ａと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ２の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ６のゲートに供給される。

【０６６７】

ＰチャネルＭＯＳトランジスタＱＰ７は、電源端子ＶＤＤと共通データ線３０Ａとの間に接続される。ＮＡＮＤゲート回路ＮＤ７の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ７のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ７は、共通データ線３０Ａと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ３の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ７のゲートに供給される。

【０６６８】

ＰチャネルＭＯＳトランジスタＱＰ８は、電源端子ＶＤＤと共通データ線３０Ａとの間に接続される。ＮＡＮＤゲート回路ＮＤ８の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ８のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ８は、共通データ線３０Ａと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ４の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ８のゲートに供給される。

【０６６９】

書き込みビット線ドライバ／シンカー２３ＡＳは、ＰチャネルＭＯＳトランジスタＱＰ９，ＱＰ１０，ＱＰ１１，ＱＰ１２、ＮチャネルＭＯＳトランジスタＱＮ９，ＱＮ１０，ＱＮ１１，ＱＮ１２、ＮＡＮＤゲート回路ＮＤ９，ＮＤ１０，ＮＤ１１，ＮＤ１２、ＡＮＤゲート回路ＡＤ５，ＡＤ６，ＡＤ７，ＡＤ８及びインバータＩＮＶ５，ＩＮＶ６，ＩＮＶ７，ＩＮＶ８から構成される。

【０６７０】

ＰチャネルＭＯＳトランジスタＱＰ９は、電源端子ＶＤＤと共通データ線３０Ｂとの間に接続される。ＮＡＮＤゲート回路ＮＤ９の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ９のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ９は、共通データ線３０Ｂと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ５の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ９のゲートに供給される。

【０６７１】

ＰチャネルＭＯＳトランジスタＱＰ１０は、電源端子ＶＤＤと共通データ線３０Ｂとの間

に接続される。ＮＡＮＤゲート回路ＮＤ１０の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１０のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ１０は、共通データ線３０Ｂと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ６の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ１０のゲートに供給される。

【０６７２】

ＰチャネルＭＯＳトランジスタＱＰ１１は、電源端子ＶＤＤと共通データ線３０Ｂとの間に接続される。ＮＡＮＤゲート回路ＮＤ１１の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１１のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ１１は、共通データ線３０Ｂと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ７の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ１１のゲートに供給される。

【０６７３】

ＰチャネルＭＯＳトランジスタＱＰ１２は、電源端子ＶＤＤと共通データ線３０Ｂとの間に接続される。ＮＡＮＤゲート回路ＮＤ１２の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１２のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ１２は、共通データ線３０Ｂと接地端子ＶＳＳとの間に接続される。ＡＮＤゲート回路ＡＤ８の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ１２のゲートに供給される。

【０６７４】

このような構成を有する書き込みビット線ドライバ／シンカー２３ＡＲ，２３ＡＳにおいて、例えば、ＮＡＮＤゲート回路ＮＤ５の出力信号が“０”、ＡＮＤゲート回路ＡＤ５の出力信号が“１”のとき、ロウ選択スイッチＲＳＷ２により選択されたロウ内の書き込みビット線ＷＢＬ４（ｎ－１）＋１には、書き込みビット線ドライバ／シンカー２３ＡＲから書き込みビット線ドライバ／シンカー２３ＡＳへ向う書き込み電流が流れる。

【０６７５】

また、例えば、ＮＡＮＤゲート回路ＮＤ９の出力信号が“０”、ＡＮＤゲート回路ＡＤ１の出力信号が“１”のとき、ロウ選択スイッチＲＳＷ２により選択されたロウ内の書き込みビット線ＷＢＬ４（ｎ－１）＋１には、書き込みビット線ドライバ／シンカー２３ＡＳから書き込みビット線ドライバ／シンカー２３ＡＲへ向う書き込み電流が流れる。

【０６７６】

書き込みビット線ドライバ／シンカー２３ＡＲ，２３ＡＳにおいては、書き込み動作時、書き込み信号ＷＲＩＴＥは、“１”となる。また、本例では、ロウアドレス信号及び上位カラムアドレス信号（カラムアドレス信号の下位２ビットを除いたもの）により、１つの読み出しブロックＢＫｉｋを選択する。

【０６７７】

選択された読み出しブロックＢＫｉｋ内には、４個のＴＭＲ素子が存在するため、この４個のＴＭＲ素子のうちの１つを選択するために、カラムアドレス信号の下位２ビットＣＡ０，ＣＡ１を使用する。

【０６７８】

選択された読み出しブロックＢＫｉｋ内の選択されたＴＭＲ素子に対するデータ書き込みに使用する書き込みビット線ＷＢＬ４（ｎ－１）＋１に流れる書き込み電流の向きは、書き込みデータＤＡＴＡの値に応じて決定される。

【０６７９】

例えば、書き込みビット線ＷＢＬ４（ｎ－１）＋１が選択されているとき、書き込みデータＤＡＴＡが“１”であると、ＮＡＮＤゲート回路ＮＤ５の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ５の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ４（ｎ－１）＋１には、書き込みビット線ドライバ／シンカー２３ＡＲから書き込みビット線ドライバ／シンカー２３ＡＳへ向う書き込み電流が流れる。

【０６８０】

逆に、書き込みデータＤＡＴＡが“０”であると、ＮＡＮＤゲート回路ＮＤ９の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ１の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ４（ｎ－１）＋１には、書き込みビット線ドライバ／シンカー２３ＡＳ

から書き込みビット線ドライバ／シンカー２３ＡＲへ向う書き込み電流が流れる。
【０６８１】
(6)　カラムデコーダ＆書き込みワード線ドライバ／シンカー
構造例７（図５３）において使用するカラムデコーダ＆書き込みワード線ドライバ／シンカーの回路例について説明する。
【０６８２】
図７０は、カラムデコーダ＆書き込みワード線ドライバ／シンカーの回路例を示している。
カラムデコーダ＆書き込みワード線ドライバ２９ＡＲは、ＮＡＮＤゲート回路ＮＤ１，・・・ＮＤｊ及びＰチャネルＭＯＳトランジスタＱＰ１，・・・ＱＰｊから構成される。
【０６８３】
ＰチャネルＭＯＳトランジスタＱＰ１，・・・ＱＰｊは、電源端子ＶＤＤと書き込みワード線ＷＷＬ１，・・・ＷＷＬｊの一端との間に接続される。ＮＡＮＤゲート回路ＮＤ１，・・・ＮＤｊの出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１，・・・ＱＰｊのゲートに供給される。
【０６８４】
書き込み動作時、書き込み信号ＷＲＩＴＥは、“１”となる。また、選択されたカラムでは、上位カラムアドレス信号１，・・・ｊの全てのビットが“１”となるため、ＮＡＮＤゲート回路ＮＤ１，・・・ＮＤｊの出力信号が“０”となり、ＰチャネルＭＯＳトランジスタＱＰ１，・・・ＱＰｊがオン状態となる。
【０６８５】
書き込みワード線シンカー３１Ｒは、ＮチャネルＭＯＳトランジスタＱＮ１，・・・ＱＮｊから構成される。
【０６８６】
ＮチャネルＭＯＳトランジスタＱＮ１，・・・ＱＮｊは、接地端子ＶＳＳと書き込みワード線ＷＷＬ１，・・・ＷＷＬｊの他端との間に接続される。ＮチャネルＭＯＳトランジスタＱＮ１，・・・ＱＮｊは、そのゲートに電源電位ＶＤＤが供給されるため、常に、オン状態となっている。
【０６８７】
(7)　ロウデコーダ
構造例９（図５９）において使用するロウデコーダの回路例について説明する。
【０６８８】
図７１は、ロウデコーダの回路例を示している。
同図では、１ロウ分のロウデコーダ２５－１についてのみ示している。
【０６８９】
ロウデコーダ２５－１は、４つのＮＡＮＤゲート回路ＮＡＤ１３～ＮＡＤ１６から構成される。ＮＡＮＤゲート回路ＮＡＤ１３～ＮＡＤ１６には、書き込み信号ＷＲＩＴＥ、ロウアドレス信号、及び、カラムアドレス信号の下位２ビットＣＡ０，ＣＡ１が入力される。
【０６９０】
書き込み動作時、書き込み信号ＷＲＩＴＥは、“Ｈ”となり、選択されたロウでは、ロウアドレス信号の全てのビットが“Ｈ”となる。また、選択されたロウでは、カラムアドレス信号の下位２ビットＣＡ０，ＣＡ１に基づいて、選択された読み出しブロック内の４つのＴＭＲ素子のうちの１つ、即ち、４本の書き込みワード線のうちの１本が選択される。
【０６９１】
(8)　書き込みワード線ドライバ
構造例９（図５９）において使用する書き込みワード線ドライバの回路例について説明する。
【０６９２】
図７２は、書き込みワード線ドライバの回路例を示している。
同図では、１ロウ分の書き込みワード線ドライバのみを示している。

【０６９３】
書き込みワード線ドライバ３３－１は、書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４に接続されるＰチャネルＭＯＳトランジスタＰ１，Ｐ２，Ｐ３，Ｐ４から構成される。
【０６９４】
ＰチャネルＭＯＳトランジスタＰ１，Ｐ２，Ｐ３，Ｐ４は、電源端子ＶＤＤと書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４との間に接続され、ワード線イネーブル信号ＷＬＥＮ１～４により制御される。ワード線イネーブル信号ＷＬＥＮ１～４は、図７１のロウデコーダにより、ロウアドレス信号及びカラムアドレス信号の下位２ビットをデコードして得られる信号である。
【０６９５】
(9)　ロウデコーダ＆読み出し線ドライバ
構造例９（図５９）において使用するロウデコーダ＆読み出し線ドライバの回路例について説明する。
【０６９６】
図７３は、ロウデコーダ＆読み出し線ドライバの回路例を示している。同図では、１ロウ分のロウデコーダ＆読み出し線ドライバのみを示している。
【０６９７】
ロウデコーダ＆読み出し線ドライバ２３Ｂ－１は、ＡＮＤゲート回路ＡＤ９から構成される。ＡＮＤゲート回路ＡＤ９には、読み出し信号ＲＥＡＤ及びロウアドレス信号が入力される。
【０６９８】
読み出し信号ＲＥＡＤは、読み出し動作時に、“Ｈ”となる信号である。つまり、読み出し動作以外のモードで、読み出しワード線ＲＷＬ１の電位が“Ｈ”となることはない。読み出し動作時、選択されたロウでは、ロウアドレス信号の全ビットは、“Ｈ”となるため、読み出し線ＲＷ１の電位は、“Ｈ”となる。
【０６９９】
(10)　カラムデコーダ＆書き込みビット線ドライバ／シンカー
図７４は、本発明の磁気ランダムアクセスメモリの構造例１１に関わる回路図を示している。
【０７００】
構造例１１は、書き込みワード線ＷＷＬｊがカラム方向に延び、書き込みビット線ＷＢＬ４（ｎ－１）＋１，・・・４（ｎ－１）＋４がロウ方向に延びている点に特徴を有する。
【０７０１】
構造例１１に用いるカラムデコーダ＆書き込みビット線ドライバ／シンカーの回路例について説明する。
【０７０２】
図７５及び図７６は、カラムデコーダ＆書き込みビット線ドライバ／シンカーの回路例を示している。
同図では、１カラム分のカラムデコーダ＆書き込みビット線ドライバ／シンカーのみを示している。
【０７０３】
本例では、読み出しブロックは、４つのＴＭＲ素子から構成され、読み出しブロック内の４つのＴＭＲ素子は、カラムアドレス信号の下位２ビットＣＡ０，ＣＡ１により選択されるものと仮定する。また、メモリセルアレイのカラムは、上位カラムアドレス信号、即ち、カラムアドレス信号のうち下位２ビットＣＡ０，ＣＡ１を除いたカラムアドレス信号により選択される。
【０７０４】
書き込みビット線ドライバ／シンカー２９Ａは、ＰチャネルＭＯＳトランジスタＱＰ５，ＱＰ６，ＱＰ７，ＱＰ８、ＮチャネルＭＯＳトランジスタＱＮ５，ＱＮ６，ＱＮ７，ＱＮ

８、ＮＡＮＤゲート回路ＮＤ５，ＮＤ６，ＮＤ７，ＮＤ８、ＡＮＤゲート回路ＡＤ１，ＡＤ２，ＡＤ３，ＡＤ４及びインバータＩＮＶ１，ＩＮＶ２，ＩＮＶ３，ＩＮＶ４から構成される。

【０７０５】

ＰチャネルＭＯＳトランジスタＱＰ５は、電源端子ＶＤＤと書き込みビット線ＢＬ１の一端との間に接続される。ＮＡＮＤゲート回路ＮＤ５の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ５のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ５は、書き込みビット線ＢＬ１の一端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ１の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ５のゲートに供給される。

【０７０６】

ＰチャネルＭＯＳトランジスタＱＰ６は、電源端子ＶＤＤと書き込みビット線ＢＬ２の一端との間に接続される。ＮＡＮＤゲート回路ＮＤ６の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ６のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ６は、書き込みビット線ＢＬ２の一端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ２の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ６のゲートに供給される。

【０７０７】

ＰチャネルＭＯＳトランジスタＱＰ７は、電源端子ＶＤＤと書き込みビット線ＢＬ３の一端との間に接続される。ＮＡＮＤゲート回路ＮＤ７の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ７のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ７は、書き込みビット線ＢＬ３の一端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ３の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ７のゲートに供給される。

【０７０８】

ＰチャネルＭＯＳトランジスタＱＰ８は、電源端子ＶＤＤと書き込みビット線ＢＬ４の一端との間に接続される。ＮＡＮＤゲート回路ＮＤ８の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ８のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ８は、書き込みビット線ＢＬ４の一端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ４の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ８のゲートに供給される。

【０７０９】

書き込みビット線ドライバ／シンカー３１は、ＰチャネルＭＯＳトランジスタＱＰ９，ＱＰ１０，ＱＰ１１，ＱＰ１２、ＮチャネルＭＯＳトランジスタＱＮ９，ＱＮ１０，ＱＮ１１，ＱＮ１２、ＮＡＮＤゲート回路ＮＤ９，ＮＤ１０，ＮＤ１１，ＮＤ１２、ＡＮＤゲート回路ＡＤ５，ＡＤ６，ＡＤ７，ＡＤ８及びインバータＩＮＶ５，ＩＮＶ６，ＩＮＶ７，ＩＮＶ８から構成される。

【０７１０】

ＰチャネルＭＯＳトランジスタＱＰ９は、電源端子ＶＤＤと書き込みビット線ＢＬ１の他端との間に接続される。ＮＡＮＤゲート回路ＮＤ９の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ９のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ９は、書き込みビット線ＢＬ１の他端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ５の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ９のゲートに供給される。

【０７１１】

ＰチャネルＭＯＳトランジスタＱＰ１０は、電源端子ＶＤＤと書き込みビット線ＢＬ２の他端との間に接続される。ＮＡＮＤゲート回路ＮＤ１０の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１０のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ１０は、書き込みビット線ＢＬ２の他端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ６の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ１０のゲートに供給される。

【０７１２】

ＰチャネルＭＯＳトランジスタＱＰ１１は、電源端子ＶＤＤと書き込みビット線ＢＬ３の他端との間に接続される。ＮＡＮＤゲート回路ＮＤ１１の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１１のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ１１は、書き込みビット線ＢＬ３の他端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路

ＡＤ７の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ１１のゲートに供給される。
【０７１３】
ＰチャネルＭＯＳトランジスタＱＰ１２は、電源端子ＶＤＤと書き込みビット線ＢＬ４の他端との間に接続される。ＮＡＮＤゲート回路ＮＤ１２の出力信号は、ＰチャネルＭＯＳトランジスタＱＰ１２のゲートに供給される。ＮチャネルＭＯＳトランジスタＱＮ１２は、書き込みビット線ＢＬ４の他端と接地端子ＶＳＳの間に接続される。ＡＮＤゲート回路ＡＤ８の出力信号は、ＮチャネルＭＯＳトランジスタＱＮ１２のゲートに供給される。
【０７１４】
このような構成を有する書き込みビット線ドライバ／シンカー２９Ａ，３１において、ＮＡＮＤゲート回路ＮＤ５の出力信号が“０”、ＡＮＤゲート回路ＡＤ５の出力信号が“１”のとき、書き込みビット線ＢＬ１には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７１５】
また、ＮＡＮＤゲート回路ＮＤ９の出力信号が“０”、ＡＮＤゲート回路ＡＤ１の出力信号が“１”のとき、書き込みビット線ＢＬ１には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７１６】
また、ＮＡＮＤゲート回路ＮＤ６の出力信号が“０”、ＡＮＤゲート回路ＡＤ６の出力信号が“１”のとき、書き込みビット線ＢＬ２には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７１７】
また、ＮＡＮＤゲート回路ＮＤ１０の出力信号が“０”、ＡＮＤゲート回路ＡＤ２の出力信号が“１”のとき、書き込みビット線ＢＬ２には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７１８】
また、ＮＡＮＤゲート回路ＮＤ７の出力信号が“０”、ＡＮＤゲート回路ＡＤ７の出力信号が“１”のとき、書き込みビット線ＢＬ３には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７１９】
また、ＮＡＮＤゲート回路ＮＤ１１の出力信号が“０”、ＡＮＤゲート回路ＡＤ３の出力信号が“１”のとき、書き込みビット線ＢＬ３には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７２０】
また、ＮＡＮＤゲート回路ＮＤ８の出力信号が“０”、ＡＮＤゲート回路ＡＤ８の出力信号が“１”のとき、書き込みビット線ＢＬ４には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７２１】
また、ＮＡＮＤゲート回路ＮＤ１２の出力信号が“０”、ＡＮＤゲート回路ＡＤ４の出力信号が“１”のとき、書き込みビット線ＢＬ４には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７２２】
書き込みビット線ドライバ／シンカー２９Ａ，３１においては、書き込み動作時、書き込み信号ＷＲＩＴＥは、“１”となる。また、選択されたカラムでは、上位カラムアドレス信号の全てのビット、即ち、カラムアドレス信号のうち下位２ビットＣＡ０，ＣＡ１を除いたカラムアドレス信号の全てのビットが“１”となる。
【０７２３】
下位カラムアドレス信号ＣＡ０，ＣＡ１は、選択されたカラム内の４本の書き込みビット線ＢＬ１，ＢＬ２，ＢＬ３，ＢＬ４のうちの１本を選択するための信号である。選択されたビット線には、書き込みデータＤＡＴＡの値に応じた向きを有する書き込み電流が流れる。

【０７２４】
選択されたカラム内の選択された書き込みビット線に流れる書き込み電流の向きは、書き込みデータＤＡＴＡの値に応じて決定される。
【０７２５】
例えば、書き込みビット線ＢＬ１が選択されているとき（ＣＡ０＝“０”，ＣＡ１＝“０”のとき）、書き込みデータＤＡＴＡが“１”であると、ＮＡＮＤゲート回路ＮＤ５の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ５の出力信号が“１”となる。その結果、書き込みビット線ＢＬ１には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７２６】
逆に、書き込みデータＤＡＴＡが“０”であると、ＮＡＮＤゲート回路ＮＤ９の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ１の出力信号が“１”となる。その結果、書き込みビット線ＢＬ１には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７２７】
また、書き込みビット線ＢＬ２が選択されているとき（ＣＡ０＝“１”，ＣＡ１＝“０”のとき）、書き込みデータＤＡＴＡが“１”であると、ＮＡＮＤゲート回路ＮＤ６の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ６の出力信号が“１”となる。その結果、書き込みビット線ＢＬ２には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７２８】
逆に、書き込みデータＤＡＴＡが“０”であると、ＮＡＮＤゲート回路ＮＤ１０の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ２の出力信号が“１”となる。その結果、書き込みビット線ＢＬ２には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７２９】
また、書き込みビット線ＢＬ３が選択されているとき（ＣＡ０＝“０”，ＣＡ１＝“１”のとき）、書き込みデータＤＡＴＡが“１”であると、ＮＡＮＤゲート回路ＮＤ７の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ７の出力信号が“１”となる。その結果、書き込みビット線ＢＬ３には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７３０】
逆に、書き込みデータＤＡＴＡが“０”であると、ＮＡＮＤゲート回路ＮＤ１１の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ３の出力信号が“１”となる。その結果、書き込みビット線ＢＬ３には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７３１】
また、書き込みビット線ＢＬ４が選択されているとき（ＣＡ０＝“１”，ＣＡ１＝“１”のとき）、書き込みデータＤＡＴＡが“１”であると、ＮＡＮＤゲート回路ＮＤ８の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ８の出力信号が“１”となる。その結果、書き込みビット線ＢＬ４には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０７３２】
逆に、書き込みデータＤＡＴＡが“０”であると、ＮＡＮＤゲート回路ＮＤ１２の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ４の出力信号が“１”となる。その結果、書き込みビット線ＢＬ４には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０７３３】
(11)　読み出し回路
図７７は、読み出し回路の回路例を示している。

本例では、１カラム内において、読み出しブロック内には、４つのＴＭＲ素子が配置され、かつ、ＴＭＲ素子は、それぞれ独立に読み出しビット線に接続されることを前提とする。つまり、１カラム内には、４本の読み出しビット線が配置され、これら読み出しビット線は、カラム選択スイッチを経由して、読み出し回路２９Ｂに接続される。

【０７３４】

本例の読み出し回路２９Ｂは、読み出しデータを１ビットずつ出力する１ビットタイプ磁気ランダムアクセスメモリに適用される。

【０７３５】

従って、読み出し回路２９Ｂは、４つのセンスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４と、セレクタ２９Ｂ２と、出力バッファ２９Ｂ３とを有している。

【０７３６】

読み出し動作時、選択された読み出しブロックの４つのＴＭＲ素子から同時に読み出しデータが読み出される。これら４つの読み出しデータは、センスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４に入力され、センスされる。

【０７３７】

セレクタ２９Ｂ２は、カラムアドレス信号の下位２ビットＣＡ０，ＣＡ１に基づいて、センスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４から出力される４つの読み出しデータのうちの１つを選択する。選択された読み出しデータは、出力バッファ２９Ｂ３を経由し、出力データとして、磁気ランダムアクセスメモリから出力される。

【０７３８】

ところで、本例では、読み出し回路２９Ｂを１ビットタイプ磁気ランダムアクセスメモリに適用することを前提とした。

【０７３９】

しかし、例えば、読み出し回路２９Ｂを、読み出しデータを４ビットずつ出力する４ビットタイプ磁気ランダムアクセスメモリに適用する場合には、セレクタ２９Ｂ２は、不要となる。反面、出力バッファ２９Ｂ３については、センスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４に対応させて、４つ必要となる。

【０７４０】

図７８は、４ビットタイプ磁気ランダムアクセスメモリに適用される読み出し回路の回路例を示している。

読み出し回路２９Ｂは、４つのセンスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４と、４つの出力バッファ２９Ｂ３１，２９Ｂ３２，２９Ｂ３３，２９Ｂ３４とを有している。

【０７４１】

読み出し動作時、選択された読み出しブロックの４つのＴＭＲ素子から同時に読み出しデータが読み出される。これら４つの読み出しデータは、センスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４に入力され、センスされる。

【０７４２】

そして、センスアンプ＆バイアス回路２９Ｂ１１，２９Ｂ１２，２９Ｂ１３，２９Ｂ１４の出力データは、出力バッファ２９Ｂ３１，２９Ｂ３２，２９Ｂ３３，２９Ｂ３４を経由し、磁気ランダムアクセスメモリから出力される。

【０７４３】

図７９は、センスアンプ＆バイアス回路の回路例を示している。

このセンスアンプ＆バイアス回路は、図７７及び図７８の４つのセンスアンプ＆バイアス回路のうちの１つに対応している。

【０７４４】

センスアンプＳ／Ａは、例えば、差動アンプから構成される。

【０７４５】

電源端子ＶＤＤとカラム選択スイッチ２９Ｃとの間には、ＰチャネルＭＯＳトランジスタＱＰ１４とＮチャネルＭＯＳトランジスタＱＮ１３とが直列に接続される。オペアンプＯＰのマイナス側入力端子は、ノードｎ２に接続され、その出力端子は、ＮチャネルＭＯＳトランジスタＱＮ１３のゲートに接続され、そのプラス側入力端子には、クランプ電位ＶＣが入力される。

【０７４６】

オペアンプＯＰは、ノードｎ２の電位をクランプ電位ＶＣに等しくする役割を果たす。クランプ電位ＶＣの値は、所定の正の値に設定される。

【０７４７】

定電流源Ｉｓは、読み出し電流Ｉｒｅａｄを生成する。読み出し電流Ｉｒｅａｄは、ＰチャネルＭＯＳトランジスタＱＰ１３，ＱＰ１４からなるカレントミラー回路を経由して、ビット線ＢＬｉに流れる。例えば、差動アンプからなるセンスアンプは、読み出し電流Ｉｒｅａｄが流れているときのノードｎ１の電位に基づいて、メモリセル（ＴＭＲ素子）のデータをセンスする。

【０７４８】

図８０は、センスアンプの回路例を示している。図８１は、センスアンプのリファレンス電位生成回路の回路例を示している。

センスアンプＳ／Ａは、例えば、差動アンプから構成される。センスアンプＳ／Ａは、ノードｎ１の電位Ｖｎ１とリファレンス電位Ｖｒｅｆとを比較する。

【０７４９】

リファレンス電位Ｖｒｅｆは、“１”データを記憶するＴＭＲ素子と“０”データを記憶するＴＭＲ素子とから生成される。

【０７５０】

電源端子ＶＤＤと“１”データを記憶するＴＭＲ素子との間には、ＰチャネルＭＯＳトランジスタＱＰ１６及びＮチャネルＭＯＳトランジスタＱＮ１４，ＱＮ１５が直列に接続される。また、電源端子ＶＤＤと“０”データを記憶するＴＭＲ素子との間には、ＰチャネルＭＯＳトランジスタＱＰ１７及びＮチャネルＭＯＳトランジスタＱＮ１６，ＱＮ１７が直列に接続される。

【０７５１】

ＰチャネルＭＯＳトランジスタＱＰ１６，ＱＰ１７のドレインは、互いに接続され、また、ＮチャネルＭＯＳトランジスタＱＮ１５，ＱＮ１７のドレインも、互いに接続される。

【０７５２】

オペアンプＯＰは、ノードｎ４の電位をクランプ電位ＶＣに等しくする役割を果たす。定電流源Ｉｓ２は、読み出し電流Ｉｒｅａｄを生成する。読み出し電流Ｉｒｅａｄは、ＰチャネルＭＯＳトランジスタＱＰ１５，ＱＰ１６からなるカレントミラー回路を経由して、“１”データを記憶するＴＭＲ素子及び“０”データを記憶するＴＭＲ素子に流れる。

【０７５３】

リファレンス電位Ｖｒｅｆは、ノードｎ３から出力される。

【０７５４】

図８２は、図７９及び図８１のオペアンプＯＰの回路例を示している。

オペアンプＯＰは、ＰチャネルＭＯＳトランジスタＱＰ１８，ＱＰ１９及びＮチャネルＭＯＳトランジスタＱＮ１８，ＱＮ１９、ＱＮ２０から構成される。イネーブル信号Ｅｎａｂｌｅが“Ｈ”になると、オペアンプＯＰは、動作状態となる。

【０７５５】

図８３は、センスアンプ＆バイアス回路の回路例を示している。

このセンスアンプ＆バイアス回路は、図７７及び図７８の４つのセンスアンプ＆バイアス回路のうちの１つに対応している。

【０７５６】

本例のセンスアンプ＆バイアス回路は、構造例８（図５８）に適用される。

【０７５７】

構造例８（図５８）に適用した場合、図８３のＱＮ２４とＱＮ２５は、図５８のＣＳＷと同一サイズとし、図８３のＱＮ２０とＱＮ２１は、図５８のＲＳＷ２と同一サイズとする。

【０７５８】

また、図８３のＱＮ１７、ＱＮ１８及びＱＮ１９は、同一の駆動能力を有するように、同一サイズとする。

【０７５９】

これにより、オペアンプＯＰのプラス側入力電位は、図５８において、“１”データが読み出されるときのオペアンプのマイナス側入力電位と、“０”データが読み出されるときのオペアンプのマイナス側入力電位とのほぼ中間の電位となり、データ読み出し時のリファレンス電位としての役割を果たす。

【０７６０】

ＮチャネルＭＯＳトランジスタＱＮ１８，ＱＮ１９のゲートに入力される信号ＶｔＡは、センスアンプＳ／Ａのデータ弁別電圧に等しい。ＮチャネルＭＯＳトランジスタＱＮ２０，ＱＮ２１，ＱＮ２４，ＱＮ２５のゲートには、読み出し動作時に“Ｈ”となる読み出し信号ＲＥＡＤが入力される。

【０７６１】

同図において、“１”は、ＴＭＲ素子が“１”データを記憶していることを示し、“０”は、ＴＭＲ素子が“０”データを記憶していることを示している。ＶＣは、構造例８（図５８）のバイアス線３４に与えるバイアス電位ＶＣと同じである。

【０７６２】

４．　書き込み／読み出し動作原理

本発明の磁気ランダムアクセスメモリの書き込み／読み出し動作原理について説明する。

【０７６３】

(1)　書き込み動作原理

ＴＭＲ素子に対する書き込みは、ランダムに行われる。例えば、ロウデコーダ２５－１，・・・２５－ｎは、ロウアドレス信号に基づいて、１つのロウを選択する。選択されたロウでは、ロウデコーダ２５－ｋの出力信号ＲＬｋが“Ｈ”となるため、ロウ選択スイッチＲＳＷ２がオン状態となる。

【０７６４】

なお、カラムデコーダ＆読み出しカラム選択線ドライバ３２は、読み出し動作時にのみ活性化されるため、全ての読み出しワード線ＲＷＬ１，・・・ＲＷＬｊは、フローティング状態となっている。

【０７６５】

書き込みワード線ドライバ２３Ａは、例えば、カラムアドレス信号のうちの下位２ビットＣＡ０，ＣＡ１に基づいて、選択された読み出しブロックＢＫｉｋ内の４つのＴＭＲ素子のうちの１つ、具体的には、４本の書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４のうちの１本を選択する。

【０７６６】

書き込みワード線ドライバ２３Ａは、その選択された書き込みワード線に、共通データ線（共通ドライバ線）３０及びロウ選択スイッチＲＳＷ２を経由して、書き込み電流を与える。

【０７６７】

カラムデコーダ＆書き込みビット線ドライバ／シンカー２９Ａ，３１は、例えば、上位カラムアドレス信号（カラムアドレス信号のうち下位２ビットＣＡ０，ＣＡ１を除いたカラムアドレス信号）に基づいて、カラムを選択し、かつ、選択されたカラム内の書き込みビット線ＷＢＬｉに、書き込み電流を流す。

【０７６８】

カラムデコーダ＆書き込みビット線ドライバ／シンカー２９Ａ，３１は、書き込みデータ

の値に応じて、選択されたカラム内の書き込みビット線ＷＢＬｉに流す書き込み電流の向きを決定する。

【０７６９】

そして、書き込みワード線に流れる書き込み電流及び書き込みビット線に流れる書き込み電流により発生する合成磁界により、選択されたＴＭＲ素子の自由層（記憶層）の磁化の向きを決定し、そのＴＭＲ素子に“１”／“０”情報を記憶させる。

【０７７０】

このような書き込み動作原理では、書き込み動作時、ＴＭＲ素子の一端は、フローティング状態の読み出しワード線ＲＷＬｉに接続されているため、書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４から読み出しワード線ＲＷＬｉに電荷が注入されることはあっても、ＴＭＲ素子の両端に電位差が発生することはない。

【０７７１】

従って、書き込みワード線及び書き込みビット線の配線抵抗に起因して、書き込み動作時に、所定の箇所において、書き込みワード線の電位と書き込みビット線の電位とが異なっても、ＴＭＲ素子の両端に電位差が発生することはなく、トンネルバリア層が破壊されることもない。

【０７７２】

(2)　読み出し動作原理

ＴＭＲ素子に対する読み出しは、読み出しブロック単位で行われる。例えば、ロウデコーダ２５－１，・・・２５－ｎは、ロウアドレス信号に基づいて、１つのロウを選択する。選択されたロウでは、ロウデコーダ２５－ｋの出力信号ＲＬｋが“Ｈ”となるため、ロウ選択スイッチＲＳＷ２がオン状態となる。

【０７７３】

カラムデコーダ＆読み出しカラム選択線ドライバ３２は、上位カラムアドレス信号に基づいて、カラムを選択する。選択されたカラムでは、カラムデコーダ＆読み出しカラム選択線ドライバ３２の出力信号、即ち、カラム選択信号ＣＳＬｉが“Ｈ”となるため、カラム選択スイッチＣＳＷがオン状態となる。

【０７７４】

即ち、選択されたカラム内の読み出しワード線ＲＷＬｉの電位は、接地電位ＶＳＳとなり、その他の非選択のカラム内の読み出しワード線ＲＷＬｉは、フローティング状態となる。

【０７７５】

なお、読み出し動作時には、書き込みワード線ドライバ２３Ａ及びカラムデコーダ＆書き込みビット線ドライバ／シンカー２９Ａ，３１は、非動作状態となっている。

【０７７６】

読み出し回路２９Ｂは、例えば、読み出し電流を生成する。この読み出し電流は、選択されたロウ及び選択されたカラムに存在する読み出しブロック内の複数のＴＭＲ素子１２のみに流れる。

【０７７７】

即ち、読み出し電流は、選択されたロウ内のロウ選択スイッチＲＳＷ２、読み出しブロック内のＴＭＲ素子１２、及び、選択されたカラム内のカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに吸収される。

【０７７８】

ここで、読み出し動作時、選択されたロウ、非選択のカラムに存在する読み出しブロック内のＴＭＲ素子の一端は、短絡された状態となり、選択されたロウ内の読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４がＴＭＲ素子を介して短絡された状態となる。

【０７７９】

この問題を解決するには、読み出し動作時、読み出しビット線ＲＢＬ４（ｎ－１）＋１，

ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４の電位をクランプ回路により固定し、読み出し電流の電流量の変化によりデータを検出すればよい。

【０７８０】

なお、読み出し電流の向きについては、特に、限定されない。読み出し電流は、読み出し回路２９Ｂに吸収される方向に流れてもよい。

【０７８１】

読み出しビット線ＲＢＬ４（ｎ－１）＋１，ＲＢＬ４（ｎ－１）＋２，ＲＢＬ４（ｎ－１）＋３，ＲＢＬ４（ｎ－１）＋４に流れる読み出し電流の電流量の変化は、読み出し回路２９Ｂ内のセンスアンプにより検出する。

【０７８２】

ＴＭＲ素子のデータは、読み出し回路２９Ｂ内のセンスアンプによりセンスされた後、磁気ランダムアクセスメモリの外部に出力される。ここで、読み出しブロック内の複数のＴＭＲ素子１２のデータは、１ビットずつ、出力してもよいし、また、同時に、出力してもよい。

【０７８３】

複数のＴＭＲ素子のデータを１ビットずつシーケンシャルに出力する場合、例えば、下位カラムアドレス信号ＣＡ０，ＣＡ１を用いて、複数のＴＭＲ素子１２のデータのうちの１つを選択する。

【０７８４】

(3)　構造例９（図５９の場合）

▲１▼　書き込み動作原理

ロウデコーダ２５－１，・・・２５－ｎは、ロウアドレス信号に基づいて、１つのロウを選択する。選択されたロウでは、ロウデコーダ２５－ｋの出力信号ＷＬＥＮ１～ＷＬＥＮ４が“Ｈ”となるため、書き込みワード線ドライバ３３－ｋが活性化され、書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４に書き込み電流が供給される。

【０７８５】

ここで、ＴＭＲ素子に対する書き込みをランダムに行うに当たっては、例えば、図７１に示すように、ロウデコーダ２５－１，・・・２５－ｎに、４本の書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４のうちの１本を選択するためのカラムアドレス信号の下位２ビットＣＡ０，ＣＡ１を入力させればよい。

【０７８６】

つまり、構造例９の場合、図７１に示すように、１つのロウ内に、４つのロウデコーダを配置し、それぞれに、異なるカラムアドレス信号の下位２ビットＣＡ０，ＣＡ１を入力させる。また、１ロウ内に、４本のワード線イネーブル線ＷＬＥＮ１～ＷＬＥＮ４を配置し、４本の書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４を、それぞれ独立に駆動できるようにする。

【０７８７】

なお、ロウデコーダ＆読み出し線ドライバ２３Ｂ－１，・・・２３Ｂ－ｎ及びカラムデコーダ＆読み出しカラム選択線ドライバ３２は、読み出し動作時にのみ活性化される。

【０７８８】

このため、全ての読み出しワード線ＲＷＬ１，・・・ＲＷＬｊは、フローティング状態であり、かつ、書き込みワード線ＷＷＬ４（ｎ－１）＋１，ＷＷＬ４（ｎ－１）＋２，ＷＷＬ４（ｎ－１）＋３，ＷＷＬ４（ｎ－１）＋４は、共通データ線３０から電気的に切断されている。

【０７８９】

カラムデコーダ＆書き込みビット線ドライバ／シンカー２９Ａ，３１は、例えば、上位カラムアドレス信号（カラムアドレス信号のうち下位２ビットＣＡ０，ＣＡ１を除いたカラムアドレス信号）に基づいて、カラムを選択し、かつ、選択されたカラム内の書き込みビ

ット線ＷＢＬｉに、書き込み電流を流す。
【０７９０】
カラムデコーダ＆書き込みビット線ドライバ／シンカー２９Ａ，３１は、書き込みデータの値に応じて、選択されたカラム内の書き込みビット線ＷＢＬｉに流す書き込み電流の向きを決定する。
【０７９１】
そして、書き込みワード線に流れる書き込み電流及び書き込みビット線に流れる書き込み電流により発生する合成磁界により、選択されたＴＭＲ素子の自由層（記憶層）の磁化の向きを決定し、そのＴＭＲ素子に“１”／“０”情報を記憶させる。
【０７９２】
▲２▼　読み出し動作原理
ＴＭＲ素子に対する読み出しは、読み出しブロック単位で行われる。構造例９の場合、読み出し動作時、ロウデコーダ２５－１，・・・２５－ｎは、非動作状態である。即ち、ロウデコーダ２５－１，・・・２５－ｎの出力信号ＷＬＥＮ１１～ＷＬＥＮ４は、全て、“Ｌ”である。
【０７９３】
ロウデコーダ＆読み出し線ドライバ２３Ｂ－１，・・・２３Ｂ－ｎは、ロウアドレス信号に基づいて、１つのロウを選択する。選択されたロウでは、ロウデコーダ＆読み出し線ドライバ２３Ｂ－ｋの出力信号、即ち、読み出し線ＲＷｋの電位が“Ｈ”となるため、ロウ選択スイッチＲＳＷ２がオン状態となる。
【０７９４】
カラムデコーダ＆読み出しカラム選択線ドライバ３２は、上位カラムアドレス信号に基づいて、１つのカラムを選択する。選択されたカラムでは、カラムデコーダ＆読み出しカラム選択線ドライバ３２の出力信号、即ち、カラム選択信号ＣＳＬｉが“Ｈ”となるため、カラム選択スイッチＣＳＷがオン状態となる。
【０７９５】
なお、読み出し動作時には、書き込みワード線ドライバ３３－ｋ及びカラムデコーダ＆書き込みビット線ドライバ／シンカー２９Ａ，３１は、非動作状態となっている。
【０７９６】
読み出し回路２９Ｂは、例えば、読み出し電流を生成する。この読み出し電流は、選択されたロウ及び選択されたカラムに存在する読み出しブロック内の複数のＴＭＲ素子１２のみに流れる。
【０７９７】
即ち、読み出し電流は、選択されたロウ内のロウ選択スイッチＲＳＷ２、読み出しブロック内のＴＭＲ素子１２、及び、選択されたカラム内のカラム選択スイッチＣＳＷを経由して、接地点ＶＳＳに吸収される。
【０７９８】
なお、読み出し電流の向きについては、特に、限定されない。読み出し電流は、読み出し回路２９Ｂに吸収される方向に流れてもよい。
【０７９９】
５．　各ＴＭＲ素子のピン層と記憶層の位置関係
構造例５（例えば、図３６の断面図を参照）のように、書き込み線（書き込みワード線又は書き込みビット線）に対して、その上部と下部に、それぞれＴＭＲ素子を配置し、かつ、その書き込み線に流れる書き込み電流により発生する磁界を用いて、その上部又は下部にあるＴＭＲ素子にデータを書き込む場合、各ＴＭＲ素子のピン層（固定層）と記憶層（自由層）の位置関係や、ピン層の磁化の向きなどについて検討する必要がある。
【０８００】
なぜなら、各ＴＭＲ素子のピン層と記憶層の位置関係や、書き込み線に流れる電流の向きなどによって、書き込み動作原理又は書き込み回路の構成が変わってくるためである。
【０８０１】

(1)　各ＴＭＲ素子のピン層と記憶層の位置関係
図８４に示すように、各ＴＭＲ素子（ＭＴＪ素子）のピン層と記憶層の位置関係（相対関係）は、使用する書き込み線に対して対称となっていることが望ましい。
【０８０２】
例えば、書き込み線（書き込みワード線又は書き込みビット線）に対して、その上部と下部に、それぞれＴＭＲ素子を配置し、かつ、その書き込み線に流れる書き込み電流により発生する磁界を用いて、その上部又は下部にあるＴＭＲ素子にデータを書き込む場合、各ＴＭＲ素子のピン層と記憶層の位置関係は、その書き込み線に対して対称となるように設定する。
【０８０３】
具体的には、書き込み線の下部のＴＭＲ素子の構造が、書き込み配線に近い側に記憶層が存在し、それに遠い側にピン層が存在する構造である場合には、書き込み線の上部のＴＭＲ素子の構造についても、書き込み配線に近い側に記憶層が存在し、それに遠い側にピン層が存在する構造となるようにする。
【０８０４】
同様に、書き込み線の下部のＴＭＲ素子の構造が、書き込み配線に近い側にピン層が存在し、それに遠い側に記憶層が存在する構造である場合には、書き込み線の上部のＴＭＲ素子の構造についても、書き込み配線に近い側にピン層が存在し、それに遠い側に記憶層が存在する構造となるようにする。
【０８０５】
なお、このような位置関係は、メモリセルアレイ内の全てのＴＭＲ素子に対して成立するようにする。また、メモリセルアレイ内の全ての書き込み線に対して、その上部に配置されるＴＭＲ素子とその下部に配置されるＴＭＲ素子は、互いに対称に配置されるようにする。
【０８０６】
このような位置関係にすれば、書き込み線から記憶層までの距離は、全てのＴＭＲ素子で実質的に等しくなる。つまり、書き込み線に流れる書き込み電流により発生する磁界の影響が全てのＴＭＲ素子で同じとなるため、全てのＴＭＲ素子の書き込み特性を同じにすることができる。
【０８０７】
ところで、この場合、書き込み線に対して下部（又は上部）に配置されるＴＭＲ素子の向きと、その書き込み線に対して上部（又は下部）に配置されるＴＭＲ素子の向きとは、互いに逆となる。
【０８０８】
但し、このようなメモリセルアレイ内のＴＭＲ素子が全て同じ方向を向いておらず、例えば、複数段に積み重ねられたＴＭＲ素子に関して、各段ごとに、ＴＭＲ素子の向きが異なることは、何ら、本発明にとって、デメリットとはならない（ここでいう向きとは、上向き及び下向きの２種類のみである。また、上及び下の定義としては、半導体基板側を下と定義する。）。
【０８０９】
なぜなら、ＴＭＲ素子を形成するときに、ＴＭＲ素子を構成する各層を形成する順番を変えるだけで、容易に、ＴＭＲ素子の向きを変えることができるからである。
【０８１０】
(2)　ＴＭＲ素子のピン層の磁化の向き
書き込み線（書き込みワード線又は書き込みビット線）に対して、その上部と下部に、それぞれＴＭＲ素子を配置し、かつ、その書き込み線に流れる書き込み電流により発生する磁界を用いて、その上部又は下部にあるＴＭＲ素子にデータを書き込む場合、ＴＭＲ素子のピン層の磁化の向きによって、書き込み動作原理や読み出し動作原理を変える必要がある。
【０８１１】

なぜなら、書き込み線に流れる電流の向きが一定でも、その上部に配置されるＴＭＲ素子に与えられる磁界の向きと、その下部に配置されるＴＭＲ素子に与えられる磁界の向きとは、逆向きになるためである。

【０８１２】

▲１▼　ピン層の磁化の向きを個別に設定する場合

ピン層の磁化の向きを個別に設定し得る場合には、書き込み線（書き込みワード線、書き込みビット線）の下部に存在するＴＭＲ素子のピン層の磁化の向きと、書き込み線の上部に存在するＴＭＲ素子のピン層の磁化の向きとを、互いに逆向きにすることにより、通常通りに、読み出し動作原理及び書き込み動作原理を適用できる。

【０８１３】

即ち、ピン層の磁化方向と記憶層の磁化方向が同じ場合を“１”とし、ピン層の磁化方向と記憶層の磁化方向が異なる場合を“０”とすることができる。

【０８１４】

以下、具体例について述べる。

前提条件として、図８５及び図８６に示すように、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２の磁化容易軸は、Ｘ方向（書き込みワード線が延びる方向）を向き、かつ、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部に配置されるＴＭＲ素子ＭＴＪ１－１のピン層の磁化の向きは、左側、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部に配置されるＴＭＲ素子ＭＴＪ１－２のピン層の磁化の向きは、右側であるものとする。

【０８１５】

また、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流の向きにより書き込みデータが決定され、書き込みワード線ＷＷＬ１－１，ＷＷＬ１－２には、一方向に向かう書き込み電流のみが流れるものとする。

【０８１６】

・　書き込みビット線の下部のＴＭＲ素子にデータを書き込む場合

［“１”－書き込み］

図８５に示すように、書き込みワード線ＷＷＬ１－１には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面に吸い込まれる方向に書き込み電流を流す。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、右回りの円を描くようになる。

【０８１７】

この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１には、左向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の向きは、左向きとなる。

【０８１８】

従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の状態は、平行となり、データ“１”が書き込まれる。

【０８１９】

［“０”－書き込み］

書き込みワード線ＷＷＬ１－１には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面から吐き出される方向に書き込み電流を流す。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、左回りの円を描くようになる。

【０８２０】

この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１には、右向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の向きは、右向きとなる。

【０８２１】

従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の状態は、反平行となり、データ“０”が書き込まれる。

【０８２２】

・　書き込みビット線の上部のＴＭＲ素子にデータを書き込む場合

書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２に対しては、その下部のＴＭＲ素子ＭＴＪ１－１に対する書き込み条件と同じ条件で、同じデータを書き込むことができれば、２つのＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２に対しては、同一の書き込み回路（書き込みビット線ドライバ／シンカー）及び同一の読み出し回路を用いて、書き込み／読み出し動作を実行することができる。

【０８２３】

［“１”－書き込み］

図８６に示すように、書き込みワード線ＷＷＬ１－２には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面に吸い込まれる方向に書き込み電流を流す。

【０８２４】

この書き込み条件は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１に対する“１”－書き込みの条件と同じである。この時、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、右回りの円を描くようになる。

【０８２５】

この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２には、右向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の向きは、右向きとなる。

【０８２６】

従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の状態は、平行となり、データ“１”が書き込まれる。

【０８２７】

このように、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２のピン層の磁化の向きを異なるものとすることで、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２には、同じ書き込み条件で、同じデータを書き込むことができる。

【０８２８】

［“０”－書き込み］

書き込みワード線ＷＷＬ１－２には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面から吐き出される方向に書き込み電流を流す。

【０８２９】

この書き込み条件は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１に対する“０”－書き込みの条件と同じである。この時、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、左回りの円を描くようになる。

【０８３０】

この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２には、左向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の向きは、左向きとなる。

【０８３１】

従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の状態は、反平行となり、データ“０”が書き込まれる。

【０８３２】

このように、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２のピン層の磁化の向きを異なるものとすることで、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２には、同じ書き込み条件で、同じ

データを書き込むことができる。
【０８３３】
▲２▼　全てのＴＭＲ素子のピン層の磁化の向きが同じ場合
全てのＴＭＲ素子のピン層の磁化の向きを同じにする場合、例えば、ウェハプロセスを終了した後、全てのＴＭＲ素子のピン層に一度に同じ方向の磁界を与えて、瞬時に、全てのＴＭＲ素子のピン層の磁化の向きを決定する。
【０８３４】
特に、磁界を与えるときに、ウェハの温度を上昇させることにより、全てのＴＭＲ素子のピン層の磁化の向きを容易に決定できる。
【０８３５】
しかし、この場合、書き込み線の下部に配置されるＴＭＲ素子とその上部に配置されるＴＭＲ素子に関しては、同じ書き込み条件で、同じデータを書き込むことができない。
【０８３６】
従って、対応策としては、Ａ．　書き込み回路（書き込みビット線ドライバ／シンカー）の構成、即ち、書き込み条件を変えないで、読み出し回路の構成を変える対応策と、Ｂ．　書き込み回路（書き込みビット線ドライバ／シンカー）の構成、即ち、書き込み条件を変えて、読み出し回路の構成を変えない対応策の２つがある。
【０８３７】
以下、具体例について述べる。
前提条件として、図８７及び図８８に示すように、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２の磁化容易軸は、Ｘ方向（書き込みワード線が延びる方向）を向き、かつ、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部に配置されるＴＭＲ素子ＭＴＪ１－１のピン層の磁化の向き、及び、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部に配置されるＴＭＲ素子ＭＴＪ１－２のピン層の磁化の向きは、共に、左側であるものとする。
【０８３８】
また、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流の向きにより書き込みデータが決定され、書き込みワード線ＷＷＬ１－１，ＷＷＬ１－２には、一方向に向かう書き込み電流のみが流れるものとする。
【０８３９】
Ａ．　書き込み条件を変えない場合
・　書き込みビット線の下部のＴＭＲ素子にデータを書き込む場合
［“１”－書き込み］
図８７に示すように、書き込みワード線ＷＷＬ１－１には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面に吸い込まれる方向に書き込み電流を流す。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、右回りの円を描くようになる。
【０８４０】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１には、左向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の向きは、左向きとなる。
【０８４１】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の状態は、平行となり、データ“１”が書き込まれる。
【０８４２】
［“０”－書き込み］
書き込みワード線ＷＷＬ１－１には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面から吐き出される方向に書き込み電流を流す。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、左回りの円を描くように

なる。
【０８４３】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１には、右向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の向きは、右向きとなる。
【０８４４】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の状態は、反平行となり、データ“０”が書き込まれる。
【０８４５】
・　書き込みビット線の上部のＴＭＲ素子にデータを書き込む場合
書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２に対しては、その下部のＴＭＲ素子ＭＴＪ１－１に対する書き込み条件と同じ条件、即ち、同一の書き込み回路（書き込みビット線ドライバ／シンカー）を用いて書き込み動作を実行する。
【０８４６】
［“１”－書き込み］
図８８に示すように、書き込みワード線ＷＷＬ１－２には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面に吸い込まれる方向に書き込み電流を流す。
【０８４７】
この書き込み条件は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１に対する“１”－書き込みの条件と同じである。この時、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、右回りの円を描くようになる。
【０８４８】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２には、右向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の向きは、右向きとなる。
【０８４９】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の状態は、反平行、即ち、データ“０”が記憶された状態となる。
【０８５０】
ここで、ＴＭＲ素子ＭＴＪ１－２に対する書き込みデータは、“１”であったのであるから、読み出し時には、ＴＭＲ素子ＭＴＪ１－２に記憶された“０”－データは、“０”ではなく、“１”として、読み出さなければならない。
【０８５１】
そこで、読み出し回路の構成を多少変更する。
【０８５２】
基本的には、書き込みビット線の上部に存在するＴＭＲ素子に対しては、書き込みデータが反転した状態で記憶されるため、書き込みビット線の上部に存在するＴＭＲ素子のデータを読み出すための読み出し回路の出力部（最終段）に、１つのインバータを追加すればよい。
【０８５３】
例えば、構造例５（図３６参照）では、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２は、１段目のＴＭＲ素子ＭＴＪ１－１と２段目のＴＭＲ素子ＭＴＪ１－２との間に配置される。そこで、例えば、いわゆる一括読み出し動作原理を適用する場合には、データを判別するためのロジック回路の出力部に、１つのインバータを追加すればよい。
【０８５４】
このように、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２のピン層の磁化の向きが同じ場合には、書き込み線の上部に配置されるＴＭＲ素子とその下部に配置されるＴＭＲ素子のいず

れか一方には、書き込みデータと逆のデータが記憶される。
【０８５５】
従って、逆のデータが記憶されたＴＭＲ素子のデータを読み出す読み出し回路の出力部（最終段）に、１つのインバータを追加すれば、書き込み回路（書き込みビット線ドライバ／シンカー）の構成を変えることなく、書き込み動作を行うことができる。
【０８５６】
［“０”－書き込み］
書き込みワード線ＷＷＬ１－２には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面から吐き出される方向に書き込み電流を流す。
【０８５７】
この書き込み条件は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１に対する“０”－書き込みの条件と同じである。この時、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、左回りの円を描くようになる。
【０８５８】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２には、左向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の向きは、左向きとなる。
【０８５９】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の状態は、平行、即ち、データ“１”が記憶された状態となる。
【０８６０】
ここで、ＴＭＲ素子ＭＴＪ１－２に対する書き込みデータは、“０”であったのであるから、読み出し時には、ＴＭＲ素子ＭＴＪ１－２に記憶された“１”－データは、“１”ではなく、“０”として、読み出さなければならない。
【０８６１】
そこで、上述したように、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部に存在するＴＭＲ素子ＭＴＪ１－２のデータを読み出すための読み出し回路の出力部（最終段）に、１つのインバータが追加されていれば、問題なく、データを読み出すことができる。
【０８６２】
Ｂ．　書き込み条件を変える場合
書き込み条件を変えれば、例えば、書き込みデータが“１”のときは、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２の状態を、共に、平行にすることができ、書き込みデータが“０”のときは、ＴＭＲ素子ＭＴＪ１－１，ＭＴＪ１－２の状態を、共に、反平行にすることができる。
【０８６３】
つまり、読み出し回路を変更する必要はない。
【０８６４】
・　書き込みビット線の下部のＴＭＲ素子にデータを書き込む場合
［“１”－書き込み］
図８７に示すように、書き込みワード線ＷＷＬ１－１には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面に吸い込まれる方向に書き込み電流を流す。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、右回りの円を描くようになる。
【０８６５】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１には、左向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の向きは、左向きとなる。

【０８６６】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の状態は、平行となり、データ“１”が書き込まれる。
【０８６７】
［“０”－書き込み］
書き込みワード線ＷＷＬ１－１には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面から吐き出される方向に書き込み電流を流す。書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、左回りの円を描くようになる。
【０８６８】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１には、右向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の向きは、右向きとなる。
【０８６９】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１の磁化の状態は、反平行となり、データ“０”が書き込まれる。
【０８７０】
・　書き込みビット線の上部のＴＭＲ素子にデータを書き込む場合
［“１”－書き込み］
図８９に示すように、書き込みワード線ＷＷＬ１－２には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面から吐き出される方向に書き込み電流を流す。
【０８７１】
この書き込み条件は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１に対する“１”－書き込みの条件とは異なっている。つまり、書き込みデータを同じと仮定した場合、ＴＭＲ素子が書き込み線の上部に存在するか又は下部に存在するかによって、書き込み線に流す書き込み電流の向きが変わってくる。
【０８７２】
なお、このような動作を実現する書き込み回路（書き込みビット線ドライバ／シンカーについては、後述する。
【０８７３】
この時、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、左回りの円を描くようになる。
【０８７４】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２には、左向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の向きは、左向きとなる。
【０８７５】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の状態は、平行、即ち、データ“１”が記憶された状態となる。
【０８７６】
［“０”－書き込み］
書き込みワード線ＷＷＬ１－２には、一方向に向かう書き込み電流を流し、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、紙面に吸い込まれる方向に書き込み電流を流す。
【０８７７】
この書き込み条件は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の下部のＴＭＲ素子ＭＴＪ１－１に対する“０”－書き込みの条件とは異なっている。つまり、書き込みデータを同じと仮定した場合、ＴＭＲ素子が書き込み線の上部に存在するか又は下部に存在す

るかによって、書き込み線に流す書き込み電流の向きが変わってくる。
【０８７８】
この時、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流により発生する磁界は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２を中心に、右回りの円を描くようになる。
【０８７９】
この場合、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２には、右向きの磁界が与えられる。このため、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の向きは、右向きとなる。
【０８８０】
従って、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２の上部のＴＭＲ素子ＭＴＪ１－２の磁化の状態は、反平行、即ち、データ“０”が記憶された状態となる。
【０８８１】
▲３▼　全てのＴＭＲ素子のピン層の磁化の向きが同じ場合の書き込み回路（書き込みビット線ドライバ／シンカー）の構成
図９０は、書き込みビット線ドライバ／シンカーの回路例を示している。
図９０の回路は、構造例５（図３４及び図３５）における磁気ランダムアクセスメモリに適用される。この回路の特徴は、ＴＭＲ素子の位置情報（下段又は上段）に基づいて書き込み電流の向きを変える機能にある。
【０８８２】
なお、同図では、書き込みビット線ドライバ／シンカーの１カラム分のみを示している。
【０８８３】
書き込みビット線ドライバ／シンカー２９Ａは、ＰチャネルＭＯＳトランジスタＱＰ１、ＮチャネルＭＯＳトランジスタＱＮ１、ＮＡＮＤゲート回路ＮＤ１、ＡＮＤゲート回路ＡＤ１、エクスクルーシブオア回路Ｅｘ－ＯＲ１及びエクスクルーシブノア回路Ｅｘ－ＮＯＲ１から構成される。
【０８８４】
書き込みビット線ドライバ／シンカー３１は、ＰチャネルＭＯＳトランジスタＱＰ２、ＮチャネルＭＯＳトランジスタＱＮ２、ＮＡＮＤゲート回路ＮＤ２、ＡＮＤゲート回路ＡＤ２、エクスクルーシブオア回路Ｅｘ－ＯＲ２及びエクスクルーシブノア回路Ｅｘ－ＮＯＲ２から構成される。
【０８８５】
ＰチャネルＭＯＳトランジスタＱＰ１は、電源端子ＶＤＤと書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２との間に接続され、ＮチャネルＭＯＳトランジスタＱＮ１は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２と接地端子ＶＳＳとの間に接続される。ＰチャネルＭＯＳトランジスタＱＰ２は、電源端子ＶＤＤと書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２との間に接続され、ＮチャネルＭＯＳトランジスタＱＮ２は、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２と接地端子ＶＳＳとの間に接続される。
【０８８６】
ＮＡＮＤゲート回路ＮＤ１の出力信号が“０”、ＡＮＤゲート回路ＡＤ２の出力信号が“１”のとき、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。
【０８８７】
ＮＡＮＤゲート回路ＮＤ２の出力信号が“０”、ＡＮＤゲート回路ＡＤ１の出力信号が“１”のとき、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。
【０８８８】
このような書き込みビット線ドライバ／シンカー２９Ａ，３１においては、書き込み動作

時、書き込み信号ＷＲＩＴＥは、“１”となる。また、選択されたカラムでは、上位カラムアドレス信号の全ビットが“１”となる。

【０８８９】

また、本例では、メモリセルアレイ（下段又は上段）を選択するための選択信号ＺＡ０を用いて、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる書き込み電流の向きを決定する。

【０８９０】

・　書き込みデータが“１”のとき

書き込みデータが“１”（ＤＡＴＡ＝“１”）のとき、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる電流の向きは、以下のようになる。

【０８９１】

１段目のメモリセルアレイ（ＴＭＲ素子）が選択されると、ＺＡ０＝“０”となる。そして、エクスクルーシブオア回路Ｅｘ－ＯＲ１，Ｅｘ－ＯＲ２の出力信号は、“１”となり、エクスクルーシブノア回路Ｅｘ－ＮＯＲ１，Ｅｘ－ＮＯＲ２の出力信号は、“０”となる。

【０８９２】

従って、ＮＡＮＤゲート回路ＮＤ１の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ２の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。

【０８９３】

２段目のメモリセルアレイ（ＴＭＲ素子）が選択されると、ＺＡ０＝“１”となる。そして、エクスクルーシブオア回路Ｅｘ－ＯＲ１，Ｅｘ－ＯＲ２の出力信号は、“０”となり、エクスクルーシブノア回路Ｅｘ－ＮＯＲ１，Ｅｘ－ＮＯＲ２の出力信号は、“１”となる。

【０８９４】

従って、ＮＡＮＤゲート回路ＮＤ２の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ１の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。

【０８９５】

・　書き込みデータが“０”のとき

書き込みデータが“０”（ＤＡＴＡ＝“０”）のとき、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２に流れる電流の向きは、以下のようになる。

【０８９６】

１段目のメモリセルアレイ（ＴＭＲ素子）が選択されると、ＺＡ０＝“０”となる。そして、エクスクルーシブオア回路Ｅｘ－ＯＲ１，Ｅｘ－ＯＲ２の出力信号は、“０”となり、エクスクルーシブノア回路Ｅｘ－ＮＯＲ１，Ｅｘ－ＮＯＲ２の出力信号は、“１”となる。

【０８９７】

従って、ＮＡＮＤゲート回路ＮＤ２の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ１の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、書き込みビット線ドライバ／シンカー３１から書き込みビット線ドライバ／シンカー２９Ａへ向う書き込み電流が流れる。

【０８９８】

２段目のメモリセルアレイ（ＴＭＲ素子）が選択されると、ＺＡ０＝“１”となる。そして、エクスクルーシブオア回路Ｅｘ－ＯＲ１，Ｅｘ－ＯＲ２の出力信号は、“１”となり、エクスクルーシブノア回路Ｅｘ－ＮＯＲ１，Ｅｘ－ＮＯＲ２の出力信号は、“０”となる。

【０８９９】

従って、ＮＡＮＤゲート回路ＮＤ１の出力信号が“０”となり、ＡＮＤゲート回路ＡＤ２の出力信号が“１”となる。その結果、書き込みビット線ＷＢＬ１－１／ＷＢＬ１－２には、書き込みビット線ドライバ／シンカー２９Ａから書き込みビット線ドライバ／シンカー３１へ向う書き込み電流が流れる。

【０９００】

６．　製造方法

本発明の磁気ランダムアクセスメモリのセルアレイ構造、ＴＭＲ素子の構造、読み出し回路、及び、読み出し動作原理については、上述した通りである。そこで、最後に、本発明の磁気ランダムアクセスメモリを実現するための製造方法の一例について説明する。

【０９０１】

以下に説明する製造方法は、構造例１のデバイス構造２に関するものである。但し、構造例１のデバイス構造１，３及び構造例２～１０についても、以下の製造方法を応用することにより、簡単に形成することができる。

【０９０２】

(1)　対象となるセルアレイ構造

まず、本発明の製造方法により完成されるセルアレイ構造について簡単に説明する。その後、そのセルアレイ構造の製造方法について説明する。

【０９０３】

図９１は、構造例１のデバイス構造２の特徴を含むセルアレイ構造を示している。

【０９０４】

半導体基板４１内には、ＳＴＩ（Shallow Trench Isolation）構造を有する素子分離絶縁層４５が形成される。素子分離絶縁層４５上には、ダミー配線４６が形成される。ダミー配線４６は、規則的（例えば、所定パターンの繰り返し）、又は、全体として一様となるようなパターンで、形成される。本例では、ダミー配線４６の間隔は、互いに等しい。

【０９０５】

ダミー配線４６は、メモリセルアレイの周辺に配置される周辺回路を構成する配線、例えば、ＭＯＳトランジスタのゲート配線と同じ材料から構成される。

【０９０６】

ダミー配線４６上には、Ｙ方向に延びる読み出しワード線ＲＷＬ１が形成される。読み出しワード線ＲＷＬ１上には、Ｙ方向に並んだ４個のＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４が配置される。

【０９０７】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の一端（本例では、上端）は、上部電極４４に共通に接続される。コンタクトプラグ４２及び導電層４３は、上部電極４４と読み出しワード線ＲＷＬ１とを電気的に接続する。

【０９０８】

上部電極４４と読み出しワード線ＲＷＬ１とのコンタクト部は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２とＴＭＲ素子ＭＴＪ３，ＭＴＪ４との間の領域に設けられている。このように、コンタクト部に対して、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４を左右均等に配置すれば、配線抵抗などによる読み出し動作時のノイズを最小限に抑えることができる。

【０９０９】

なお、導電層４３は、上部電極４４と一体化してもよい。即ち、導電層４３と上部電極４４は、同一材料で同時に形成することもできる。

【０９１０】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の他端（本例では、下端）は、読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４（書き込みワード線ＷＷＬ１，ＷＷＬ２，ＷＷＬ３，ＷＷＬ４）に電気的に接続される。読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４は、Ｘ方向（ロウ方向）に延びている。

【０９１１】

ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４は、それぞれ独立に読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４に接続される。即ち、４つのＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４に対して、４本の読み出しビット線ＲＢＬ１，ＲＢＬ２，ＲＢＬ３，ＲＢＬ４が設けられる。

【０９１２】

書き込みビット線ＷＢＬ１は、ＴＭＲ素子ＭＴＪ１，ＭＴＪ２，ＭＴＪ３，ＭＴＪ４の直上であって、かつ、その近傍に配置される。書き込みビット線ＷＢＬ１は、Ｙ方向に延びている。

【０９１３】

(2)　製造方法の各ステップ

以下、図９１のセルアレイ構造を実現するための製造方法について説明する。ここでは、具体化された製造方法（例えば、デュアルダマシンプロセスの採用など）を説明するので、図９１のセルアレイ構造にない要素についても説明されることに留意する。但し、最終的に完成するセルアレイ構造の概略は、図９１のセルアレイ構造とほぼ同じとなる。

【０９１４】

[1]　素子分離ステップ

まず、図９２に示すように、半導体基板５１内に、ＳＴＩ（Shallow Trench Isolation）構造の素子分離絶縁層５２を形成する。

【０９１５】

素子分離絶縁層５２は、例えば、以下のようなプロセスにより形成できる。

【０９１６】

ＰＥＰ（Photo Engraving Process）により、半導体基板５１上にマスクパターン（窒化シリコンなど）を形成する。このマスクパターンをマスクにして、ＲＩＥ（Reactive Ion Etching）を用いて半導体基板５１をエッチングし、半導体基板５１にトレンチを形成する。例えば、ＣＶＤ（Chemical Vapor Deposition）法及びＣＭＰ（Chemical Mechanical Polishing）法を用いて、このトレンチ内に絶縁層（酸化シリコンなど）を満たす。

【０９１７】

この後、必要ならば、例えば、イオン注入法により、半導体基板内に、Ｐ型不純物（Ｂ、BF_2など）又はＮ型不純物（Ｐ，Ａｓなど）を注入し、Ｐ型ウェル領域又はＮ型ウェル領域を形成する。

【０９１８】

[2]　ＭＯＳＦＥＴの形成ステップ

次に、図９３に示すように、半導体基板５１の表面領域に、メモリセルアレイの周辺回路として機能するＭＯＳトランジスタを形成する。

【０９１９】

なお、ＭＯＳトランジスタを形成すると同時に、メモリセルアレイ領域では、ダミー配線を形成する（図９５参照）。

【０９２０】

ＭＯＳトランジスタは、例えば、以下のようなプロセスにより形成できる。

【０９２１】

素子分離絶縁層５２に取り囲まれた素子領域内のチャネル部に、ＭＯＳトランジスタの閾値を制御するための不純物をイオン注入する。熱酸化法により、素子領域内にゲート絶縁膜（酸化シリコンなど）５３を形成する。ＣＶＤ法により、ゲート絶縁膜５３上に、ゲート電極材料（不純物を含むポリシリコンなど）及びキャップ絶縁膜（窒化シリコンなど）５５を形成する。

【０９２２】

ＰＥＰにより、キャップ絶縁膜５５をパターニングした後、このキャップ絶縁膜５５をマスクにして、ＲＩＥにより、ゲート電極材料及びゲート絶縁膜５３を加工（エッチング）する。その結果、半導体基板５１上に、Ｘ方向に延びるゲート電極５４が形成される。

【０９２３】

キャップ絶縁膜５５及びゲート電極５４をマスクにして、イオン注入法を用いて、半導体基板５１内に、Ｐ型不純物又はＮ型不純物を注入する。そして、半導体基板内に、低濃度の不純物領域（ＬＤＤ領域又はエクステンション領域）を形成する。

【０９２４】

ＣＶＤ法により、半導体基板５１上の全体に、絶縁膜（窒化シリコンなど）を形成した後、ＲＩＥにより、その絶縁膜をエッチングし、ゲート電極５４及びキャップ絶縁膜５５の側壁に、サイドウォール絶縁層５７を形成する。キャップ絶縁膜５５、ゲート電極５４及びサイドウォール絶縁層５７をマスクにして、イオン注入法を用いて、半導体基板５１内に、Ｐ型不純物又はＮ型不純物を注入する。その結果、半導体基板５１内には、ソース領域５６Ａ及びドレイン領域５６Ｂが形成される

この後、ＣＶＤ法により、半導体基板５１上の全体に、ＭＯＳトランジスタを完全に覆う層間絶縁膜（例えば、酸化シリコンなど）５８を形成する。また、ＣＭＰ技術を利用することによって、層間絶縁膜５８の表面を平坦化する。

【０９２５】

[3]　コンタクトホールの形成ステップ

次に、図９４に示すように、半導体基板５１上の層間絶縁膜５８に、ＭＯＳトランジスタのソース領域５６Ａ及びドレイン領域５６Ｂに到達するコンタクトホール５９を形成する。

【０９２６】

コンタクトホール５９は、例えば、ＰＥＰにより、層間絶縁膜５８上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、層間絶縁膜５８をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。

【０９２７】

[4]　配線溝及び第１配線層の形成ステップ

次に、図９５及び図９６に示すように、半導体基板５１上の層間絶縁膜５８に、配線溝６０を形成する。メモリセルアレイ領域においては、配線溝６０は、読み出しワード線を形成するための溝であり、例えば、Ｙ方向に延びている。同図では、配線溝６０は、破線で表される。

【０９２８】

配線溝６０は、例えば、ＰＥＰにより、層間絶縁膜５８上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、層間絶縁膜５８をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。

【０９２９】

次に、図９６及び図９７に示すように、例えば、スパッタ法を用いて、層間絶縁膜５８上、コンタクトホール５９の内面上及び配線溝６０の内面上に、それぞれ、バリアメタル層（ＴｉとＴｉＮの積層など）６１を形成する。続けて、例えば、スパッタ法により、バリアメタル層６１上に、コンタクトホール５９及び配線溝６０を完全に満たす金属層（Ｗなど）６２を形成する。

【０９３０】

この後、例えば、ＣＭＰ法を用いて、金属層６２を研磨し、金属層６２を、コンタクトホール５９内及び配線溝６０内のみに残す。コンタクトホール５９内に残存した金属層６２は、コンタクトプラグとなる。

【０９３１】

また、図９８に示すように、配線溝６０内に残存した金属層６２は、第１配線層（読み出しワード線）となる。

【０９３２】

そして、図９９に示すように、ＣＶＤ法により、層間絶縁膜５８上に、層間絶縁膜（酸化シリコンなど）６３を形成する。

【０９３３】
なお、コンタクトホールの形成ステップ、配線溝の形成ステップ及び第１配線層の形成ステップからなるステップは、デュアルダマシンプロセスと呼ばれる。
【０９３４】
[5]　配線溝の形成ステップ
次に、図１００に示すように、層間絶縁膜６３に、配線溝６４を形成する。本例では、配線溝６４は、書き込みワード線（読み出しビット線）を形成するための溝となっており、Ｘ方向に延びている。配線溝６４の側面には、絶縁機能を高めるためのサイドウォール絶縁層（窒化シリコンなど）を形成してもよい。
【０９３５】
配線溝６４は、例えば、ＰＥＰにより、層間絶縁膜６３上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、層間絶縁膜６３をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。
【０９３６】
サイドウォール絶縁層は、ＣＶＤ法により、層間絶縁膜６３上の全体に、絶縁膜（窒化シリコンなど）を形成した後、ＲＩＥにより、その絶縁膜をエッチングすることにより、容易に形成することができる。
【０９３７】
[6]　第２配線層の形成ステップ
次に、図１０１に示すように、配線溝６４内に、読み出しワード線としての金属層６２に達するコンタクトホール６５を形成する。
【０９３８】
コンタクトホール６５は、例えば、ＰＥＰにより、層間絶縁膜６３上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、層間絶縁膜６３をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。
【０９３９】
この後、例えば、スパッタ法を用いて、層間絶縁膜６３上、配線溝６４の内面上及びコンタクトホール６５の内面上に、それぞれ、バリアメタル層（ＴａとＴａＮの積層など）６６を形成する。続けて、例えば、スパッタ法により、バリアメタル層６６上に、配線溝６４及びコンタクトホール６５を完全に満たす金属層（Ｃｕなど）６７を形成する。
【０９４０】
この後、例えば、ＣＭＰ法を用いて、金属層６７を研磨し、金属層６７を、配線溝６４内及びコンタクトホール６５内のみに残す。配線溝６４内に残存した金属層６７は、書き込みワード線（読み出しビット線）として機能する第２配線層となり、コンタクトホール６５内に残存した金属層６７は、コンタクトプラグとなる。
【０９４１】
[7]　ＭＴＪ素子及びその下部電極の形成ステップ
次に、図１０２に示すように、スパッタ法により、層間絶縁膜６３上に下部電極（Ｔａなど）６８を形成する。続けて、下部電極６８上に、ＭＴＪ素子のための複数の層６９を形成する。複数の層６９は、例えば、トンネルバリア層、これを挟み込む２つの強磁性層、及び、反強磁性層を含んでいる。
【０９４２】
この後、図１０３に示すように、ＭＴＪ素子のための複数の層６９をパターニングし、下部電極６８上に、複数のＭＴＪ素子６９Ａを形成する。複数のＭＴＪ素子６９Ａは、最終的には、例えば、図６１、図６２又は図６３に示すような構造となる。
【０９４３】
なお、ＭＴＪ素子のための複数の層６９のパターニングは、ＰＥＰにより、複数の層６９上にレジストパターンを形成した後、このレジストパターンをマスクにして、ＲＩＥによ

り、複数の層６９をエッチングすることにより、容易に行える。この後、レジストパターンは、除去される。
【０９４４】
続けて、ＭＴＪ素子の下部電極６８のパターニングを行う。
下部電極６８のパターニングは、ＰＥＰにより、下部電極６８上にレジストパターンを形成した後、このレジストパターンをマスクにして、ＲＩＥにより、下部電極６８をエッチングすることにより、容易に行える。この後、レジストパターンは、除去される。
【０９４５】
この後、ＣＶＤ法を用いて、ＭＴＪ素子６９Ａを完全に覆う層間絶縁膜７０を形成する。また、ＣＭＰ法により、層間絶縁膜７０を研磨かつ平坦化し、層間絶縁膜７０をＭＴＪ素子６９Ａの間にのみ残存させる。
【０９４６】
[8]　ＭＴＪ素子の上部電極の形成ステップ
次に、図１０４に示すように、層間絶縁膜７０に、コンタクトプラグとしての金属層６７に達するコンタクトホールを形成する。
【０９４７】
このコンタクトホールは、例えば、ＰＥＰにより、層間絶縁膜７０上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、層間絶縁膜７０をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。
【０９４８】
この後、スパッタ法を用いて、ＭＴＪ素子６９Ａ上及び層間絶縁膜７０上に、コンタクトホールを完全に埋め込むように、ＭＴＪ素子６９Ａの上部電極となる金属層（Ｔａなど）７１を形成する。また、ＣＭＰ法により、金属層７１を研磨し、金属層７１の表面を平坦化する。
【０９４９】
また、ＭＴＪ素子６９Ａの上部電極７１のパターニングを行う。
ＭＴＪ素子６９Ａの上部電極７１のパターニングは、例えば、ＰＥＰにより、上部電極７１上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、上部電極７１をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。
【０９５０】
このパターニングでは、構造例１のように、読み出しブロックごとに上部電極７１が設けられるようにしてもよいし、構造例１０のように、上部電極７１が１カラム内の読み出しブロックで共通となるようにしてもよい。
【０９５１】
[9]　第３配線層の形成ステップ
次に、図１０５に示すように、ＣＶＤ法を用いて、層間絶縁膜７０上に、ＭＴＪ素子６９Ａの上部電極７１を完全に覆う層間絶縁膜７２を形成する。また、ＣＭＰ法により、層間絶縁膜７２を研磨し、層間絶縁膜７２の表面を平坦化する。
【０９５２】
また、層間絶縁膜７２に、配線溝を形成する。この配線溝は、書き込みビット線を形成するための溝となっており、Ｙ方向に延びている。配線溝の側面には、絶縁機能を高めるためのサイドウォール絶縁層（窒化シリコンなど）を形成してもよい。
【０９５３】
配線溝は、例えば、ＰＥＰにより、層間絶縁膜７２上にレジストパターンを形成し、このレジストパターンをマスクにして、ＲＩＥにより、層間絶縁膜７２をエッチングすれば、容易に形成することができる。このエッチング後、レジストパターンは、除去される。
【０９５４】
サイドウォール絶縁層は、ＣＶＤ法により、層間絶縁膜７２上の全体に、絶縁膜（窒化シ

リコンなど）を形成した後、ＲＩＥにより、その絶縁膜をエッチングすることにより、容易に形成することができる。

【０９５５】

この後、例えば、スパッタ法を用いて、層間絶縁膜７２上及び配線溝の内面上に、それぞれ、バリアメタル層（ＴａとＴａＮの積層など）７３を形成する。続けて、例えば、スパッタ法により、バリアメタル層７３上に、配線溝を完全に満たす金属層（Ｃｕなど）７４を形成する。

【０９５６】

また、例えば、ＣＭＰ法を用いて、金属層７４を研磨し、金属層７４を、配線溝内のみに残す。配線溝内に残存した金属層７４は、書き込みビット線として機能する第３配線層となる。

【０９５７】

なお、図１０６は、上部電極７１を１カラム内の読み出しブロックで共通にした場合の最終構造である。

【０９５８】

(3)　まとめ

この製造方法によれば、読み出しブロック内のＭＲ素子の一端と読み出しワード線との間に読み出し選択スイッチが接続されず、かつ、２本の書き込み線のうちの１本がＴＭＲ素子に接触しないセルアレイ構造を実現できる。

【０９５９】

また、ＴＭＲ素子の直下には、選択スイッチ（ＭＯＳトランジスタ）が形成されておらず、その代わりに、例えば、互いの距離が等しくなるように設定された複数のダミー配線が形成される。このため、層間絶縁膜の平坦化を実現でき、ＴＭＲ素子の特性の向上を実現できる。

【０９６０】

なお、本例では、配線層を形成するに当たって、ダマシンプロセス及びデュアルダマシンプロセスを採用したが、これに代えて、例えば、配線層の加工をエッチングにより行うプロセスを採用してもよい。

【０９６１】

７．　その他

図５８に示す構造例８の応用例について簡単に説明する。

【０９６２】

図５８に示す例は、読み出し時に、選択された読み出しワード線ＲＷＬｉにバイアス電位ＶＣを与える点に特徴を有する。この特徴を備えるＭＲＡＭに関しては、さらに、以下の変形が可能である。

【０９６３】

図１０８の例は、読み出し回路２９Ｂを読み出しワード線ＲＷＬ１，・・・ＲＷＬｊに接続した点に特徴を有する。読み出し回路２９Ｂと読み出しワード線ＲＷＬ１，・・・ＲＷＬｊとの間には、カラム選択スイッチＣＳＷが接続される。バイアス電位ＶＣを発生するバイアス回路ＢＩＡＳは、１本の読み出しワード線ＲＷＬ１，・・・ＲＷＬｊに対して１個だけ設けられている。読み出し時、ロウデコーダ２５－１，・・・２５－ｎは、１本の読み出しビット線ＲＢＬｉを選択する。選択された１本の読み出しビット線ＲＢＬｉは、読み出しビット線シンカー２３Ａを経由して、接地点に接続される。非選択となる残りの全ての読み出しビット線は、フローティング状態となる。

【０９６４】

図１０９のＭＲＡＭは、図１０８のＭＲＡＭの特徴を含んでいる。図１０９の例は、図１０８の例と比べると、複数の読み出し回路２９Ｂが存在し、一度の読み出し動作で、複数ビットデータを、複数のメモリセル（ＭＴＪ素子）から同時に読み出すことができる点に特徴を有する。

【０９６５】

図１１０のＭＲＡＭは、図１０８のＭＲＡＭの特徴を含んでいる。図１１０の例は、図１０８の例と比べると、複数の読み出し回路２９Ｂが存在し、一度の読み出し動作で、複数ビットデータを、複数のメモリセル（ＭＴＪ素子）から同時に読み出すことができる点に特徴を有する。

【０９６６】

上述の説明では、磁気ランダムアクセスメモリのメモリセルとして、ＴＭＲ素子を用いることを前提としたが、メモリセルがＧＭＲ（Giant Magneto Resistance）素子である場合にも、本発明、即ち、各種のセルアレイ構造、読み出し動作原理、読み出し回路の具体例などを適用することができる。

【０９６７】

また、ＴＭＲ素子やＧＭＲ素子の構造や、これらを構成する材料などについても、本発明の適用に当たって、特に、限定されることはない。本例では、読み出しブロック内のＴＭＲ素子の数が４つである場合について説明したが、読み出しブロック内のＴＭＲ素子の数は、４つに限られず、自由に設定できる。

【０９６８】

磁気ランダムアクセスメモリのロウ／カラム選択スイッチなどのスイッチ素子としては、バイポーラトランジスタ、ダイオード、ＭＩＳ(Metal Insulator Semiconductor)トランジスタ(MOSFETを含む)、ＭＥＳ(Metal Semiconductor)トランジスタ、接合(Junction)トランジスタなどを使用することができる。

【０９６９】

【発明の効果】

以上、説明したように、本発明によれば、読み出しブロック内に選択スイッチを有していなくても、メモリ容量の増大を実現でき、かつ、書き込み時のＴＭＲ素子の破壊も発生しない磁気ランダムアクセスメモリのセルアレイ構造を提供できる。

【図面の簡単な説明】

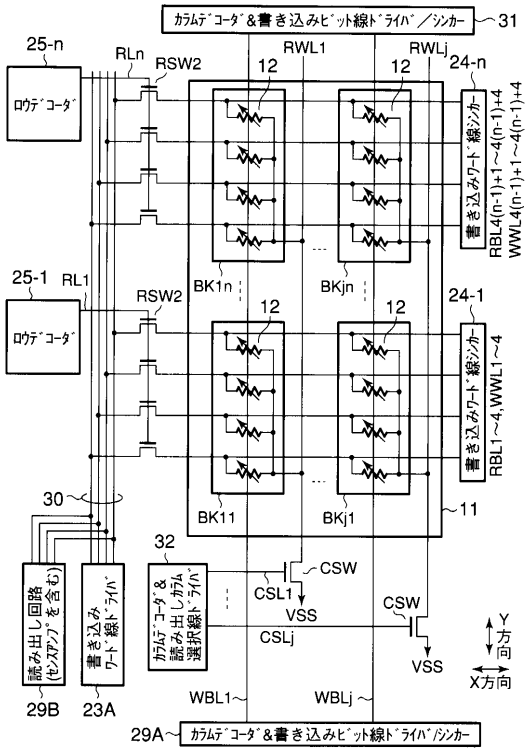
【図１】本発明の磁気ランダムアクセスメモリの構造例１に関わる回路図。
【図２】構造例１に関わるデバイス構造１を示す断面図。
【図３】構造例１に関わるデバイス構造１を示す平面図。
【図４】構造例１に関わるデバイス構造２を示す断面図。
【図５】構造例１に関わるデバイス構造２を示す平面図。
【図６】構造例１に関わるデバイス構造２を示す平面図。
【図７】構造例１に関わるデバイス構造２を示す平面図。
【図８】構造例１に関わるデバイス構造３を示す断面図。
【図９】構造例１に関わるデバイス構造３を示す平面図。
【図１０】構造例１に関わるデバイス構造３を示す平面図。
【図１１】構造例１に関わるデバイス構造３を示す平面図。
【図１２】構造例１に関わるデバイス構造３を示す平面図。
【図１３】本発明の磁気ランダムアクセスメモリの構造例２の概要を示す図。
【図１４】構造例２に関わるデバイス構造１を示す断面図。
【図１５】構造例２に関わるデバイス構造２を示す断面図。
【図１６】本発明の磁気ランダムアクセスメモリの構造例３に関わる回路図。
【図１７】本発明の磁気ランダムアクセスメモリの構造例３に関わる回路図。
【図１８】構造例３に関わるデバイス構造を示す断面図。
【図１９】構造例３に関わるデバイス構造を示す平面図。
【図２０】構造例３に関わるデバイス構造を示す平面図。
【図２１】構造例３に関わるデバイス構造を示す平面図。
【図２２】構造例３に関わるデバイス構造を示す平面図。
【図２３】構造例３に関わるデバイス構造を示す平面図。
【図２４】本発明の磁気ランダムアクセスメモリの構造例４に関わる回路図。
【図２５】本発明の磁気ランダムアクセスメモリの構造例４に関わる回路図。

【図２６】構造例４に関わるデバイス構造を示す断面図。
【図２７】構造例４に関わるデバイス構造を示す平面図。
【図２８】構造例４に関わるデバイス構造を示す平面図。
【図２９】構造例４に関わるデバイス構造を示す平面図。
【図３０】構造例４に関わるデバイス構造を示す平面図。
【図３１】構造例４に関わるデバイス構造を示す平面図。
【図３２】構造例４に関わるデバイス構造を示す平面図。
【図３３】構造例４に関わるデバイス構造を示す平面図。
【図３４】本発明の磁気ランダムアクセスメモリの構造例５に関わる回路図。
【図３５】本発明の磁気ランダムアクセスメモリの構造例５に関わる回路図。
【図３６】構造例５に関わるデバイス構造を示す断面図。
【図３７】構造例５に関わるデバイス構造を示す平面図。
【図３８】構造例５に関わるデバイス構造を示す平面図。
【図３９】構造例５に関わるデバイス構造を示す平面図。
【図４０】構造例５に関わるデバイス構造を示す平面図。
【図４１】構造例５に関わるデバイス構造を示す平面図。
【図４２】構造例５に関わるデバイス構造を示す平面図。
【図４３】構造例５に関わるデバイス構造を示す平面図。
【図４４】本発明の磁気ランダムアクセスメモリの構造例６に関わる回路図。
【図４５】本発明の磁気ランダムアクセスメモリの構造例６に関わる回路図。
【図４６】構造例６に関わるデバイス構造を示す断面図。
【図４７】構造例６に関わるデバイス構造を示す平面図。
【図４８】構造例６に関わるデバイス構造を示す平面図。
【図４９】構造例６に関わるデバイス構造を示す平面図。
【図５０】構造例６に関わるデバイス構造を示す平面図。
【図５１】構造例６に関わるデバイス構造を示す平面図。
【図５２】構造例６に関わるデバイス構造を示す平面図。
【図５３】本発明の磁気ランダムアクセスメモリの構造例７に関わる回路図。
【図５４】構造例７に関わるデバイス構造を示す断面図。
【図５５】構造例７に関わるデバイス構造を示す平面図。
【図５６】構造例７に関わるデバイス構造を示す平面図。
【図５７】構造例７に関わるデバイス構造を示す平面図。
【図５８】本発明の磁気ランダムアクセスメモリの構造例８に関わる回路図。
【図５９】本発明の磁気ランダムアクセスメモリの構造例９に関わる回路図。
【図６０】構造例１０に関わるデバイス構造を示す断面図。
【図６１】ＴＭＲ素子の構造例を示す図。
【図６２】ＴＭＲ素子の構造例を示す図。
【図６３】ＴＭＲ素子の構造例を示す図。
【図６４】書き込みワード線ドライバ／シンカーの回路例を示す図。
【図６５】書き込みビット線ドライバ／シンカーの回路例を示す図。
【図６６】ロウデコーダの回路例を示す図。
【図６７】カラムデコーダ＆読み出しカラム選択線ドライバの回路例を示す図。
【図６８】書き込みビット線ドライバ／シンカーの回路例を示す図。
【図６９】書き込みビット線ドライバ／シンカーの回路例を示す図。
【図７０】カラムデコーダ＆書き込みワード線ドライバ／シンカーの回路例を示す図。
【図７１】ロウデコーダの回路例を示す図。
【図７２】書き込みワード線ドライバの回路例を示す図。
【図７３】ロウデコーダ＆読み出し線ドライバの回路例を示す図。
【図７４】本発明の磁気ランダムアクセスメモリの構造例１１に関わる回路図。
【図７５】書き込みビット線ドライバ／シンカーの回路例を示す図。

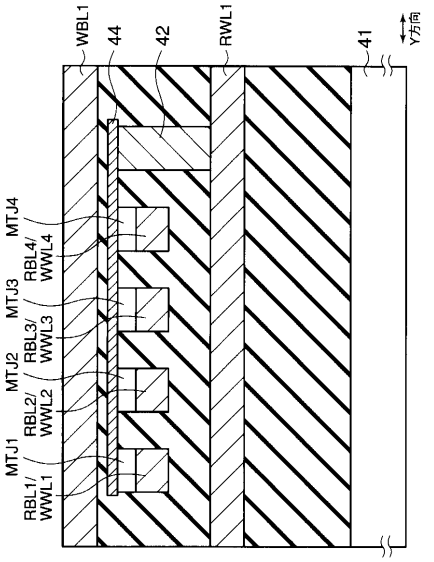
【図７６】書き込みビット線ドライバ／シンカーの回路例を示す図。
【図７７】読み出し回路の回路例を示す図。
【図７８】読み出し回路の回路例を示す図。
【図７９】センスアンプ＆ビット線バイアス回路の回路例を示す図。
【図８０】センスアンプの回路例を示す図。
【図８１】リファレンス電位生成回路の回路例を示す図。
【図８２】オペアンプの回路例を示す図。
【図８３】センスアンプ＆ビット線バイアス回路の回路例を示す図。
【図８４】書き込み線に対して対称に配置されるＴＭＲ素子を示す図。
【図８５】書き込み線に対して対称に配置されるＴＭＲ素子を示す図。
【図８６】書き込み線に対して対称に配置されるＴＭＲ素子を示す図。
【図８７】書き込み線に対して対称に配置されるＴＭＲ素子を示す図。
【図８８】書き込み線に対して対称に配置されるＴＭＲ素子を示す図。
【図８９】書き込み線に対して対称に配置されるＴＭＲ素子を示す図。
【図９０】書き込みビット線ドライバ／シンカーの回路例を示す図。
【図９１】本発明の製造方法が適用されるデバイス構造を示す断面図。
【図９２】本発明の製造方法の１ステップを示す断面図。
【図９３】本発明の製造方法の１ステップを示す断面図。
【図９４】本発明の製造方法の１ステップを示す断面図。
【図９５】本発明の製造方法の１ステップを示す断面図。
【図９６】本発明の製造方法の１ステップを示す断面図。
【図９７】本発明の製造方法の１ステップを示す断面図。
【図９８】本発明の製造方法の１ステップを示す断面図。
【図９９】本発明の製造方法の１ステップを示す断面図。
【図１００】本発明の製造方法の１ステップを示す断面図。
【図１０１】本発明の製造方法の１ステップを示す断面図。
【図１０２】本発明の製造方法の１ステップを示す断面図。
【図１０３】本発明の製造方法の１ステップを示す断面図。
【図１０４】本発明の製造方法の１ステップを示す断面図。
【図１０５】本発明の製造方法の１ステップを示す断面図。
【図１０６】本発明の製造方法の１ステップを示す断面図。
【図１０７】クロスポイント型セルアレイ構造の問題点を示す図。
【図１０８】構造例８の変形例を示す回路図。
【図１０９】構造例８の変形例を示す回路図。
【図１１０】構造例８の変形例を示す回路図。
【図１１１】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１２】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１３】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１４】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１５】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１６】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１７】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１８】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１１９】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１２０】本発明の磁気ランダムアクセスメモリの構造例１２に関わる回路図。
【図１２１】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２２】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２３】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２４】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２５】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。

【図１２６】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２７】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２８】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１２９】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１３０】本発明の磁気ランダムアクセスメモリの構造例１３に関わる回路図。
【図１３１】本発明の磁気ランダムアクセスメモリの構造例１４に関わる回路図。
【図１３２】本発明の磁気ランダムアクセスメモリの構造例１５に関わる回路図。
【符号の説明】
１１，１１－１，１１－２　：メモリセルアレイ、
１２　：ＴＭＲ素子、
２３Ａ　：書き込みワード線ドライバ、
２４－１，・・・２４－ｎ　：書き込みワード線シンカー、
２５－１，・・・２５－ｎ　：ロウデコーダ、
２９Ａ　：書き込みビット線ドライバ／シンカー、
２９Ｂ　：読み出し回路、
２９Ｂ１１，・・・２９Ｂ１４　：センスアンプ＆バイアス回路、
２９Ｂ２　：セレクタ、
２９Ｂ３　：出力バッファ、
２９Ｃ　：カラム選択スイッチ、
３０　：共通データ線、
３１　：書き込みビット線ドライバ／シンカー、
３２　：カラムデコーダ、
５１，４１　：半導体基板、
４２　：コンタクトプラグ、
４３　：導電層、
４４　：下部電極、
５２　：素子分離絶縁層、
５３　：ゲート絶縁膜、
５４　：ゲート電極、
５５　：キャップ絶縁膜、
５６Ａ　：ソース領域、
５６Ｂ　：ドレイン領域、
５８，６３，７０，７２　：層間絶縁膜、
５９　：コンタクトホール、
６０　：配線溝、
６１，６６，７３　：バリアメタル層、
６２，６７，７４　：金属層、
６９Ａ　：ＭＴＪ素子、
６８　：下部電極、
７１　：上部電極、
ＭＴＪ１，・・・ＭＴＪ４　：ＴＭＲ素子（ＭＴＪ素子）、
ＢＫ１１，・・・ＢＫｊｎ　：読み出しブロック、
ＷＷＬ４（ｎ－１）＋１，・・・ＷＷＬ４（ｎ－１）＋４　：書き込みワード線、
ＲＢＬ４（ｎ－１）＋１，・・・ＲＢＬ４（ｎ－１）＋４　：読み出しビット線、
ＷＢＬ１，・・・ＷＢＬｊ　：書き込みビット線。

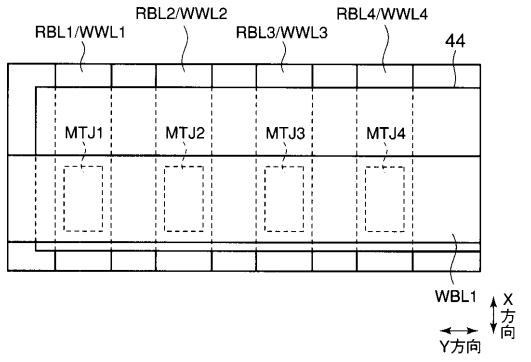
【図１】


カラムデコーダ&書き込みビット線ドライバ／シンカー
31
25-n
RLn
RSW2
RWL1
RWLj
12
24-n
ロウデコーダ
書き込みワード線シンカー
RBL4(n-1)+1～4(n-1)+4
WWL4(n-1)+1～4(n-1)+4
25-1
RL1
BK1n
BKjn
24-1
RBL1～4,WWL1～4
30
BK11
BKj1
11
32
CSW
CSL1
VSS
CSLj
読み出し回路(センスアンプを含む)
書き込みワード線ドライバ
カラムデコーダ&読み出しカラム選択線ドライバ
Y方向
X方向
WBL1
WBLj
29B
23A
29A
カラムデコーダ&書き込みビット線ドライバ/シンカー

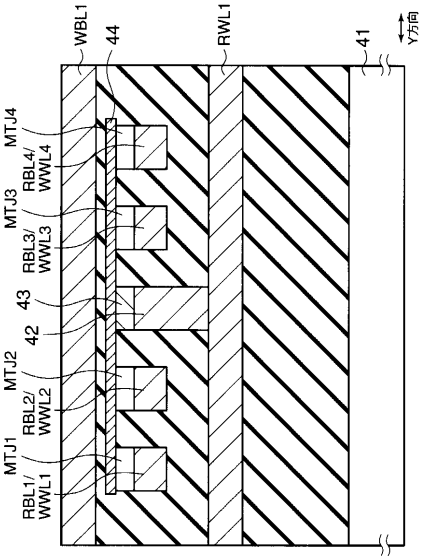
【図２】


WBL1
44
42
RWL1
41
Y方向
MTJ4
RBL4/WWL4
MTJ3
RBL3/WWL3
MTJ2
RBL2/WWL2
MTJ1
RBL1/WWL1

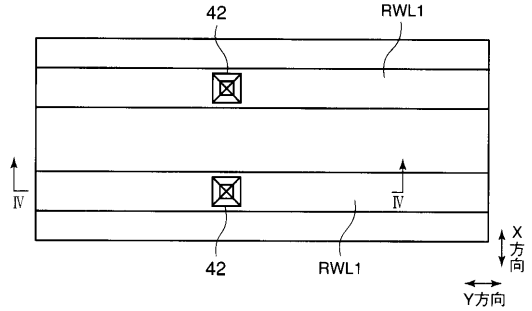
【図３】


RBL1/WWL1
RBL2/WWL2
RBL3/WWL3
RBL4/WWL4
44
MTJ1
MTJ2
MTJ3
MTJ4
WBL1
X方向
Y方向

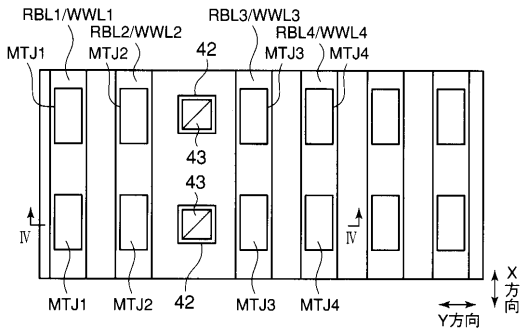
【図４】


WBL1
44
RWL1
41
Y方向
MTJ4
RBL4/WWL4
MTJ3
RBL3/WWL3
43
42
MTJ2
RBL2/WWL2
MTJ1
RBL1/WWL1

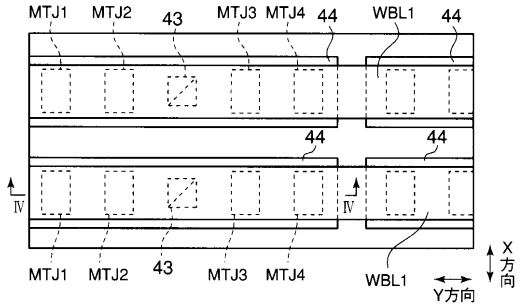
【図５】



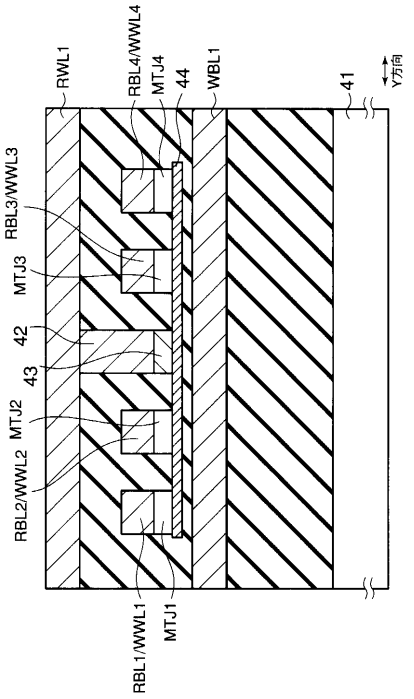
【図６】



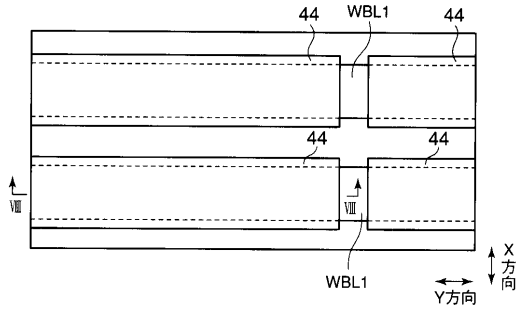
【図７】



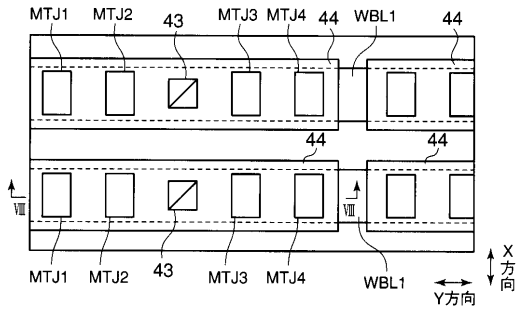
【図８】



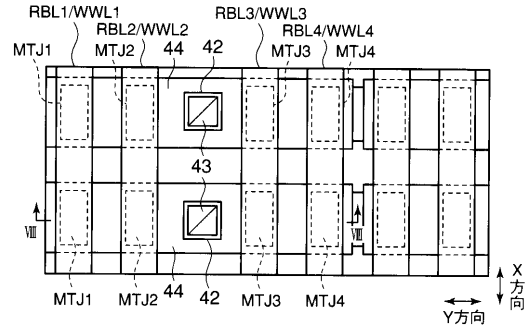
【図９】



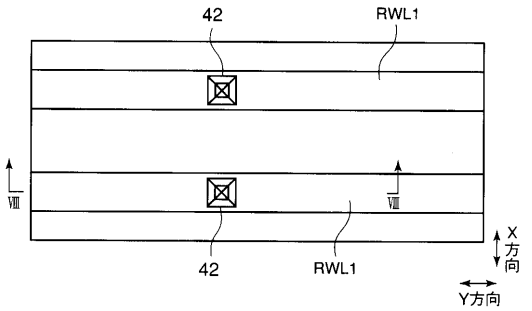
【図１０】



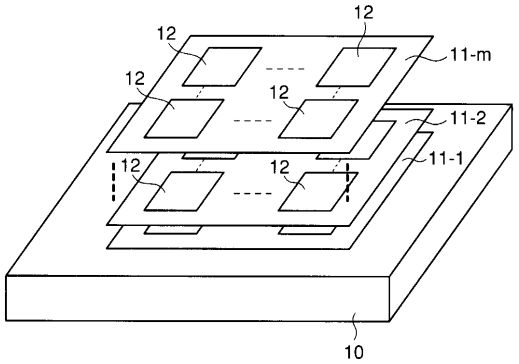
【図１１】



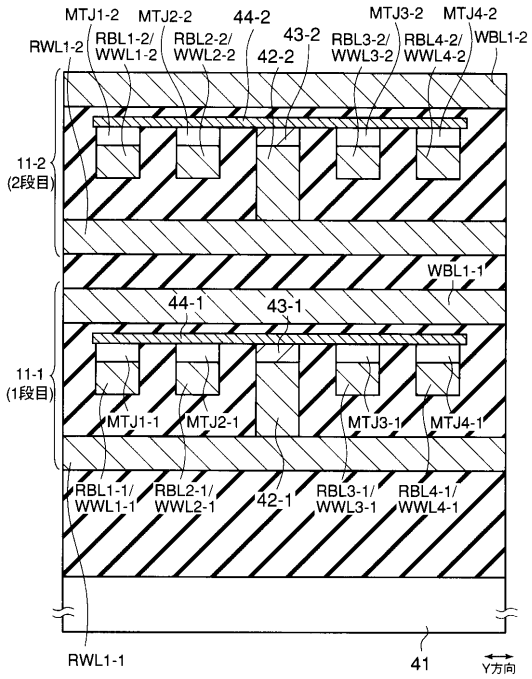
【図１２】



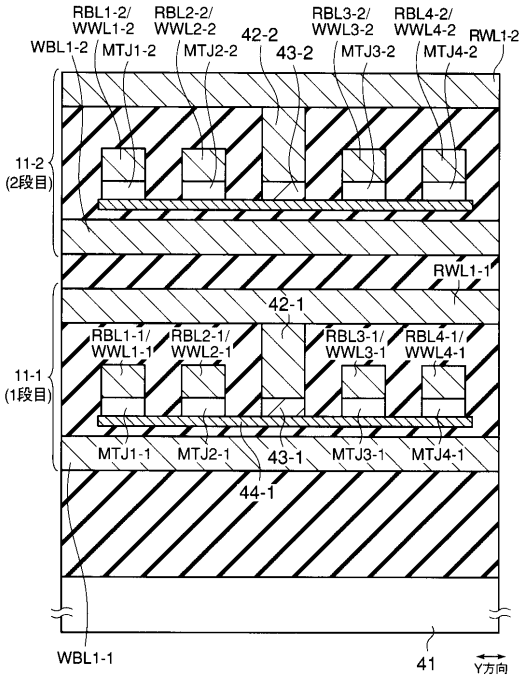
【図１３】



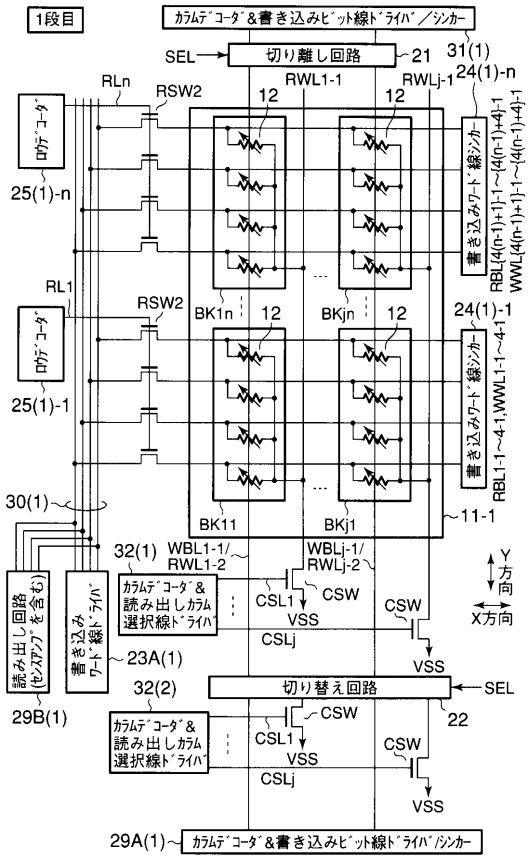
【図１４】



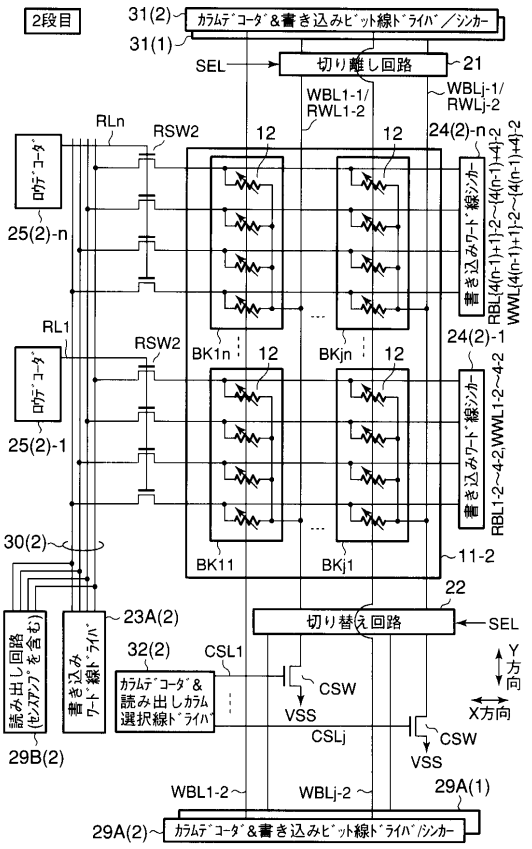
【図１５】



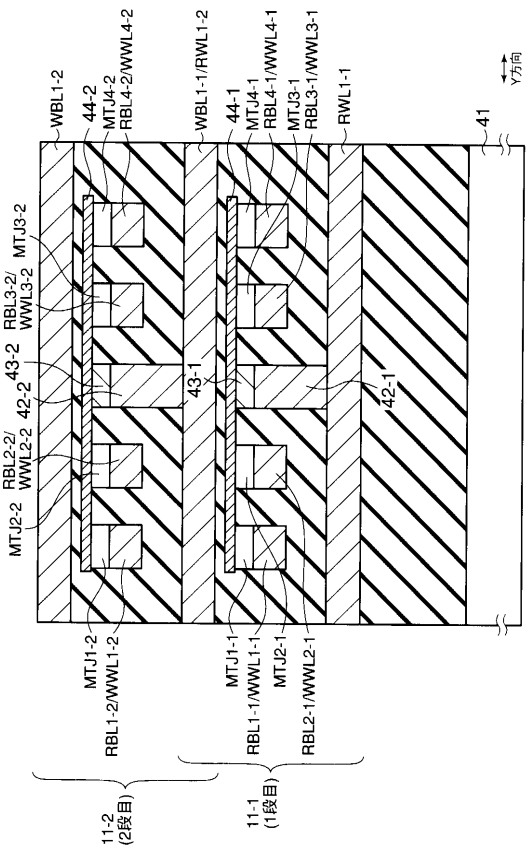
【図１６】



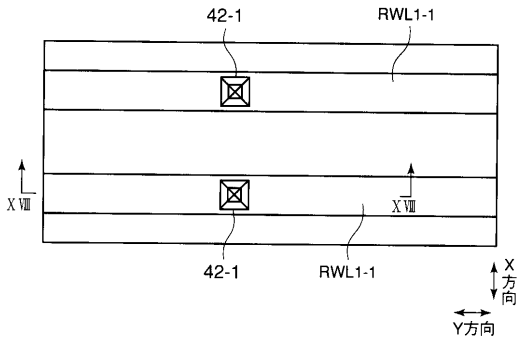
【図１７】



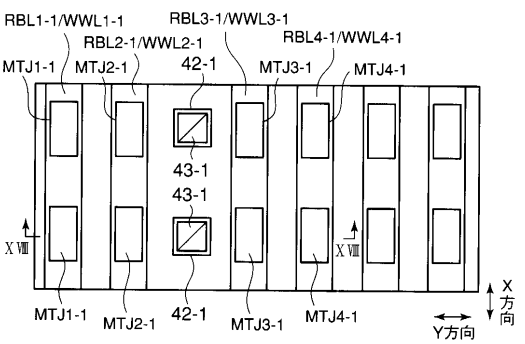
【図１８】



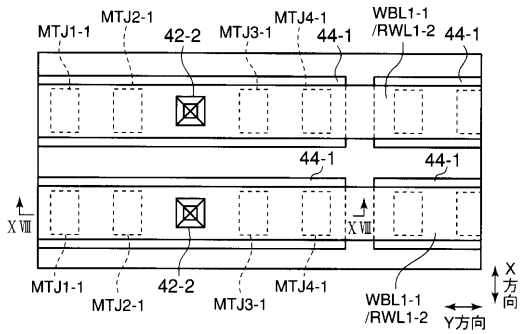
【図１９】



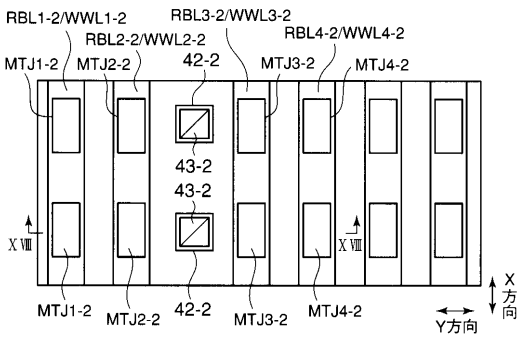
【図２０】



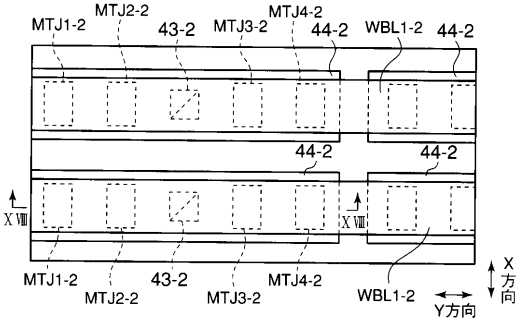
【図２１】



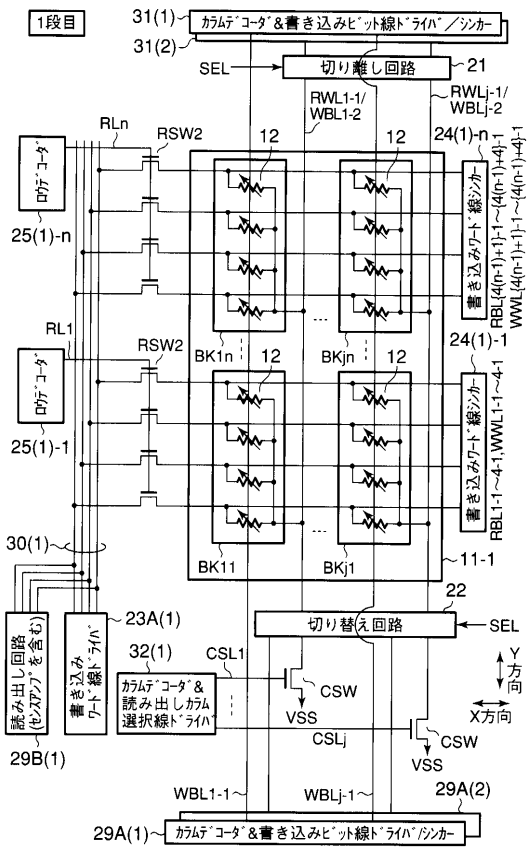
【図２２】



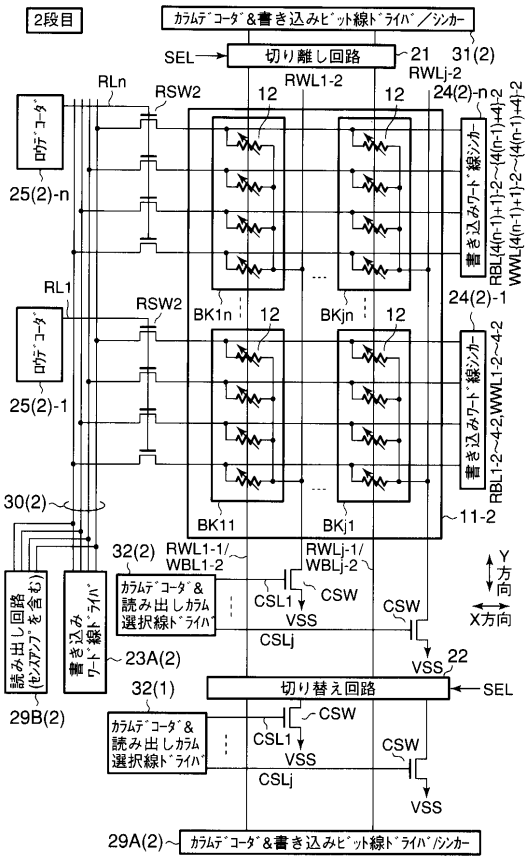
【図２３】



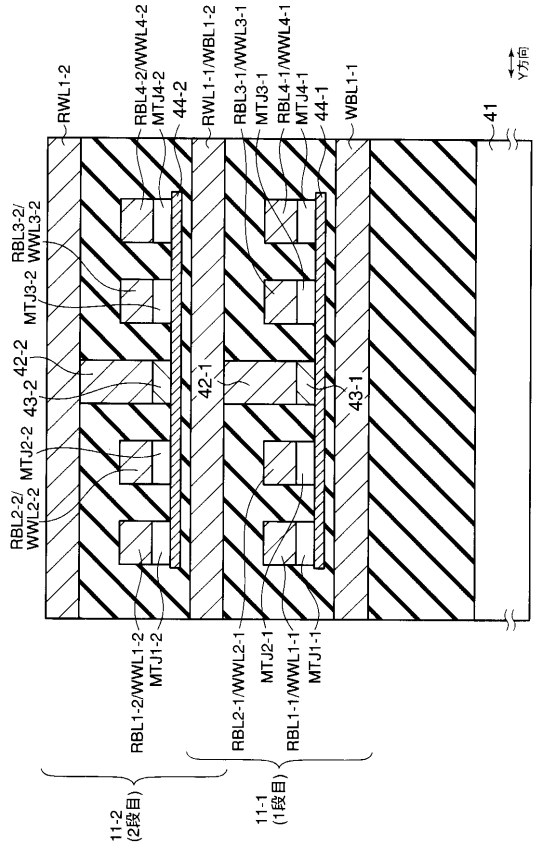
【図２４】



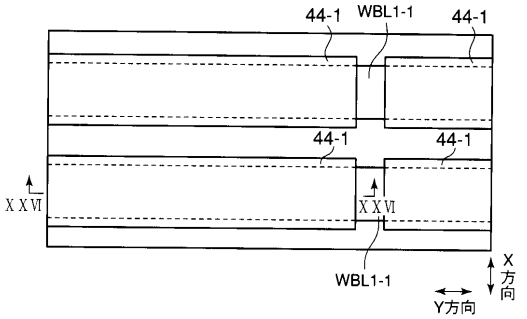
【図２５】



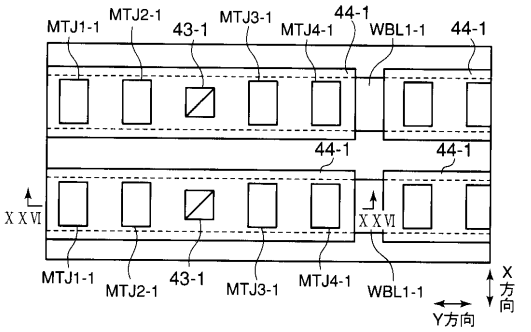
【図２６】



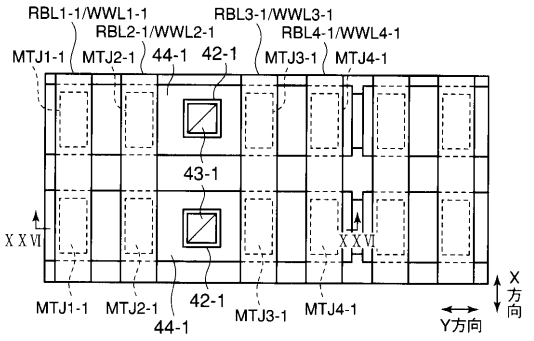
【図２７】



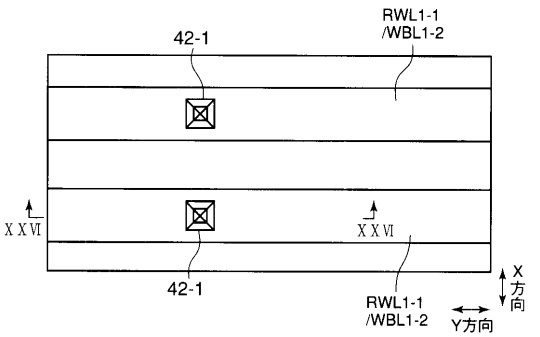
【図２８】



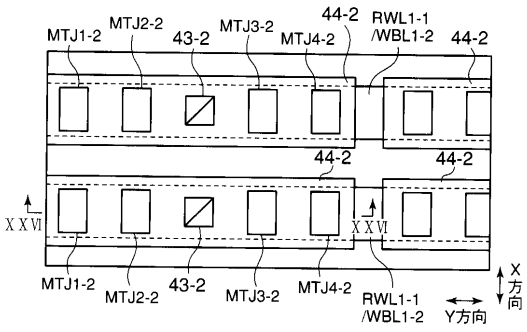
【図２９】



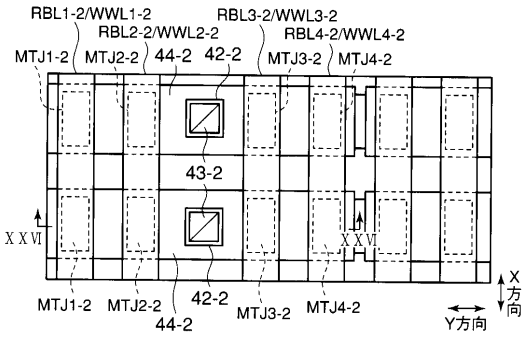
【図３０】



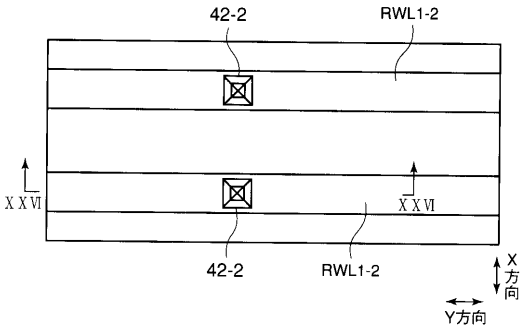
【図３１】



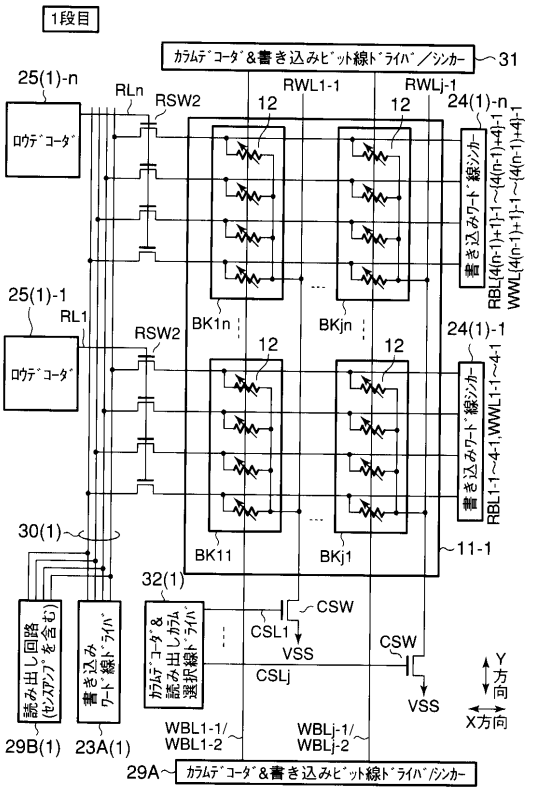
【図３２】



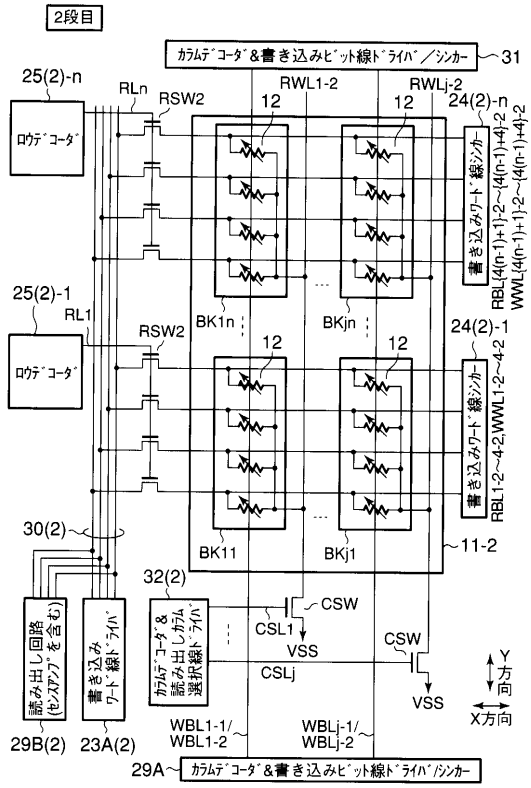
【図３３】



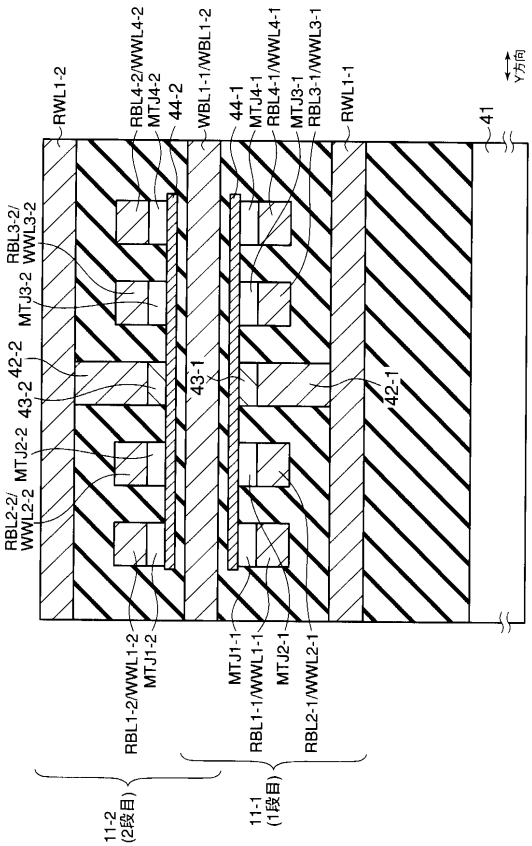
【図３４】



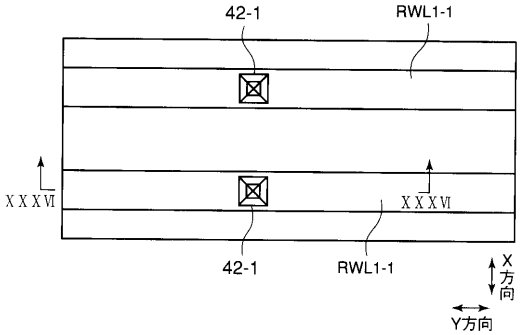
【図３５】



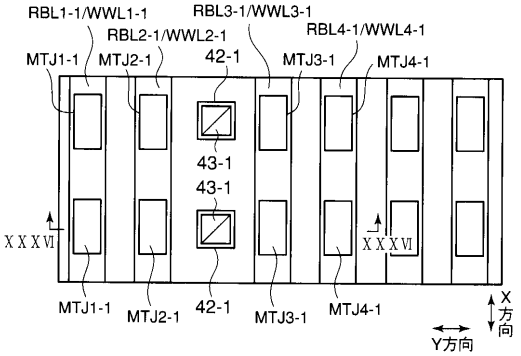
【図３６】



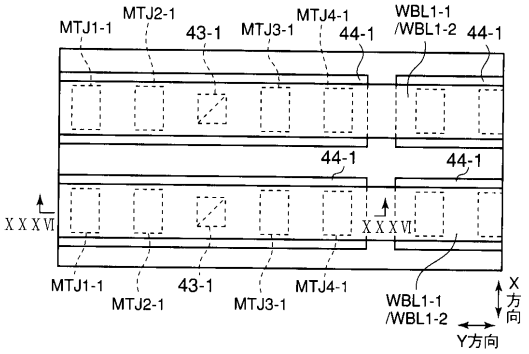
【図３７】



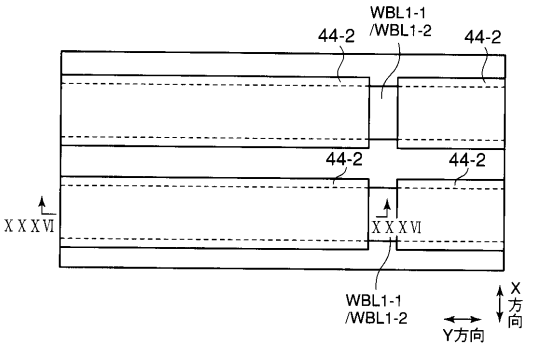
【図３８】



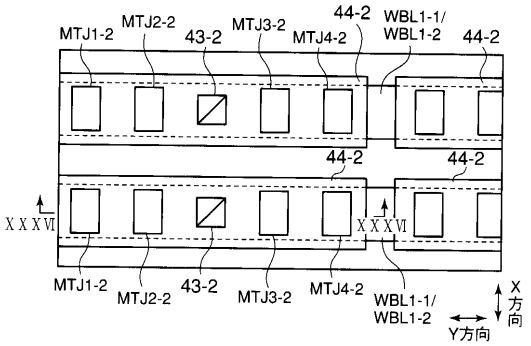
【図３９】



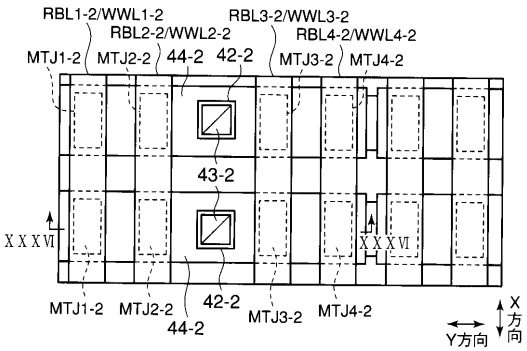
【図４０】



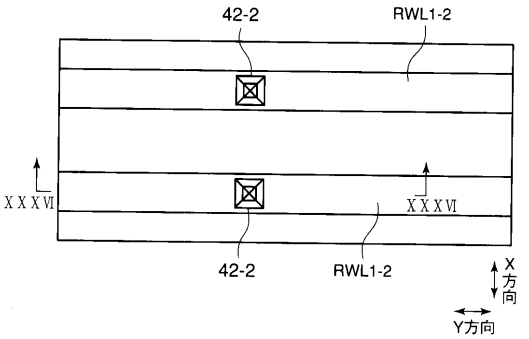
【図４１】



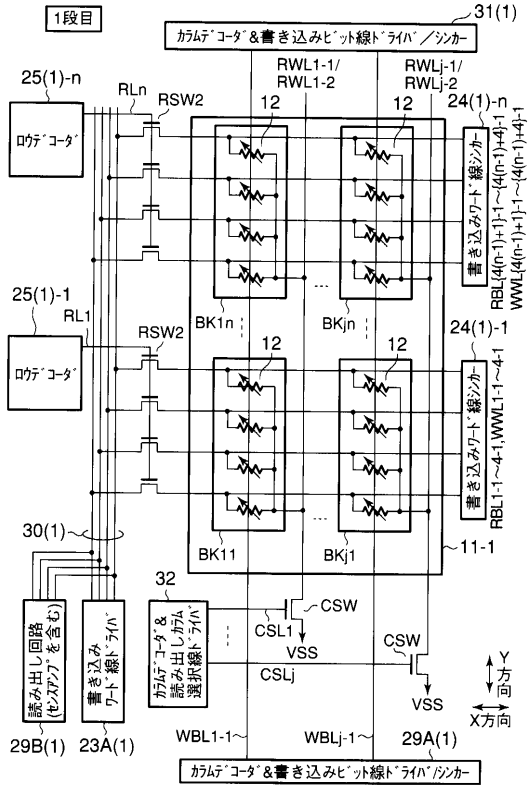
【図４２】



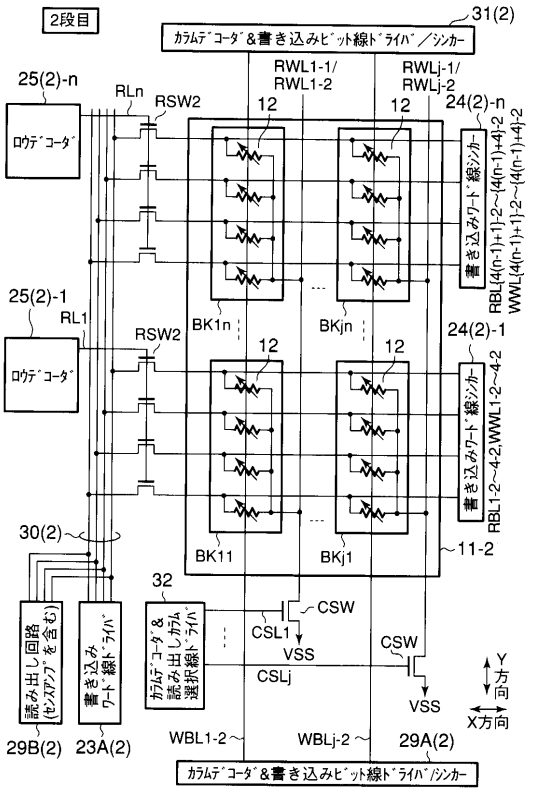
【図４３】



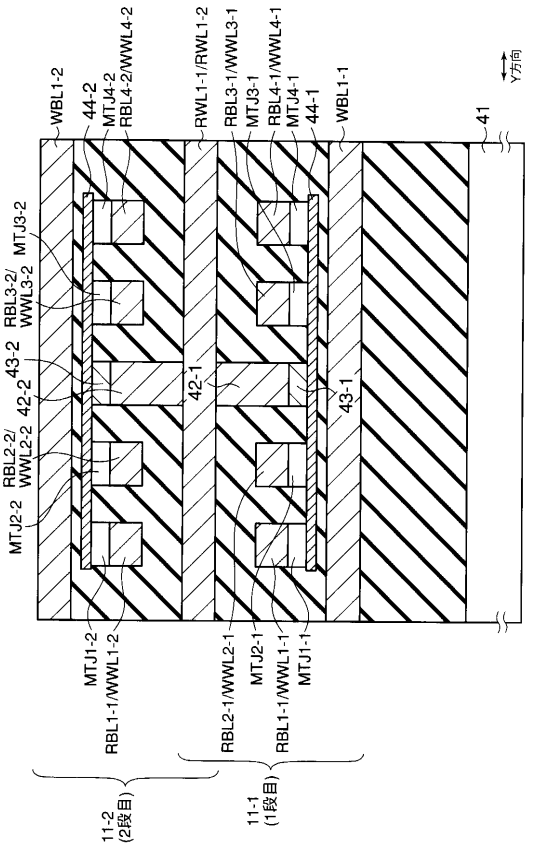
【図４４】



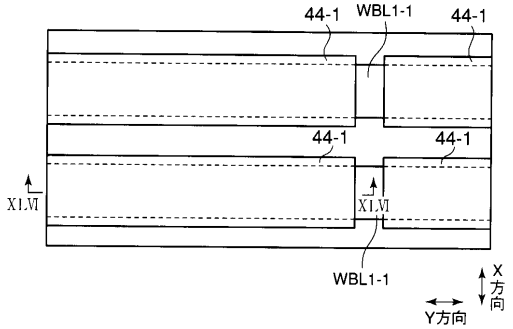
【図４５】



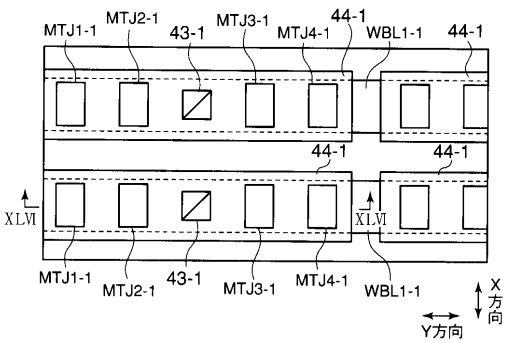
【図４６】



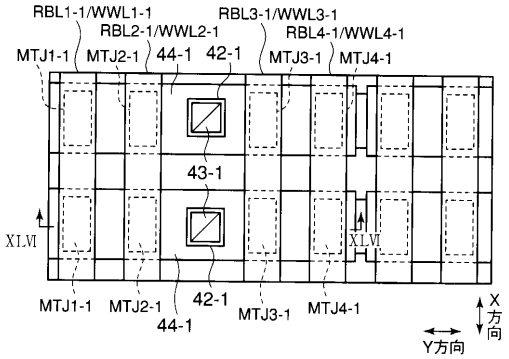
【図４７】



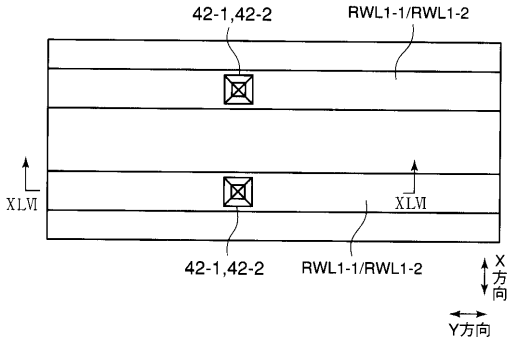
【図４８】



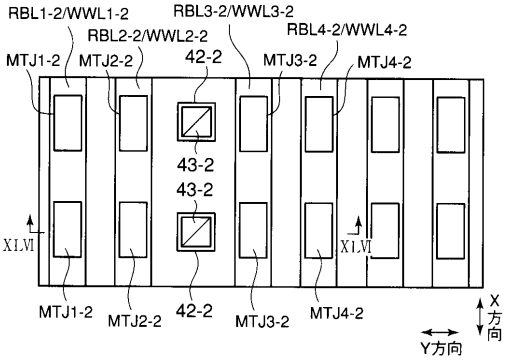
【図４９】



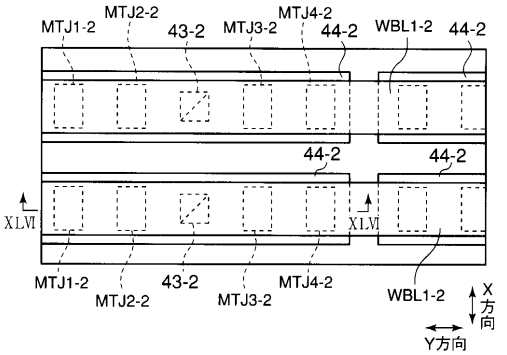
【図５０】



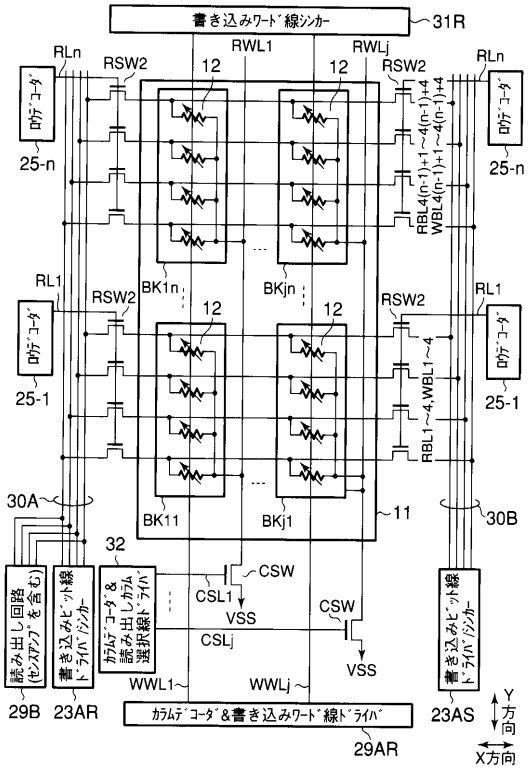
【図５１】



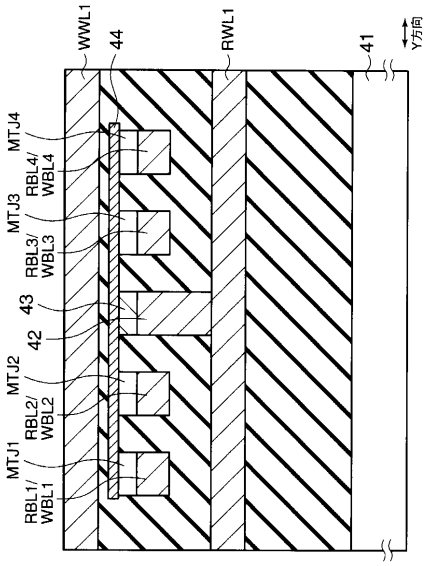
【図５２】



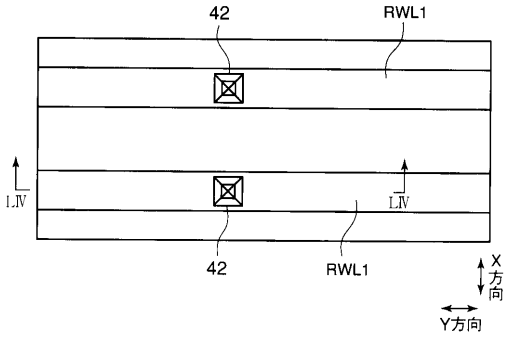
【図５３】



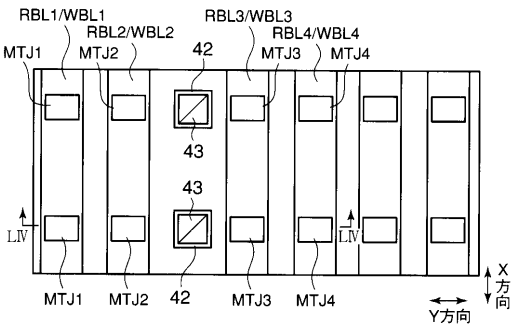
【図５４】



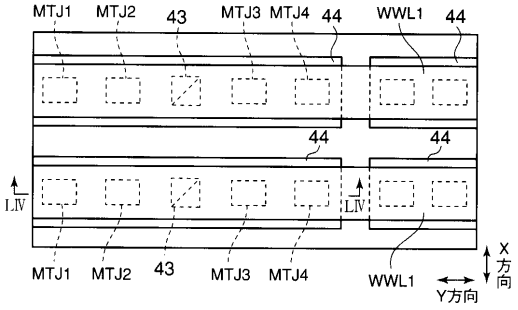
【図５５】



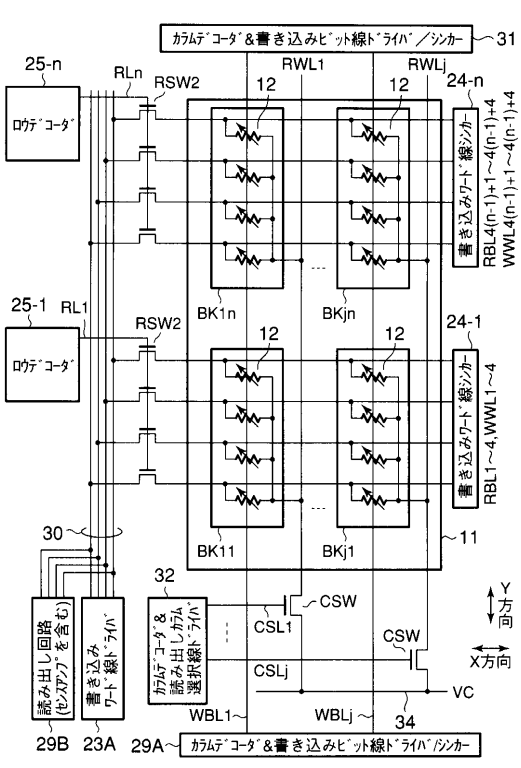
【図５６】



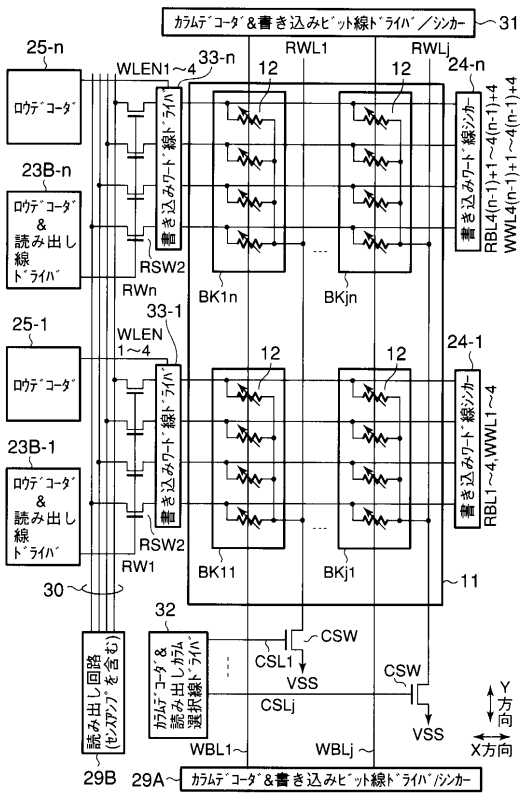
【図５７】



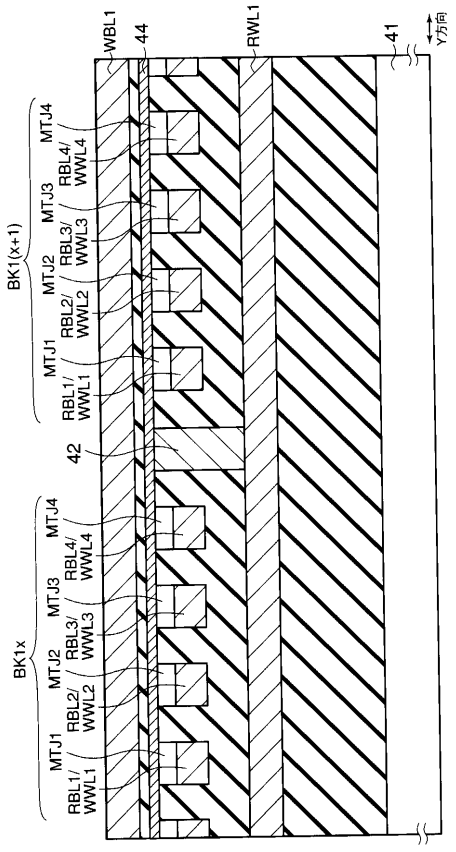
【図５８】



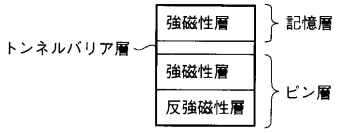
【図５９】



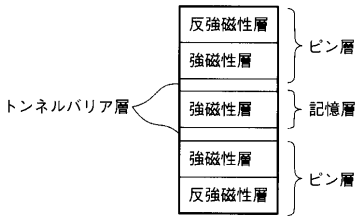
【図６０】



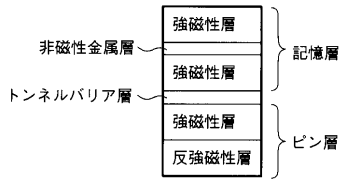
【図６１】



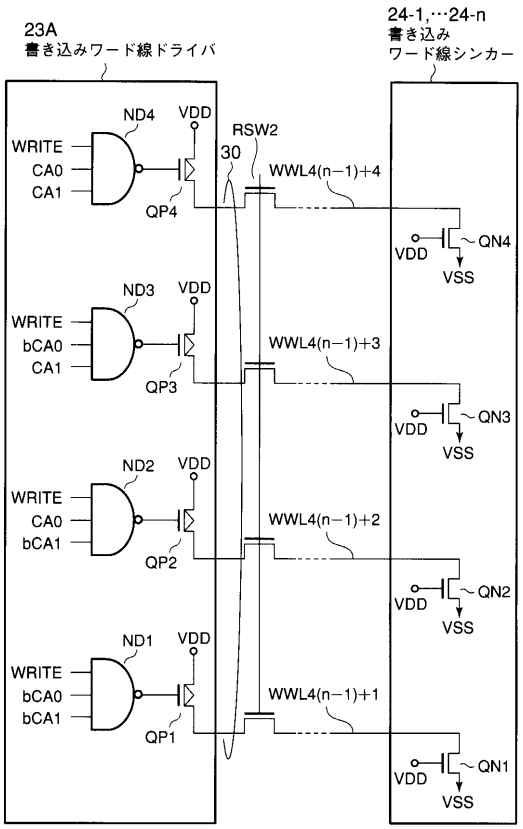
【図６２】



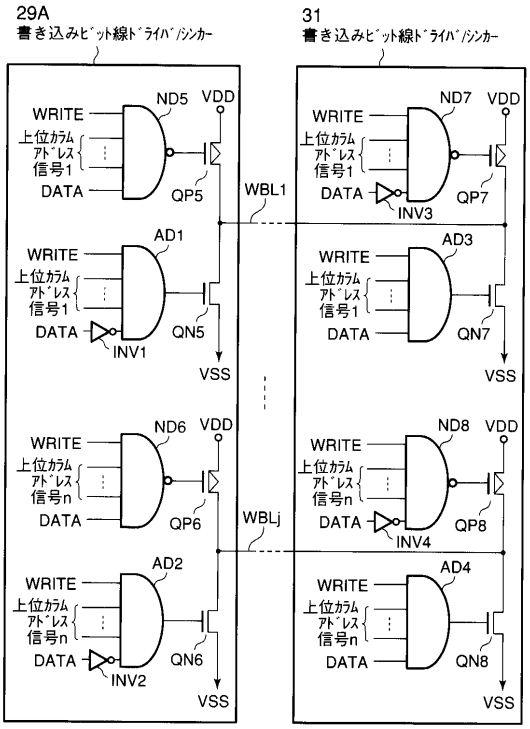
【図６３】



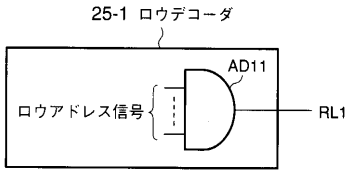
【図６４】



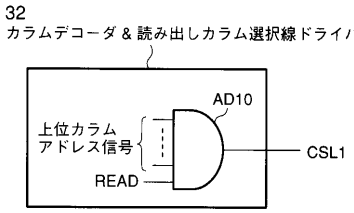
【図６５】



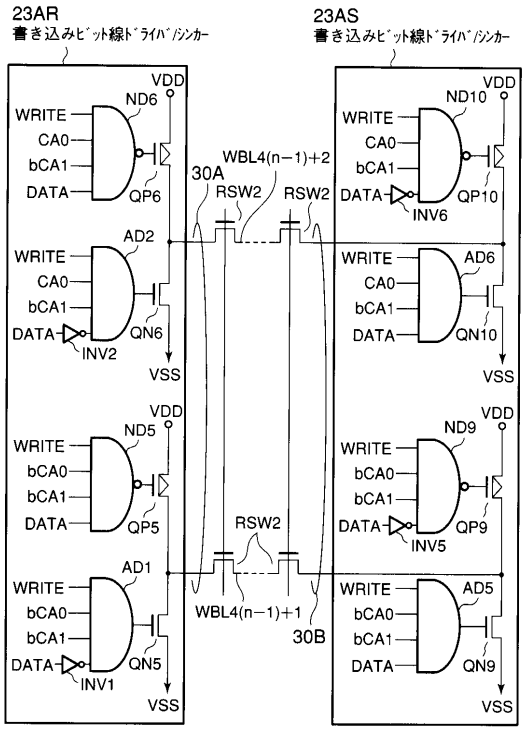
【図６６】



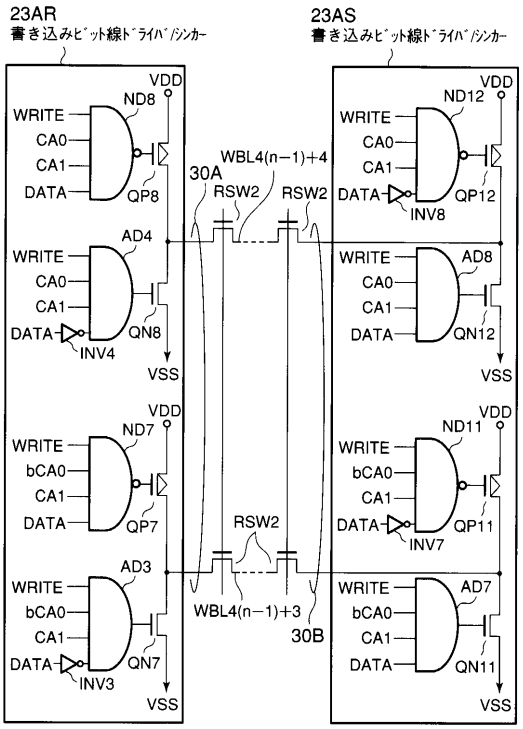
【図６７】



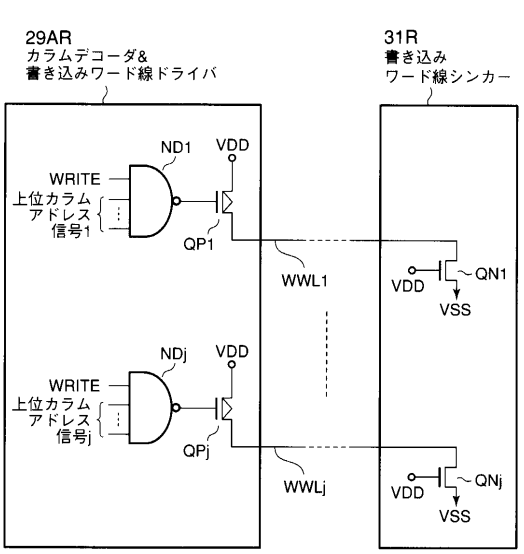
【図６８】



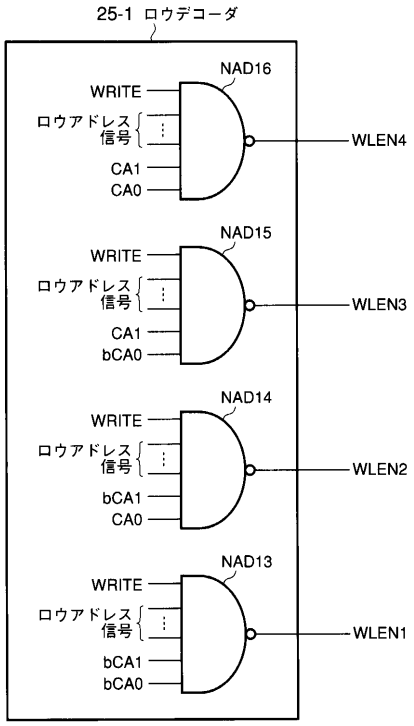
【図６９】



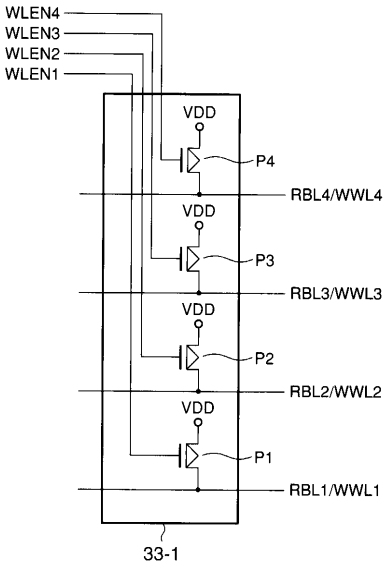
【図７０】



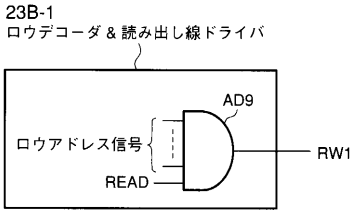
【図７１】



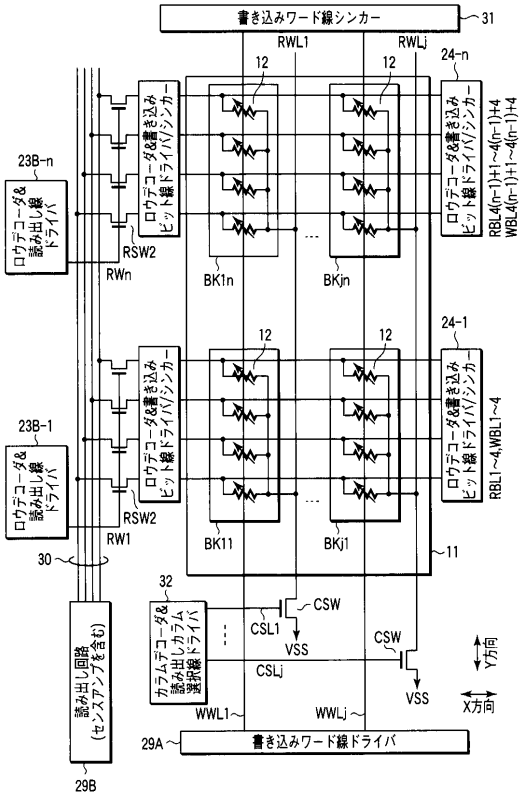
【図７２】



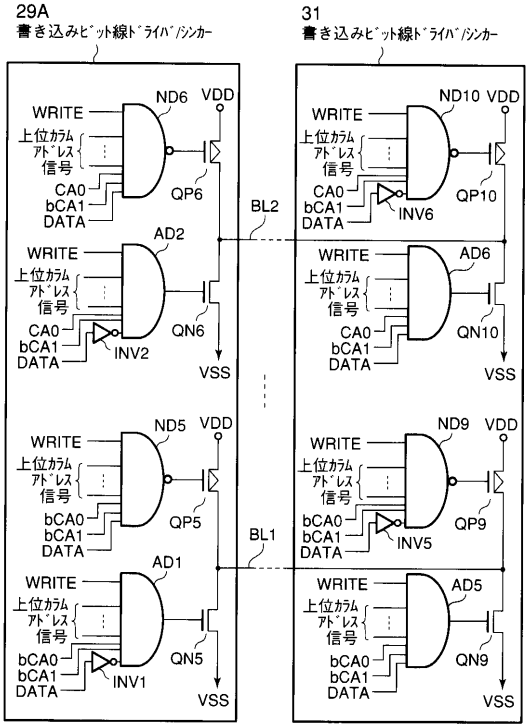
【図７３】



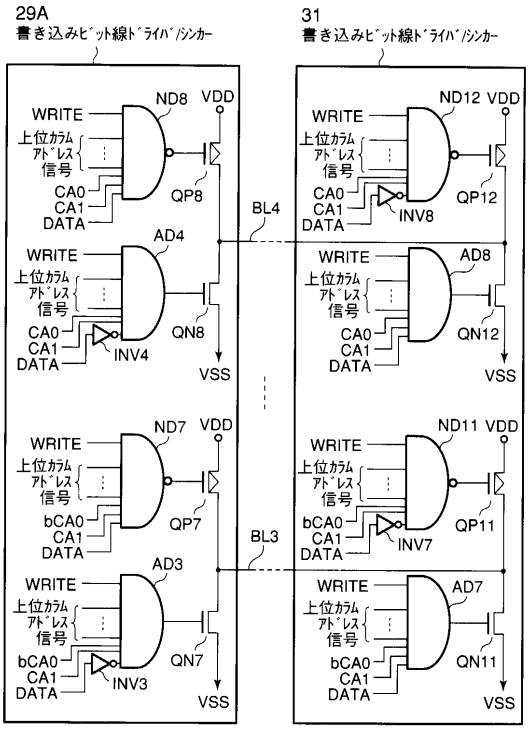
【図７４】



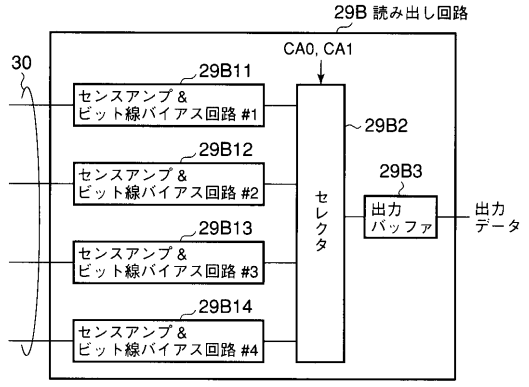
【図７５】



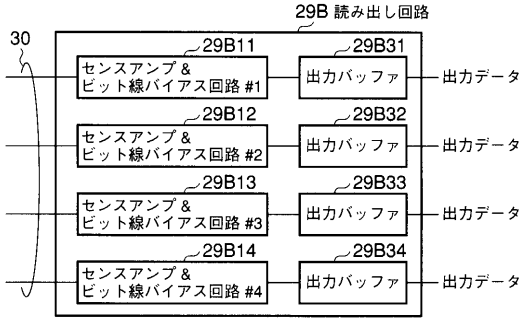
【図７６】



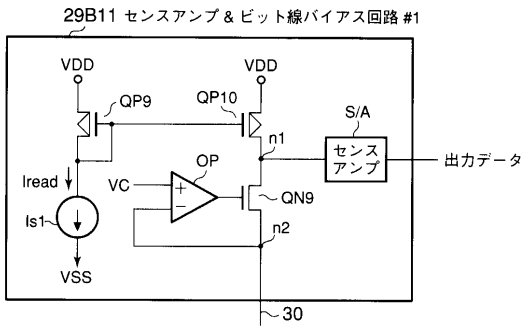
【図７７】



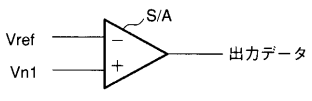
【図７８】



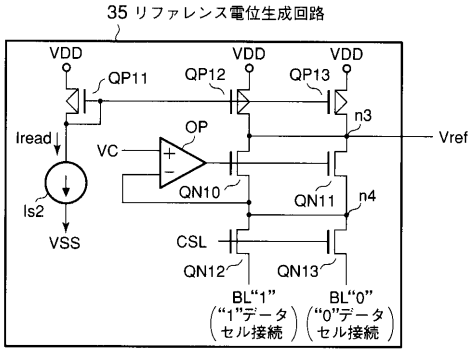
【図７９】



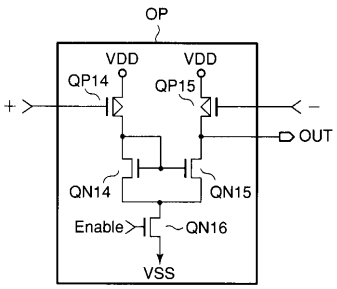
【図８０】



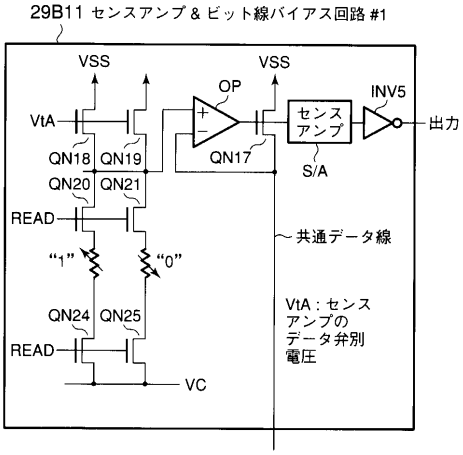
【図８１】



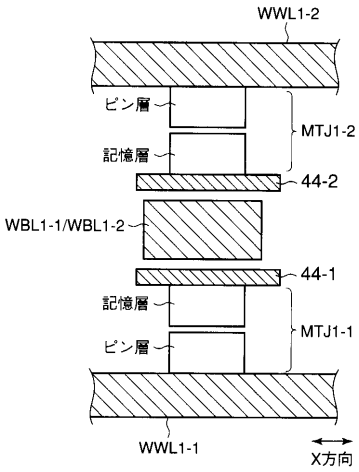
【図８２】



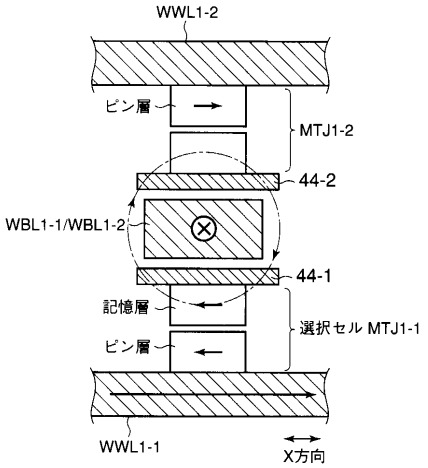
【図８３】



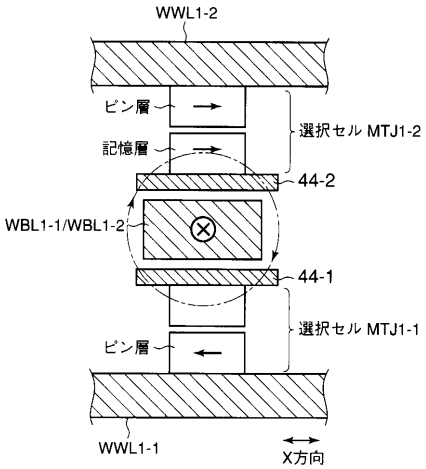
【図８４】



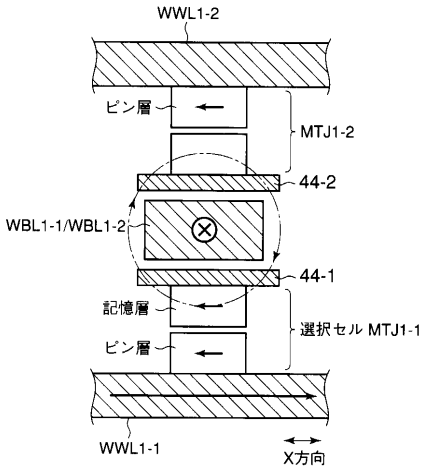
【図８５】



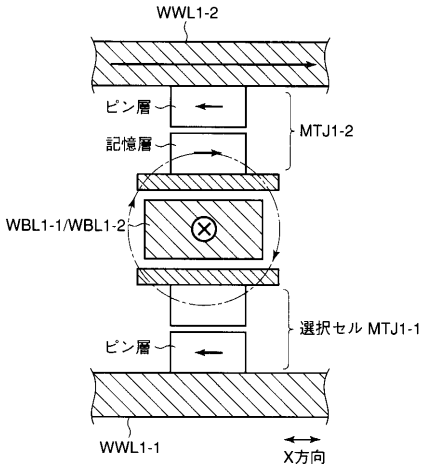
【図８６】



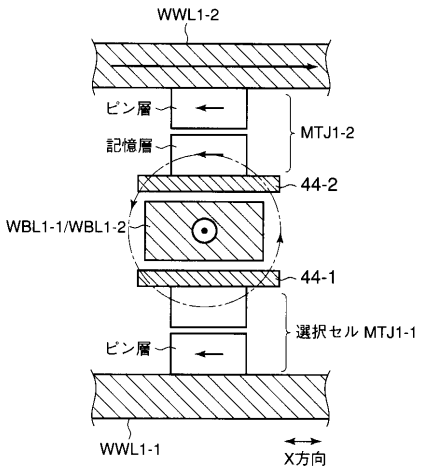
【図８７】



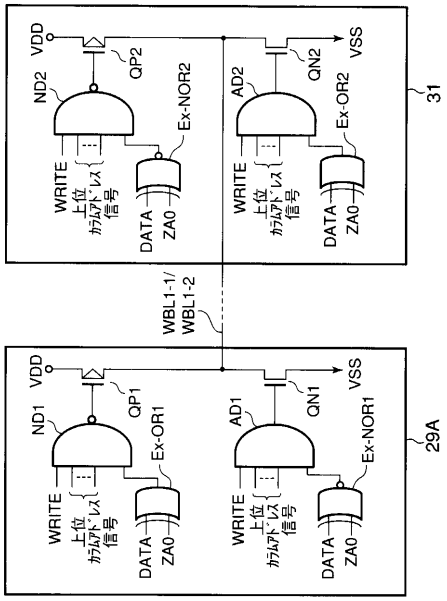
【図８８】



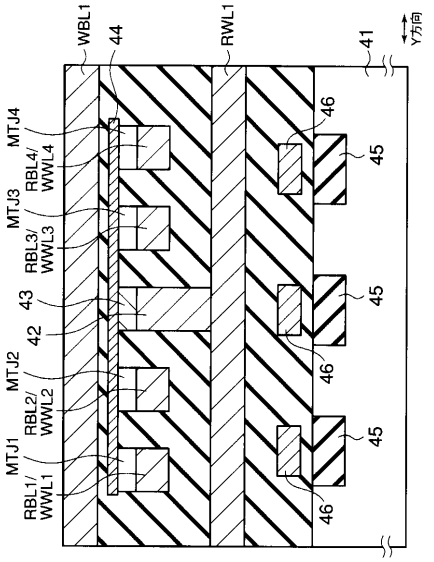
【図８９】



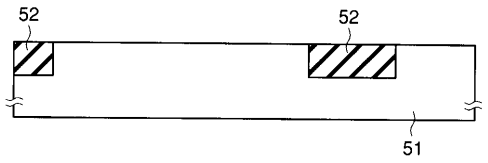
【図９０】



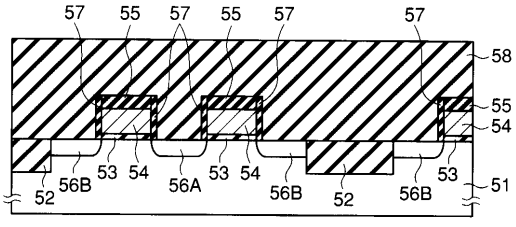
【図９１】



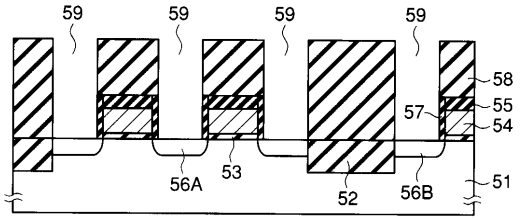
【図９２】



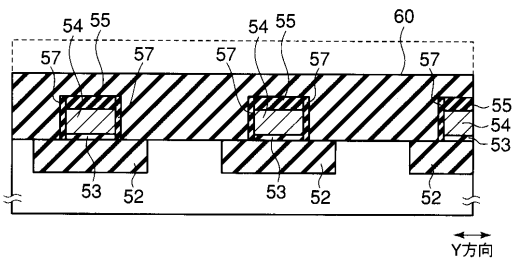
【図９３】



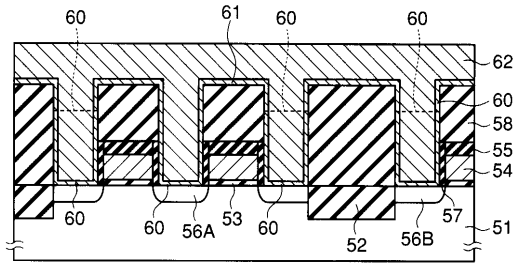
【図９４】



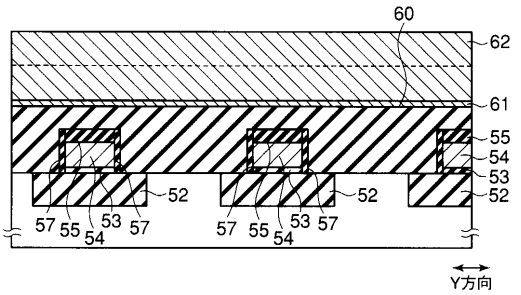
【図９５】



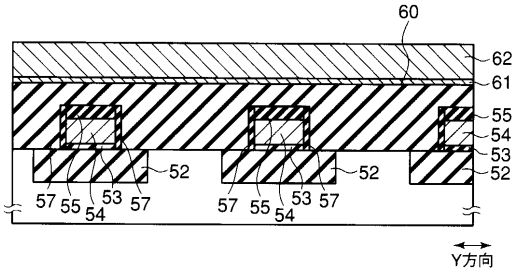
【図９６】



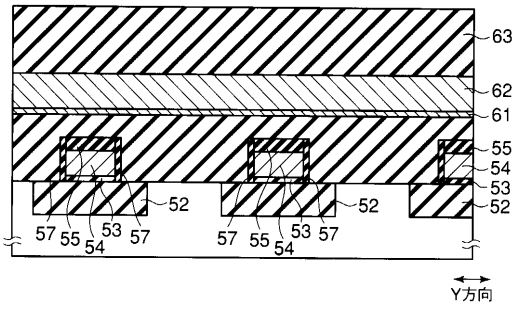
【図９７】



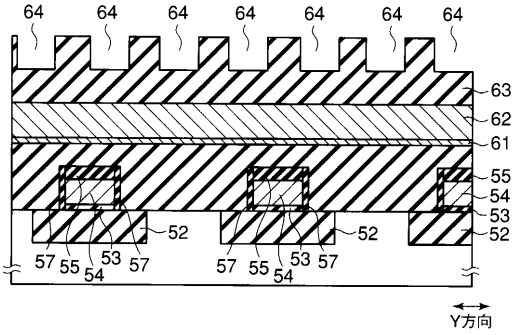
【図９８】



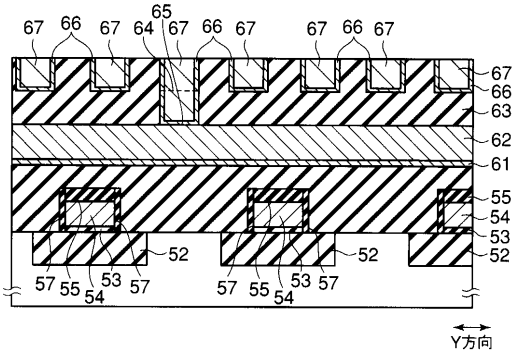
【図９９】



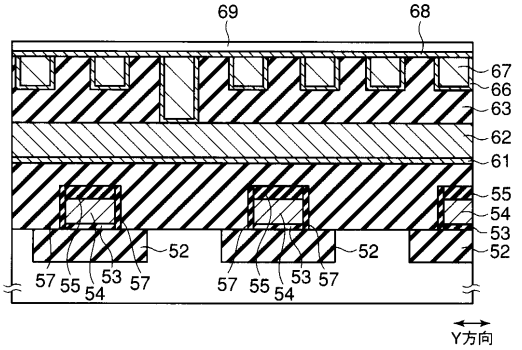
【図１００】



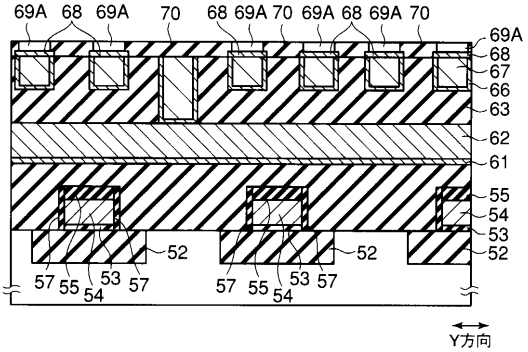
【図１０１】



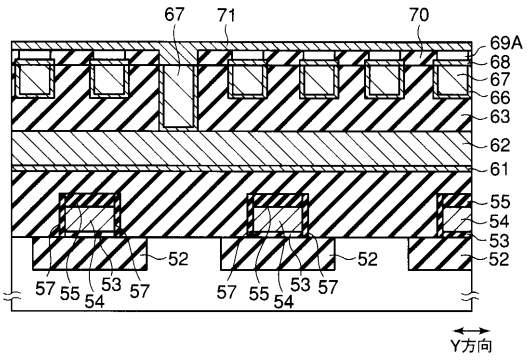
【図１０２】



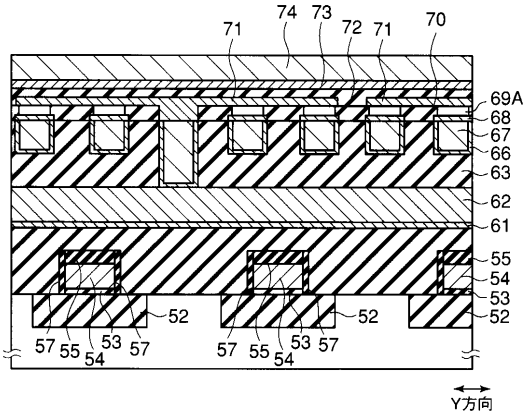
【図１０３】



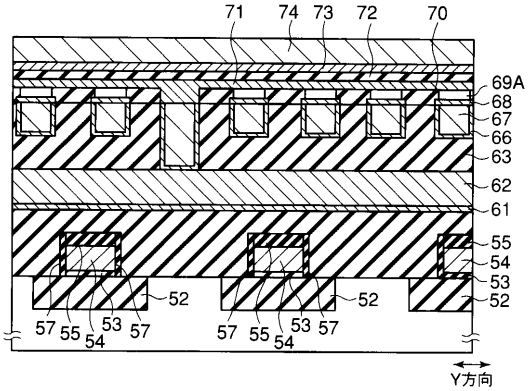
【図１０４】



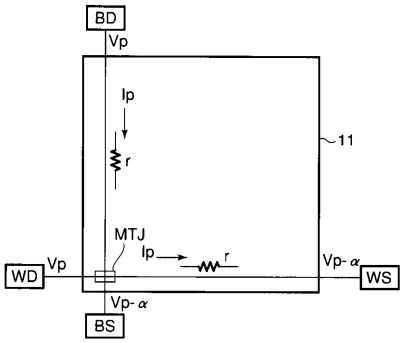
【図１０５】



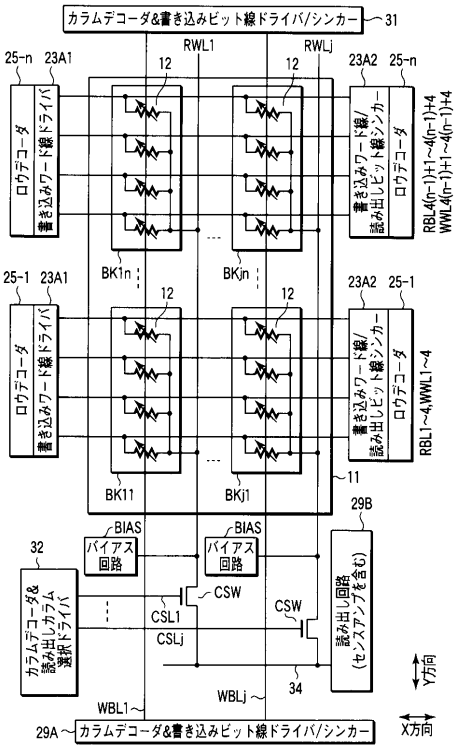
【図１０６】



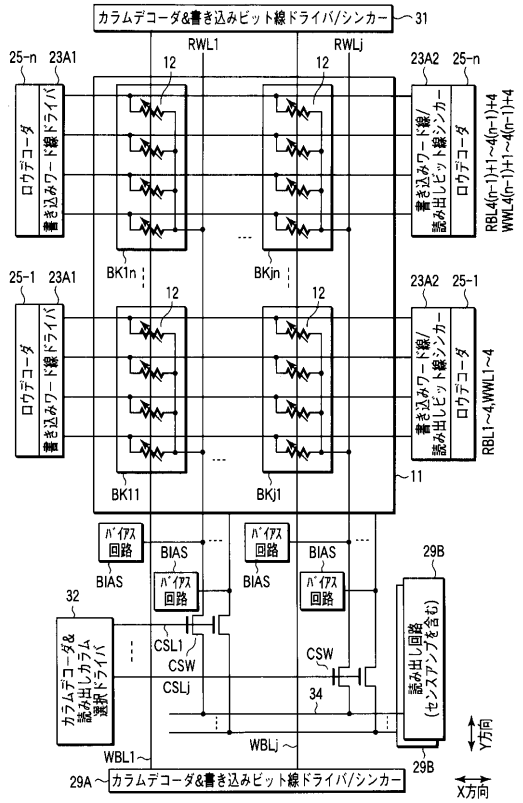
【図１０７】



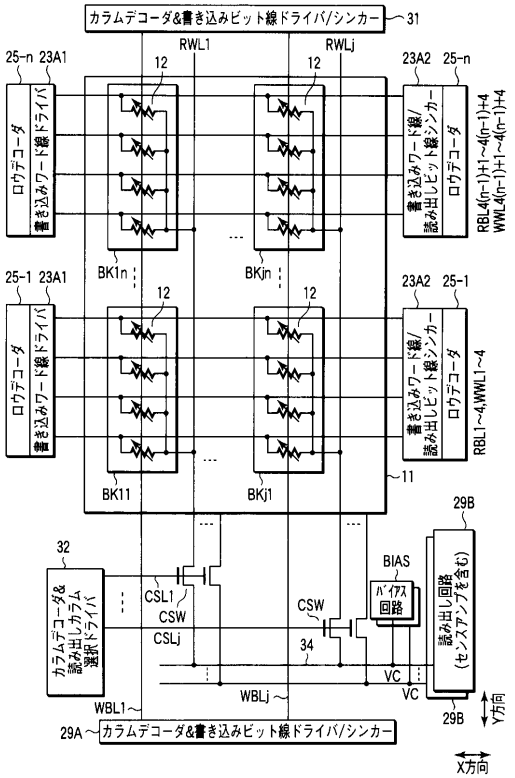
【図１０８】



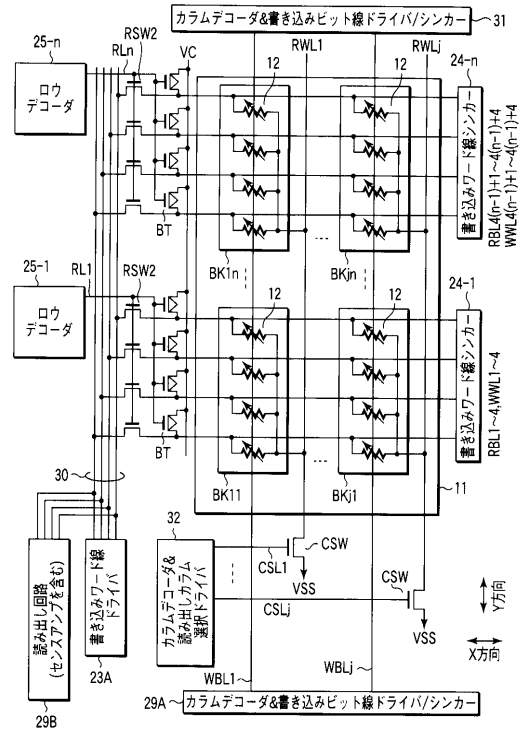
【図１０９】



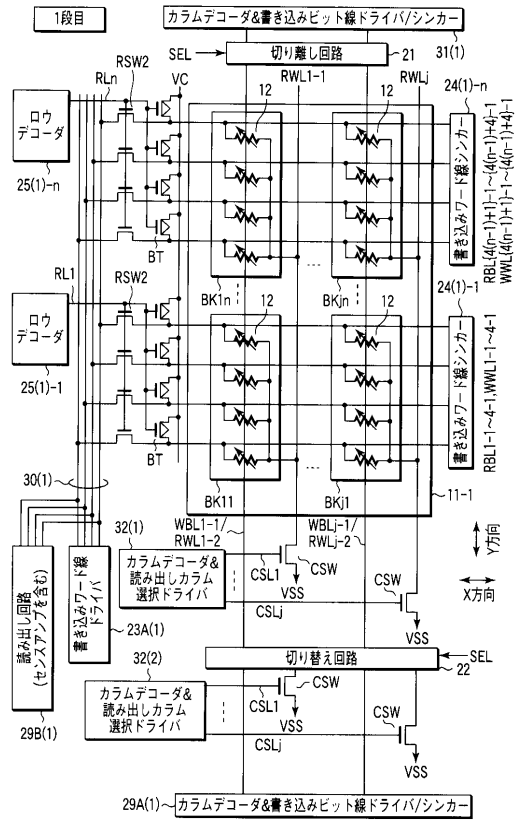
【図１１０】



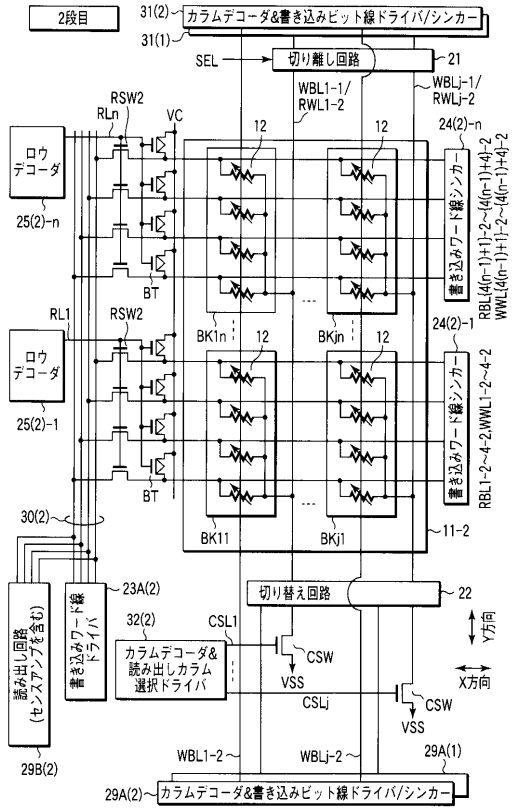
【図１１１】



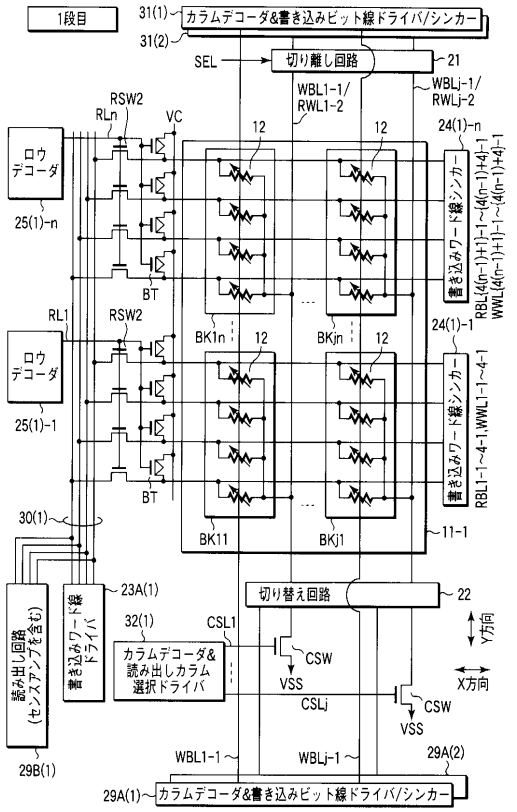
【図１１２】



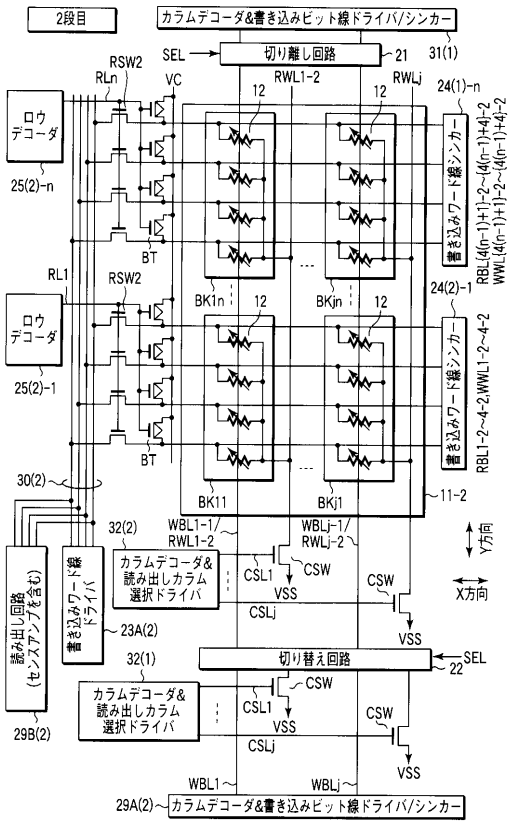
【図１１３】



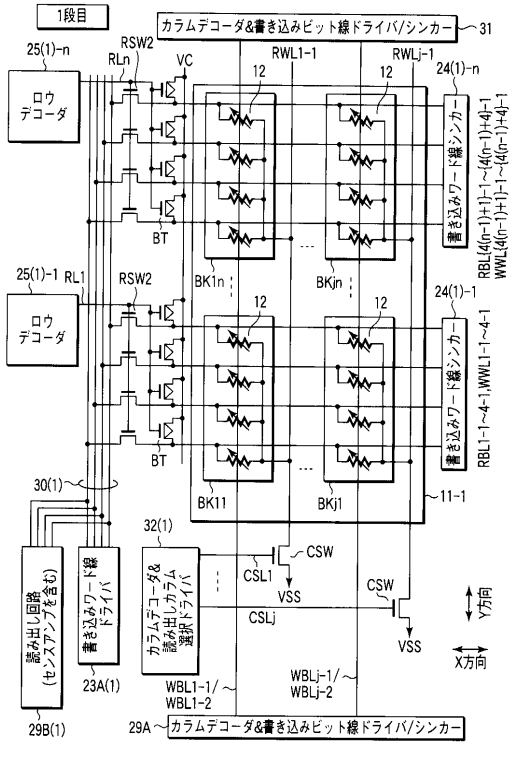
【図１１４】



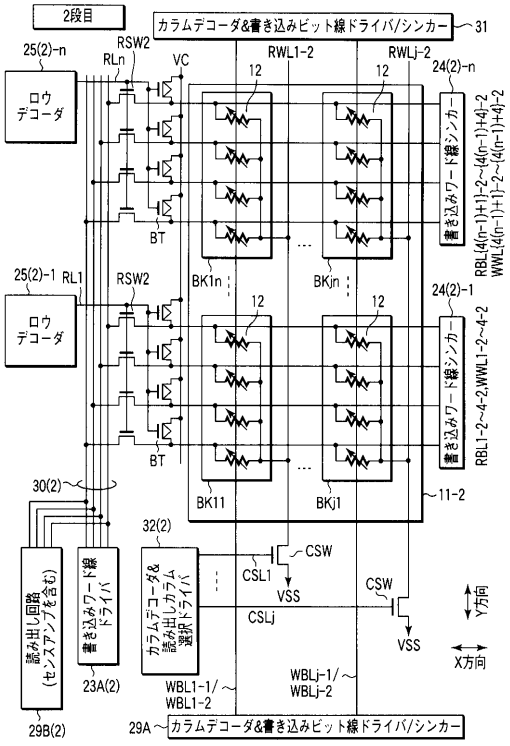
【図１１５】



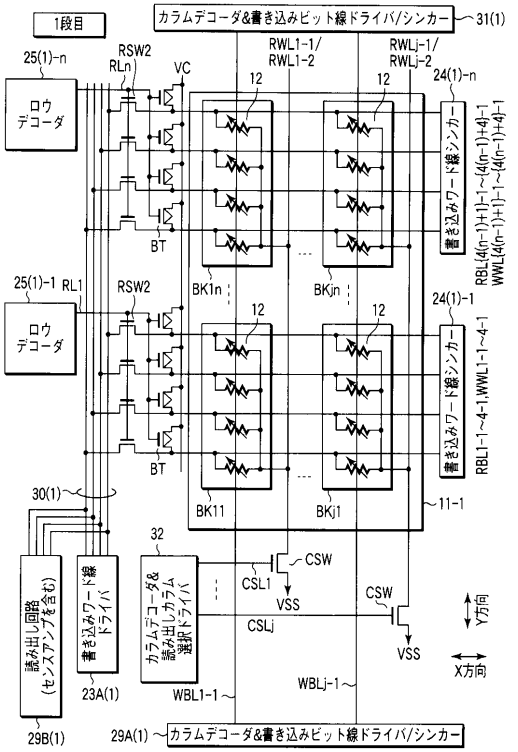
【図１１６】



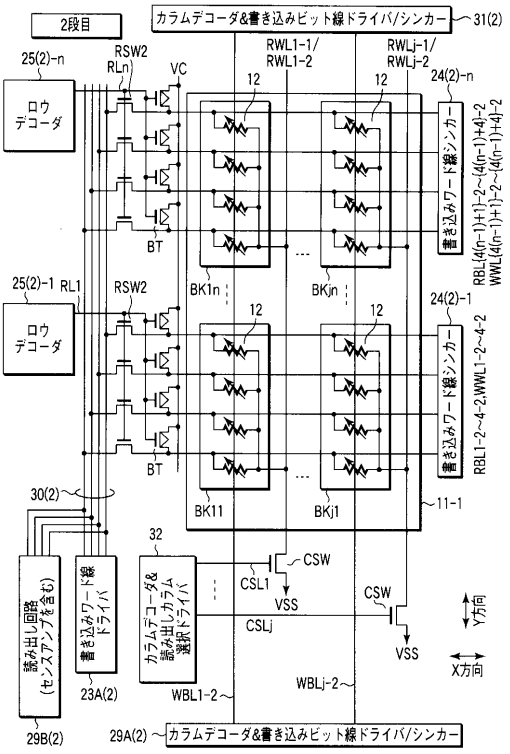
【図１１７】



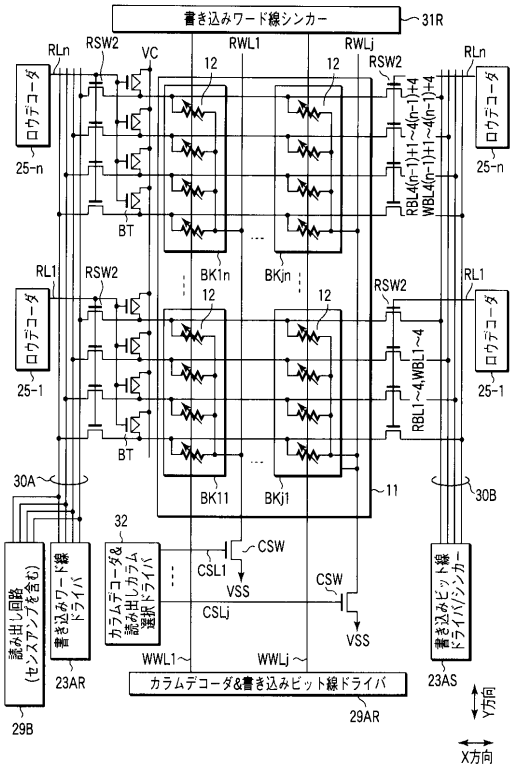
【図１１８】



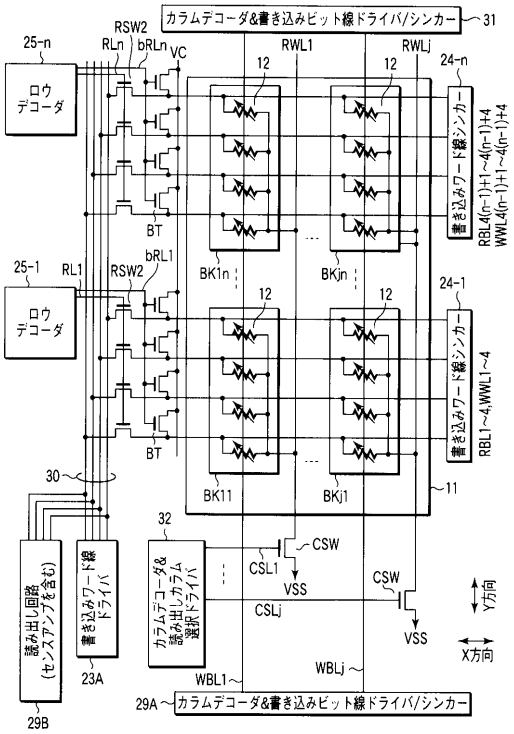
【図１１９】



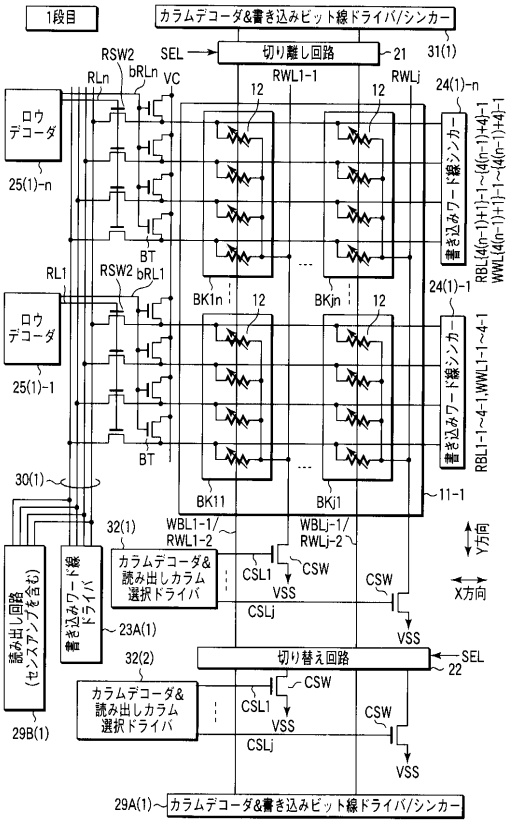
【図１２０】



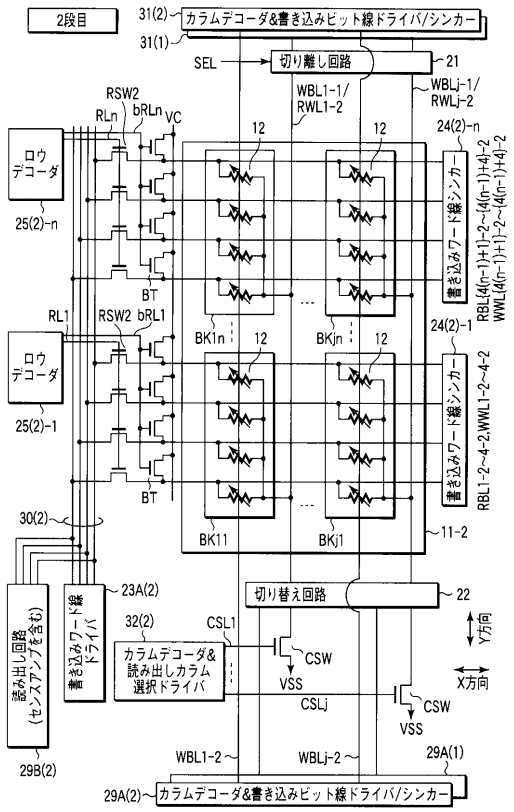
【図１２１】



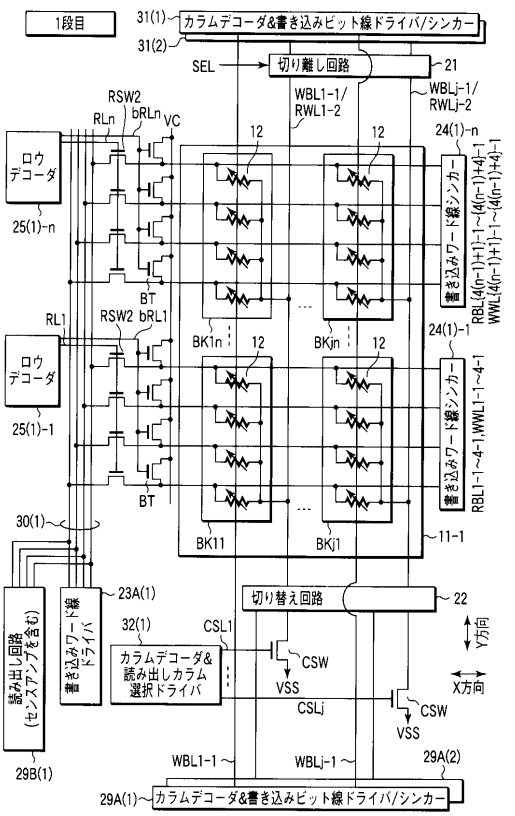
【図１２２】



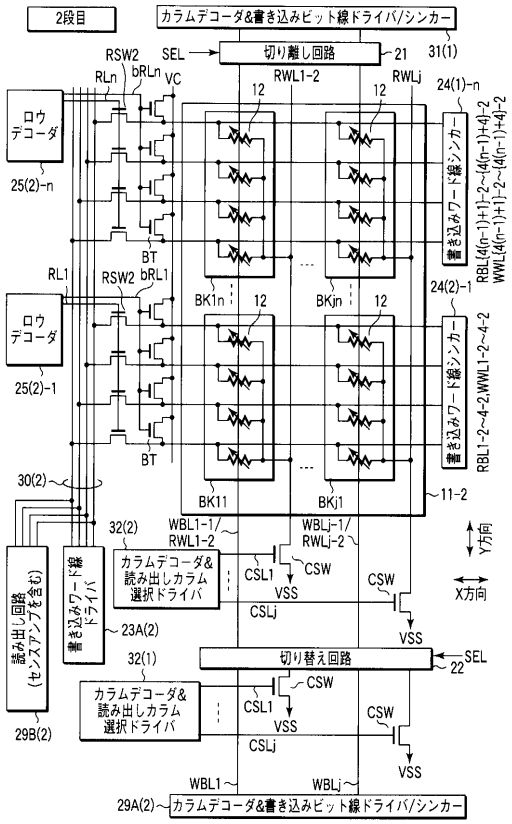
【図１２３】



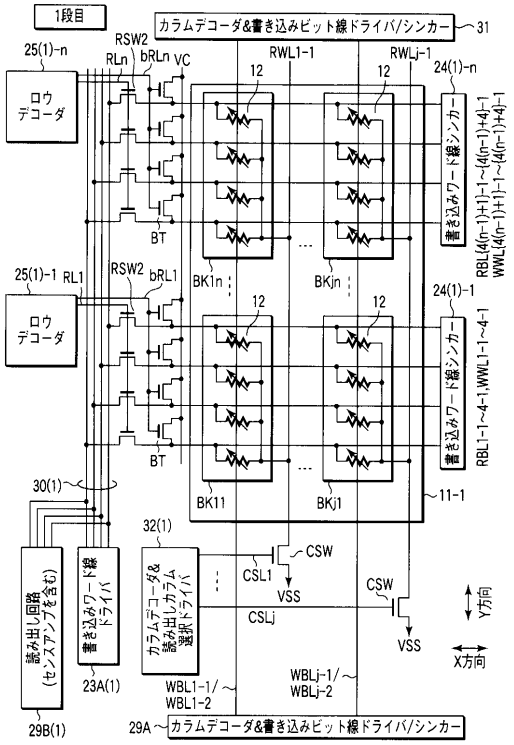
【図１２４】



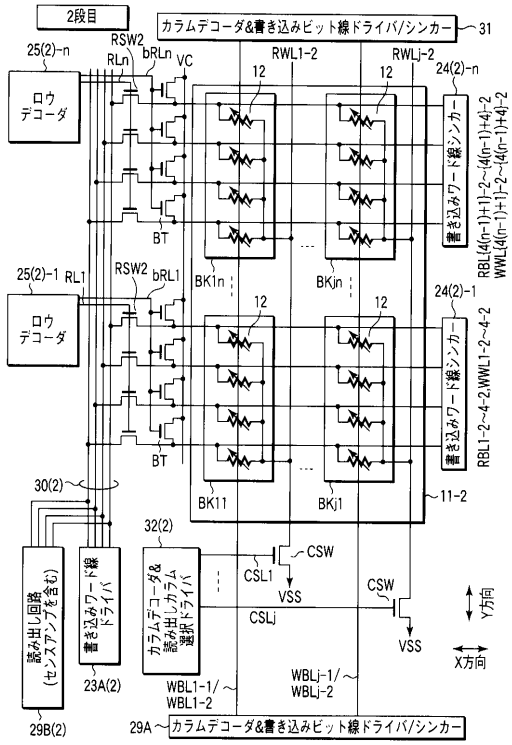
【図１２５】



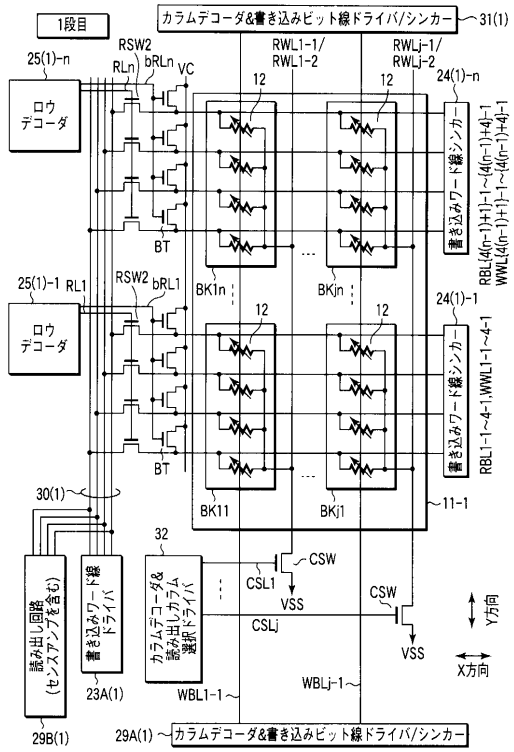
【図１２６】



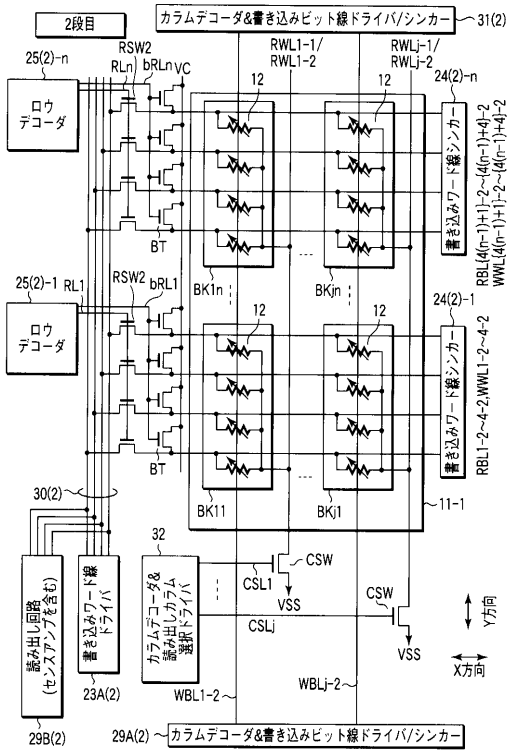
【図１２７】



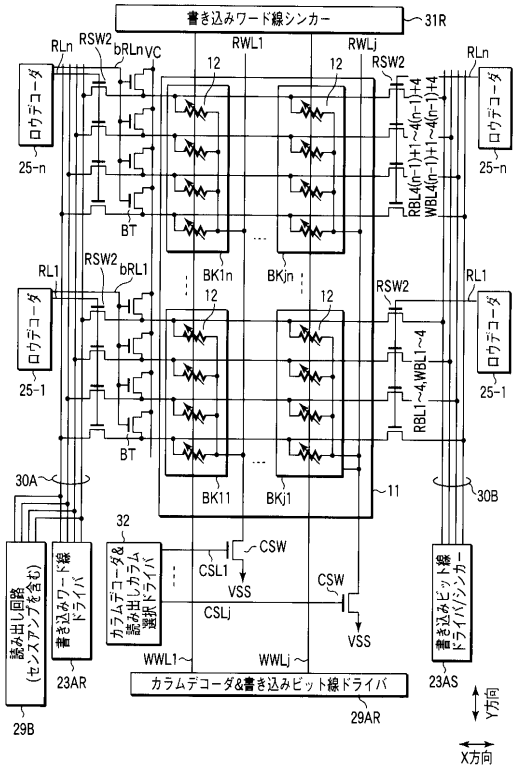
【図１２８】



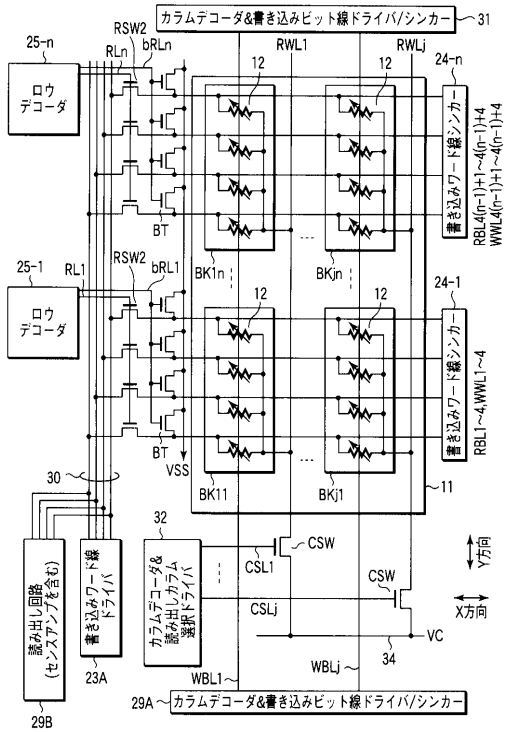
【図１２９】



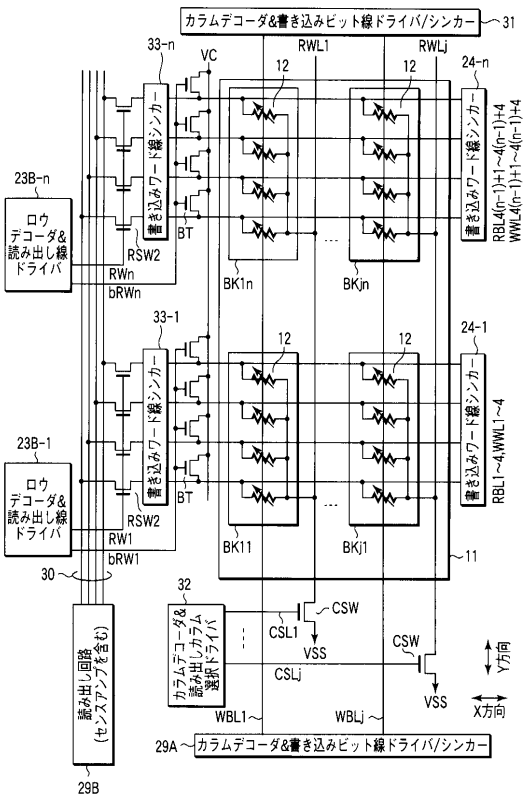
【図１３０】



【図１３１】



【図１３２】



フロントページの続き

(74)代理人 100092196
弁理士 橋本 良郎
(72)発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者 東 知輝
神奈川県川崎市川崎区駅前本町２５番地１ 東芝マイクロエレクトロニクス株式会社内

審査官 粟野 正明

(56)参考文献 特開２００２－０４２４５８（ＪＰ，Ａ）
特開平１１－３４５４８５（ＪＰ，Ａ）
特開２００１－２２２８８２（ＪＰ，Ａ）
特開平０９－３２０２５７（ＪＰ，Ａ）
特開２００１－２９７５７９（ＪＰ，Ａ）
米国特許第０６３３５８９０（ＵＳ，Ｂ１）
特開２００２－２４５７７４（ＪＰ，Ａ）
特開２００２－１２４０８０（ＪＰ，Ａ）
2000 IEEE International Solid-State Circuits Conference, ２０００年 2月 7日, pp.128-129
Proceedings of 1998 International Nonvolatile Memory Technology Conference, １９９８年 6月２２日, pp.47-50

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/8246
G11C 11/15
H01L 27/105