(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6536318号
(P6536318)

(45)発行日　令和1年7月3日(2019.7.3)　(24)登録日　令和1年6月14日(2019.6.14)

| (51)Int.Cl. | | F I | | |
|---|---|---|---|---|
| H01L 21/338 | (2006.01) | H01L | 29/80 | H |
| H01L 29/778 | (2006.01) | H01L | 29/06 | 301F |
| H01L 29/812 | (2006.01) | H01L | 29/78 | 301B |
| H01L 29/06 | (2006.01) | H01L | 29/78 | 301N |
| H01L 21/336 | (2006.01) | H01L | 29/78 | 301G |

請求項の数 16　(全 13 頁)　最終頁に続く

(21)出願番号　特願2015-186744(P2015-186744)
(22)出願日　平成27年9月24日(2015.9.24)
(65)公開番号　特開2017-63089(P2017-63089A)
(43)公開日　平成29年3月30日(2017.3.30)
審査請求日　平成30年2月5日(2018.2.5)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100082175
弁理士　高田　守
(74)代理人　100106150
弁理士　高橋　英樹
(74)代理人　100148057
弁理士　久野　淑己
(72)発明者　倉橋　健一郎
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　南條　拓真
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【特許請求の範囲】
【請求項１】
基板と、
前記基板上に形成された窒化物半導体層と、
前記窒化物半導体層上に形成されたソース電極、ドレイン電極及びゲート電極と、
前記窒化物半導体層を覆うＳｉＮ表面保護膜とを備え、
前記ＳｉＮ表面保護膜は、Ｓｉ－Ｎ結合を成すＳｉ及びＮと、不純物準位又は界面準位に結合された他のＳｉ及びＮとを有し、
前記Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であることを特徴とする半導体装置。
【請求項２】
前記窒化物半導体層は、ＧａＮチャネル層と、前記ＧａＮチャネル層上に形成されたＡｌＧａＮバリア層とを有し、
前記ＡｌＧａＮバリア層と前記ＳｉＮ表面保護膜が直接に接して界面を形成し、
前記半導体装置はヘテロ構造電界効果トランジスタであることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記ゲート電極が前記窒化物半導体層にショットキー接合されてＭＥＳ（Metal-Semiconductor）構造が形成されていることを特徴とする請求項１又は２に記載の半導体装置。
【請求項４】

前記ＳｉＮ表面保護膜上に設けられ、前記ＳｉＮ表面保護膜に比べてバンドギャップが大きい絶縁膜を備えることを特徴とする請求項１～３の何れか１項に記載の半導体装置。
【請求項５】
前記ゲート電極の一部が前記ＳｉＮ表面保護膜上に配置されてフィールドプレート構造が形成されていることを特徴とする請求項１～４の何れか１項に記載の半導体装置。
【請求項６】
前記ゲート電極が前記ＳｉＮ表面保護膜上に形成されてＭＩＳ（Metal-Insulator-Semiconductor）構造が形成されていることを特徴とする請求項１又は２に記載の半導体装置。
【請求項７】
前記ＳｉＮ表面保護膜上に設けられ、前記ＳｉＮ表面保護膜に比べてバンドギャップが大きい絶縁膜を備えることを特徴とする請求項６に記載の半導体装置。
【請求項８】
前記ゲート電極の一部が前記絶縁膜上に配置されてフィールドプレート構造が形成されていることを特徴とする請求項７に記載の半導体装置。
【請求項９】
基板上に窒化物半導体層を形成する工程と、
前記窒化物半導体層上にソース電極、ドレイン電極及びゲート電極を形成する工程と
前記窒化物半導体層を覆うＳｉＮ表面保護膜を形成する工程とを備え、
前記ＳｉＮ表面保護膜は、Ｓｉ－Ｎ結合を成すＳｉ及びＮと、不純物準位又は界面準位に結合された他のＳｉ及びＮとを有し、
前記Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であることを特徴とする半導体装置の製造方法。
【請求項１０】
前記窒化物半導体層としてＧａＮチャネル層及びＡｌＧａＮバリア層を順に形成し、
前記ＡｌＧａＮバリア層と前記ＳｉＮ表面保護膜が直接に接して界面を形成し、
前記半導体装置はヘテロ構造電界効果トランジスタであることを特徴とする請求項９に記載の半導体装置の製造方法。
【請求項１１】
前記ゲート電極を前記窒化物半導体層にショットキー接合させてＭＥＳ（Metal-Semiconductor）構造を形成することを特徴とする請求項９又は１０に記載の半導体装置の製造方法。
【請求項１２】
前記ＳｉＮ表面保護膜上に、前記ＳｉＮ表面保護膜に比べてバンドギャップが大きい絶縁膜を形成する工程を備えることを特徴とする請求項９～１１の何れか１項に記載の半導体装置の製造方法。
【請求項１３】
前記ＳｉＮ表面保護膜に開口を形成する工程と、
前記開口内と前記ＳｉＮ表面保護膜上に前記ゲート電極を形成する工程とを備え、
前記ゲート電極の一部を前記ＳｉＮ表面保護膜上に配置してフィールドプレート構造を形成することを特徴とする請求項９～１２の何れか１項に記載の半導体装置の製造方法。
【請求項１４】
前記ゲート電極を前記ＳｉＮ表面保護膜上に形成してＭＩＳ（Metal-Insulator-Semiconductor）構造を形成することを特徴とする請求項９又は１０に記載の半導体装置の製造方法。
【請求項１５】
前記ＳｉＮ表面保護膜上に、前記ＳｉＮ表面保護膜に比べてバンドギャップが大きい絶縁膜を形成する工程を備えることを特徴とする請求項１４に記載の半導体装置の製造方法。
【請求項１６】

前記絶縁膜に開口を形成する工程と、
前記開口内と前記絶縁膜上に前記ゲート電極を形成する工程とを備え、
前記ゲート電極の一部を前記絶縁膜上に配置してフィールドプレート構造を形成することを特徴とする請求項１５に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＳｉＮ表面保護膜を有する半導体装置及びその製造方法に関する。
【背景技術】
【０００２】
ＧａＮはＳｉ又はＧａＡｓよりも高い絶縁破壊耐圧を有するため、窒化物半導体装置（ＧａＮ系トランジスタ）は高電圧・高出力動作が期待されるデバイスである。窒化物半導体装置の構造としてＡｌＧａＮ／ＧａＮヘテロ接合構造が代表的に知られている。
【０００３】
しかし、窒化物半導体装置の動作電圧が高い領域において高周波動作時の電流が大きく減少する電流コラプスと呼ばれる現象が生じる。電流コラプスが生じると、ＤＣ特性から期待される出力電力が得られないため、電流コラプスを抑制する必要がある。
【０００４】
電流コラプスの主な原因として、高電圧動作時において、ＡｌＧａＮの結晶、ＧａＮの結晶中又はＡｌＧａＮの表面等に形成された不純物準位及び界面準位に電子が一時的に捕獲されてしまい、電流の狭窄が生じていると考えられている。
【０００５】
表面保護膜にＳｉＮを適用することで、電流コラプスが大幅に抑制されることが知られている（例えば、非特許文献１参照）。しかし、ＳｉＮを適用しただけで電流コラプスを十分に抑制できるわけではないため、ＳｉＮの組成や成膜方法・条件、他の絶縁膜との組み合わせ等を規定した技術が開示されている（例えば、特許文献１，２，３参照）。特許文献１では、薬液のエッチングレートを主な指標にした窒素（Ｎ）過剰なＳｉＮを用いる。一方、特許文献２，３では、Ｓｉ／Ｎ比に着目し、シリコン（Ｓｉ）過剰領域のＳｉＮを用いる。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２００９－１０１０７号公報
【特許文献２】特開２０１３－１１５３２３号公報
【特許文献３】特許第４９１２６０４号公報
【非特許文献】
【０００７】
【非特許文献１】長谷川文夫、吉川明彦編著、「ワイドギャップ半導体光・電子デバイス」、森北出版株式会社、２００６年、ｐ．２４５－２４６
【発明の概要】
【発明が解決しようとする課題】
【０００８】
しかし、特許文献１～３では、電流コラプスを抑制するために本質的に満たすべきＳｉＮ表面保護膜の条件が定まっていないため、電流コラプス抑制の効果に対して十分な再現性を得られないという問題がある。
【０００９】
本発明は、上述のような課題を解決するためになされたもので、その目的は再現性よく電流コラプスを抑制することができる半導体装置及びその製造方法を得るものである。
【課題を解決するための手段】
【００１０】

本発明に係る半導体装置は、基板と、前記基板上に形成された窒化物半導体層と、前記窒化物半導体層上に形成されたソース電極、ドレイン電極及びゲート電極と、前記窒化物半導体層を覆うＳｉＮ表面保護膜とを備え、前記ＳｉＮ表面保護膜は、Ｓｉ－Ｎ結合を成すＳｉ及びＮと、不純物準位又は界面準位に結合された他のＳｉ及びＮとを有し、前記Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であることを特徴とする。

【発明の効果】

【００１１】

本発明ではＳｉＮ表面保護膜のＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１である。これにより、ＳｉＮ／半導体界面のエネルギーが下がるため、再現性よく電流コラプスを抑制することができる。

【図面の簡単な説明】

【００１２】

【図１】本発明の実施の形態１に係る半導体装置を示す断面図である。

【図２】本発明の実施の形態１に係る半導体装置の製造工程を示す断面図である。

【図３】電流コラプスの指標として、ＤＣ動作時の最大電流値とパルス動作時の最大電流値の比率を示す図である。

【図４】ＳｉＮ／ＡｌＧａＮ界面におけるＡｌ及びＧａの内殻準位の結合エネルギーを比較した図である。

【図５】本発明の実施の形態２に係る半導体装置を示す断面図である。

【図６】本発明の実施の形態３に係る半導体装置を示す断面図である。

【図７】本発明の実施の形態３に係る半導体装置の製造工程を示す断面図である。

【図８】本発明の実施の形態３に係る半導体装置の製造工程を示す断面図である。

【図９】本発明の実施の形態３に係る半導体装置の製造工程を示す断面図である。

【図１０】本発明の実施の形態４に係る半導体装置を示す断面図である。

【図１１】本発明の実施の形態４に係る半導体装置の製造工程を示す断面図である。

【図１２】本発明の実施の形態４に係る半導体装置の製造工程を示す断面図である。

【図１３】本発明の実施の形態５に係る半導体装置を示す断面図である。

【図１４】本発明の実施の形態５に係る半導体装置の製造工程を示す断面図である。

【図１５】本発明の実施の形態５に係る半導体装置の製造工程を示す断面図である。

【図１６】本発明の実施の形態６に係る半導体装置を示す断面図である。

【図１７】本発明の実施の形態６に係る半導体装置の製造工程を示す断面図である。

【図１８】本発明の実施の形態６に係る半導体装置の製造工程を示す断面図である。

【図１９】本発明の実施の形態６に係る半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【００１３】

本発明の実施の形態に係る半導体装置について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【００１４】

実施の形態１．

図１は、本発明の実施の形態１に係る半導体装置を示す断面図である。この半導体装置はヘテロ構造電界効果トランジスタである。

【００１５】

基板１上にバッファ層２、ＧａＮチャネル層３、及びＡｌＧａＮバリア層４が順に形成されている。基板１は、ＳｉＣ基板、サファイア基板、又はシリコン基板等であるが、その上にＧａＮチャネル層３を形成することができれば如何なるものでもよい。バッファ層２はＧａＮ又はＡｌＮ等であるが、その上にＧａＮチャネル層３を形成することができれば如何なるものでもよい。例えば、ＧａＮチャネル層３を形成できていれば、ダブルヘテロ構造でもよい。半導体最表面層はＡｌＧａＮバリア層４であるが、ＩｎＡｌＮバリア層でもよい。また、必要に応じて、ＡｌＧａＮバリア層４上にＧａＮキャップ層を形成して

もよい。

【００１６】

最表面層であるＡｌＧａＮバリア層４上にソース電極５、ドレイン電極６及びゲート電極７が形成されている。ソース電極５及びドレイン電極６は、ゲート電極７を挟んで互いに離間している。

【００１７】

ソース電極５及びドレイン電極６がＡｌＧａＮバリア層４にオーミック接合されている。ソース電極５及びドレイン電極６は代表的にはＴｉ／Ａｌ構造であり、例えばＴｉ（２０ｎｍ）／Ａｌ（１００ｎｍ）／Ｔｉ（４０ｎｍ）／Ａｕ（３０ｎｍ）を形成し、６００℃以上のアニーリング処理を行うことによってオーミック接合が得られる。その他必要に応じて、任意の電極構造及びオーミック形成プロセスを適用することが可能である。

【００１８】

ゲート電極７がＡｌＧａＮバリア層４にショットキー接合されてＭＥＳ（Metal-Semiconductor）構造が形成されている。ゲート電極７は代表的にはＮｉ／Ａｕ構造であり、例えばＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）を蒸着あるいはスパッタリフトオフプロセスを用いて形成する。その他必要に応じて、ショットキー障壁が高いＰｔあるいはＰｄ系電極材料等も適用することができる。

【００１９】

ＳｉＮ表面保護膜８がＡｌＧａＮバリア層４を覆う。ＡｌＧａＮバリア層４とＳｉＮ表面保護膜８が直接に接して界面を形成する。ＳｉＮ表面保護膜８のＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１である。

【００２０】

続いて、本実施の形態に係る半導体装置の製造方法を説明する。図２は、本発明の実施の形態１に係る半導体装置の製造工程を示す断面図である。

【００２１】

まず、図２に示すように、半絶縁性ＳｉＣの基板１上に、ＧａＮ又はＡｌＮからなるバッファ層２を形成する。次に、バッファ層２上にＧａＮチャネル層３及びＡｌＧａＮバリア層４を順に形成する（ＡｌＧａＮ／ＧａＮ構造）。次に、ＡｌＧａＮバリア層４上に、Ｔｉ（２０ｎｍ）／Ａｌ（１００ｎｍ）／Ｔｉ（４０ｎｍ）／Ａｕ（３０ｎｍ）からなるソース電極５及びドレイン電極６と、Ｎｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）からなるゲート電極７を形成する。

【００２２】

次に、図１に示すように、ＡｌＧａＮバリア層４の表面を覆うようにＳｉＮ表面保護膜８を形成する。ＳｉＮ表面保護膜８の膜厚は例えば８０ｎｍとする。ＳｉＮ表面保護膜８の成膜方法としては、例えば成膜時のガス流量の調整自由度が高いＥＣＲ（Electron Cyclotron Resonance）スパッタ法を用いる。成膜時ガス流量条件は、ストイキオメトリな$Si_3N_4$膜を成膜するためのガス流量を基準とした時に、例えば、$N_2$ガス流量のみを９０％とする。これにより、Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１に収まるＳｉＮ、つまり、固体としてＳｉ過剰なＳｉＮ表面保護膜８を形成することができる。以上の工程により本実施の形態に係る半導体装置が得られる。

【００２３】

ここで、電流コラプス抑制を目的にＳｉＮ表面保護膜８に着目すると、ＳｉＮと半導体表面の界面で形成される電子構造が、その領域の特性を主に支配しており、本質的に重要であると考えられる。例えば、最表面層がＡｌＧａＮ層である系を考えた場合、ＳｉＮ／ＡｌＧａＮ界面の基本的な電子構造を形成しているのは、固体としてのＳｉＮとＡｌＧａＮが主である。しかし、実際の系においては、成膜方法／条件に依存してＳｉＮの形成以外に寄与するＳｉ及びＮ、いわゆる不純物と結合するＳｉ及びＮが生じ、且つそれらが不純物準位及び界面準位を形成し得ることになる。従って、含有比で規定されたＳｉＮを形成しただけでは、固体としてのＳｉＮの形成に寄与するＳｉ及びＮを規定できず、ＳｉＮ／ＡｌＧａＮ界面の電子構造までは再現できない。

【００２４】
ここで注目すべき点は、不純物準位及び界面準位に有限の寿命で電子が捕獲されることで電流コラプスが生じていると考えられる点である。これらの準位は、無バイアス状態では電子で満たされず、かつ高バイアス印加時に電子が励起され得るエネルギー範囲に位置している。このため、高バイアス印加に伴って有限の寿命で電子が捕獲されると推定できる。一方で、これらの準位の低減は現実的に限界がある。そこで、発明者は、これらの準位が無バイアス状態でも電子が存在し得るエネルギー位置、つまり系のエネルギーを下げることで、電流コラプスが抑制されると考えた。このように、電子構造の観点で実験と検証を行った結果、Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１のＳｉＮを適用することで、ＳｉＮ／半導体界面における系のエネルギーが下がり、電流コラプスを抑制できることを見出した。
【００２５】
図３は、電流コラプスの指標として、ＤＣ動作時の最大電流値とパルス動作時の最大電流値の比率を示す図である。Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／ＮがＳｉ過剰であるほど最大電流値の比率が高くなることが分かる。
【００２６】
一方、Ｓｉ欠乏の範囲、即ちＳｉ／Ｎが０．７５１より小さい場合は、最大電流値の比率が顕著に低下することが分かる。つまり、Ｓｉ／Ｎが０．７５１より小さい場合は電流コラプス現象が顕著となる。このため、元来、電流コラプス現象の抑制のためにＳｉＮを適用していることを鑑みると、Ｓｉ欠乏の範囲は適用範囲として不適であることが分かる。
【００２７】
図４は、ＳｉＮ／ＡｌＧａＮ界面におけるＡｌ及びＧａの内殻準位の結合エネルギーを比較した図である。Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／ＮがＳｉ過剰となることで、ＡｌとＧａの内殻準位が高結合エネルギー側にシフトしており、ＳｉＮ／ＡｌＧａＮ界面の系のエネルギーが下がることが分かる。
【００２８】
しかし、ＳｉＮはＳｉ過剰になるにつれ屈折率が高くなる傾向にあり、ウエハ面内で膜剥がれが生じ易くなるため、不適である。このため、図３及び図４の通り、実験を通して素子特性の確認が取れ、現実的に作成可能な範囲を考慮すると、Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎは０．８０１が上限レベルである。
【００２９】
これらの結果より、Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１、つまり固体としてＳｉ過剰なＳｉＮを適用することにより、ＳｉＮ／窒化物半導体界面の系のエネルギーを低下させ、電流コラプス抑制の効果を得られることが分かる。
【００３０】
以上説明したように、本実施の形態ではＳｉＮ表面保護膜８のＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１である。これにより、ＳｉＮ／ＡｌＧａＮ界面のエネルギーが下がるため、再現性よく電流コラプスを抑制することができる。また、電流コラプスの抑制に伴い、高周波高出力化を図れる。
【００３１】
実施の形態２．
図５は、本発明の実施の形態２に係る半導体装置を示す断面図である。ＳｉＮ表面保護膜８に比べてバンドギャップが大きい$Al_2O_3$絶縁膜９がＳｉＮ表面保護膜８上に設けられている。ＳｉＮ表面保護膜８のＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎは実施の形態１と同様に０．７５１～０．８０１である。ＳｉＮ表面保護膜８の膜厚は例えば８０ｎｍ、$Al_2O_3$絶縁膜９の膜厚は例えば５０ｎｍである。その他の構成は実施の形態１と同様である。
【００３２】
続いて、本実施の形態に係る半導体装置の製造方法を説明する。まず、基板１上にバッ

ファ層２、ＧａＮチャネル層３及びＡｌＧａＮバリア層４を順に形成する。次に、ＡｌＧａＮバリア層４上にソース電極５、ドレイン電極６、及びゲート電極７を形成する。これらの製造方法は実施の形態１と同様である。

【００３３】

次に、図１に示すように、ＡｌＧａＮバリア層４の表面を覆うようにＳｉＮ表面保護膜８（例えば８０ｎｍ）を形成する。次に、ＳｉＮ表面保護膜８上に$Al_2O_3$絶縁膜９（例えば５０ｎｍ）を形成する。ＳｉＮ表面保護膜８及び$Al_2O_3$絶縁膜９の成膜方法としては、例えばＥＣＲ－スパッタ法、又は膜厚制御性に優れたＡＬＤ（Atomic Layer Deposition）法を用いる。これにより、Ｓｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であるＳｉＮ表面保護膜８を形成し、ＳｉＮ表面保護膜８よりもバンドギャップが大きい$Al_2O_3$絶縁膜９を形成することができる。

【００３４】

以上説明したように、本実施の形態ではＳｉＮ表面保護膜８に比べてバンドギャップが大きい$Al_2O_3$絶縁膜９がＳｉＮ表面保護膜８上に形成されている。これにより、ＳｉＮ表面保護膜８のエネルギーを引き上げずに、ＳｉＮよりも高い絶縁破壊耐圧を有する表面保護膜を形成することができる。これにより、電流コラプスの抑制効果を確保しつつ、ＳｉＮのみを適用した場合よりも高い絶縁破壊耐圧を得ることができる。従って、実施の形態１よりも半導体装置の信頼性を向上させることができる。

【００３５】

なお、本実施の形態では、表面保護膜が２層（ＳｉＮ表面保護膜８及び$Al_2O_3$絶縁膜９）を積層して形成される場合について説明したが、これに限るものではなく、３層以上であってもよい。この場合、電流コラプスの抑制効果を得るためには、最下層がＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であるＳｉＮ表面保護膜８であり、最下層以外の層が最下層よりもバンドギャップが大きい絶縁膜であればよい。

【００３６】

実施の形態３．

図６は、本発明の実施の形態３に係る半導体装置を示す断面図である。ゲート電極７の一部がＳｉＮ表面保護膜８上に配置されてフィールドプレート構造が形成されている。具体的には、ＳｉＮ表面保護膜８は、ＡｌＧａＮバリア層４の表面を覆うように形成され、且つゲート電極７を形成すべき個所に開口を有している。ゲート電極７はＳｉＮ表面保護膜８の開口を充填し、かつ一部がＳｉＮ表面保護膜８を覆うように形成されている。ゲート電極７はＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）からなる。その他の構成は実施の形態１と同様である。

【００３７】

続いて、本実施の形態に係る半導体装置の製造方法を説明する。図７～９は、本発明の実施の形態３に係る半導体装置の製造工程を示す断面図である。

【００３８】

まず、図７に示すように、基板１上にバッファ層２、ＧａＮチャネル層３、及びＡｌＧａＮバリア層４を順に形成し、ＡｌＧａＮバリア層４上にソース電極５及びドレイン電極６を形成する。これらの製造方法は実施の形態１と同様である。なお、この時点ではゲート電極７を形成しない。

【００３９】

次に、図８に示すように、ＡｌＧａＮバリア層４の表面を覆うようにＳｉＮ表面保護膜８（例えば８０ｎｍ）を形成する。ゲート電極７を形成すべき個所においてリソグラフィ及びドライエッチングを用いてＳｉＮ表面保護膜８に開口１０（ゲート開口パターン）を形成する。次に、図９に示すように、ゲート電極７を形成するためのパターン１１をＳｉＮ表面保護膜８の開口部に合わせてリソグラフィ法によって形成する。

【００４０】

次に、実施の形態１と同様のＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）を用いて蒸着リフ

トオフ法を適用することによって開口１０内とＳｉＮ表面保護膜８上にゲート電極７を形成する。この結果、図６に示すようにゲート電極７の一部をＳｉＮ表面保護膜８上に配置してフィールドプレート構造を形成する。

【００４１】

以上説明したように、本実施の形態では、実施の形態１と同様に電流コラプス抑制効果を得つつ、フィールドプレート構造によって電界集中が緩和される。このため、電界集中に伴う不純物準位及び界面準位への電子の捕獲を抑制し、さらにそれらの準位を介した逆方向リーク電流を抑制することができる。即ち、本実施の形態により電流コラプスの抑制効果を更に高め、且つ逆方向リーク電流を抑制することができるため、実施の形態１よりも電気特性及び信頼性を向上することができる。

【００４２】

なお、本実施の形態では表面保護膜が１層の場合について説明したが、これに限らず実施の形態２のように表面保護膜は複数層を積層したものでもよい。この場合、電流コラプスの抑制効果を得るためには、最下層がＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であるＳｉＮ表面保護膜８であり、最下層以外の層が最下層よりもバンドギャップが大きい絶縁膜であればよい。

【００４３】

実施の形態４．

図１０は、本発明の実施の形態４に係る半導体装置を示す断面図である。ゲート電極７がＳｉＮ表面保護膜８上に形成されて、ゲート電極７、ＳｉＮ表面保護膜８、及びＡｌＧａＮバリア層４（窒化物半導体層）によりＭＩＳ（Metal-Insulator-Semiconductor）構造が形成されている。即ち、ＳｉＮ表面保護膜８は、半導体装置の表面を保護する機能と、ＭＩＳ構造における絶縁膜としての機能とを兼ね備えている。ＳｉＮ表面保護膜８の膜厚は例えば５ｎｍである。ゲート電極７はＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）からなる。その他の構成は実施の形態１と同様である。

【００４４】

続いて、本実施の形態に係る半導体装置の製造方法を説明する。図１１，１２は、本発明の実施の形態４に係る半導体装置の製造工程を示す断面図である。

【００４５】

まず、図１１に示すように、基板１上にバッファ層２、ＧａＮチャネル層３、及びＡｌＧａＮバリア層４を順に形成し、ＡｌＧａＮバリア層４上にソース電極５及びドレイン電極６を形成する。これらの製造方法は実施の形態１と同様である。なお、この時点ではゲート電極７を形成しない。次に、ＡｌＧａＮバリア層４、ソース電極５、及びドレイン電極６の表面を覆うようにＳｉＮ表面保護膜８（例えば５ｎｍ）を形成する。

【００４６】

次に、図１２に示すように、ＳｉＮ表面保護膜８上に、ゲート電極７を形成するためのパターン１２をリソグラフィ法によって形成する。次に、パターン１２に対して、実施の形態１と同様のＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）を用いて蒸着リフトオフ法を適用することによってゲート電極７を形成する。この結果、図１０に示すようにＭＩＳ構造を有する半導体装置が得られる。

【００４７】

ＭＩＳ構造を有する半導体装置では、ＭＥＳ構造でゲート電極７が形成される窒化物半導体表面の領域にも表面保護膜が形成される。このため、表面保護膜／窒化物半導体表面の界面に起因した電流コラプスがより支配的である。また、ＭＩＳ構造を半導体装置は、その構造ゆえＭＥＳ構造の半導体装置に比べ逆方向リーク電流が少なく、信頼性が高い構造である。従って、本実施の形態により、ＭＩＳ構造の半導体装置において信頼性を確保しつつ、電流コラプス抑制の効果を得ることができる。

【００４８】

実施の形態５．

図１３は、本発明の実施の形態５に係る半導体装置を示す断面図である。ＳｉＮ表面保

護膜８に比べてバンドギャップが大きい$Al_2O_3$絶縁膜９がＳｉＮ表面保護膜８上に設けられている。ＳｉＮ表面保護膜８のＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎは０．７５１～０．８０１である。ＳｉＮ表面保護膜８の膜厚は例えば５ｎｍ、$Al_2O_3$絶縁膜９の膜厚は例えば５ｎｍである。ゲート電極７が実施の形態４と同様にＳｉＮ表面保護膜８上に形成されている。ゲート電極７は実施の形態４と同様にＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）からなる。その他の構成は実施の形態４と同様である。

【００４９】

続いて、本実施の形態に係る半導体装置の製造方法を説明する。図１４，１５は、本発明の実施の形態５に係る半導体装置の製造工程を示す断面図である。

【００５０】

まず、実施の形態４と同様に基板１上にバッファ層２、ＧａＮチャネル層３、及びＡｌＧａＮバリア層４を順に形成し、ＡｌＧａＮバリア層４上にソース電極５及びドレイン電極６を形成する。なお、この時点ではゲート電極７を形成しない。

【００５１】

次に、図１４に示すように、ＡｌＧａＮバリア層４の表面を覆うようにＳｉＮ表面保護膜８（例えば５ｎｍ）を形成する。次に、ＳｉＮ表面保護膜８上に$Al_2O_3$絶縁膜９（例えば５ｎｍ）を形成する。ＳｉＮ表面保護膜８及び$Al_2O_3$絶縁膜９の成膜方法として、例えばＥＣＲ－スパッタ法、又は膜厚制御性に優れたＡＬＤ法を用いる。

【００５２】

次に、図１５に示すように、$Al_2O_3$絶縁膜９上に、ゲート電極７を形成するためのパターン１３をリソグラフィ法によって形成する。次に、パターン１３に対して、実施の形態４と同様のＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）を用いて蒸着リフトオフ法を適用することによってゲート電極７を形成する。この結果、図１３に示すようにＭＩＳ構造を有する半導体装置が得られる。

【００５３】

以上説明したように、本実施の形態ではＳｉＮ表面保護膜８に比べてバンドギャップが大きい$Al_2O_3$絶縁膜９がＳｉＮ表面保護膜８上に形成されている。これにより、電流コラプスの抑制効果を確保しつつ、ＳｉＮのみを適用した場合よりも高い絶縁破壊耐圧を得ることができる。また、実施の形態４と同様に、ＭＩＳ構造の半導体装置において信頼性を確保しつつ、電流コラプス抑制の効果を得ることができる。

【００５４】

なお、本実施の形態では、表面保護膜が２層（ＳｉＮ表面保護膜８及び$Al_2O_3$絶縁膜９）を積層して形成される場合について説明したが、これに限るものではなく、３層以上であってもよい。この場合、電流コラプスの抑制効果を得るためには、最下層がＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であるＳｉＮ表面保護膜８であり、最下層以外の層が最下層よりもバンドギャップが大きい絶縁膜であればよい。

【００５５】

実施の形態６．

図１６は、本発明の実施の形態６に係る半導体装置を示す断面図である。ゲート電極７がＳｉＮ表面保護膜８上に形成されて、ゲート電極７、ＳｉＮ表面保護膜８、及びＡｌＧａＮバリア層４（窒化物半導体層）によりＭＩＳ構造が形成されている。また、ＳｉＮ表面保護膜８に比べてバンドギャップが大きい$Al_2O_3$絶縁膜９がＳｉＮ表面保護膜８上に設けられている。ＳｉＮ表面保護膜８のＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎは０．７５１～０．８０１である。ＳｉＮ表面保護膜８の膜厚は例えば５ｎｍ、$Al_2O_3$絶縁膜９の膜厚は例えば５ｎｍである。

【００５６】

$Al_2O_3$絶縁膜９には、ゲート電極７を形成すべき個所に開口が形成されている。ゲート電極７は$Al_2O_3$絶縁膜９の開口を充填し、かつ一部が$Al_2O_3$絶縁膜９を覆うように形成されている。ゲート電極７はＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）からなる

。このようにゲート電極７の一部が$Al_2O_3$絶縁膜９上に配置されてフィールドプレート構造が形成されている。その他の構成は実施の形態５と同様である。

【００５７】

続いて、本実施の形態に係る半導体装置の製造方法を説明する。図１７～１９は、本発明の実施の形態６に係る半導体装置の製造工程を示す断面図である。

【００５８】

まず、実施の形態５と同様に基板１上にバッファ層２、ＧａＮチャネル層３、及びＡｌＧａＮバリア層４を順に形成し、ＡｌＧａＮバリア層４上にソース電極５及びドレイン電極６を形成する。なお、この時点ではゲート電極７を形成しない。

【００５９】

次に、図１７に示すように、ＡｌＧａＮバリア層４の表面を覆うようにＳｉＮ表面保護膜８（例えば５ｎｍ）を形成する。次に、ＳｉＮ表面保護膜８上に$Al_2O_3$絶縁膜９（例えば５ｎｍ）を形成する。ＳｉＮ表面保護膜８及び$Al_2O_3$絶縁膜９の成膜方法として、例えばＥＣＲ－スパッタ法、又は膜厚制御性に優れたＡＬＤ法を用いる。

【００６０】

次に、図１８に示すように、ゲート電極７を形成すべき個所においてリソグラフィ及びドライエッチングを用いて$Al_2O_3$絶縁膜９に開口１４（ゲート開口パターン）を形成する。$Al_2O_3$絶縁膜９に開口１４を形成する方法としては、塩素ガス、メタンガス、或いはアルゴンガスを用いたドライエッチング、又は強アルカリ性の現像液を用いたウェットエッチング等による方法がある。

【００６１】

次に、図１９に示すように、$Al_2O_3$絶縁膜９上に、ゲート電極７を形成するためのパターン１５をリソグラフィ法によって形成する。次に、パターン１５に対して、実施の形態５と同様のＮｉ（５０ｎｍ）／Ａｕ（３００ｎｍ）を用いて蒸着リフトオフ法を適用することによって開口１４内と$Al_2O_3$絶縁膜９上にゲート電極７を形成する。この結果、図１６に示すようにＭＩＳ構造及びフィールドプレート構造を有する半導体装置が得られる。

【００６２】

以上説明したように、本実施の形態によれば実施の形態５の効果に加えて、フィールドプレート構造による電流コラプス抑制の効果と信頼性向上の効果を得ることができる。

【００６３】

なお、本実施の形態では、表面保護膜が２層（ＳｉＮ表面保護膜８及び$Al_2O_3$絶縁膜９）を積層して形成される場合について説明したが、これに限るものではなく、３層以上であってもよい。この場合、電流コラプスの抑制効果を得るためには、最下層がＳｉ－Ｎ結合を成すＳｉとＮの構成比Ｓｉ／Ｎが０．７５１～０．８０１であるＳｉＮ表面保護膜８であり、最下層以外の層が最下層よりもバンドギャップが大きい絶縁膜であればよい。

【００６４】

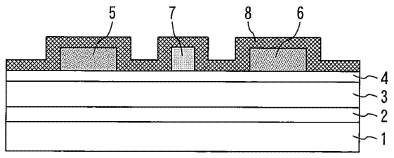
なお、本発明の範囲内において、各実施の形態を自由に組み合わせ、各実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

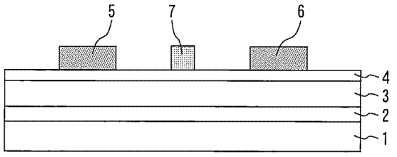
【００６５】

１　基板、３　ＧａＮチャネル層（窒化物半導体層）、４　ＡｌＧａＮバリア層（窒化物半導体層）、５　ソース電極、６　ドレイン電極、７　ゲート電極、８　ＳｉＮ表面保護膜、９　絶縁膜、１０，１４　開口

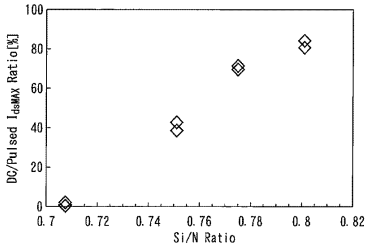
【図１】



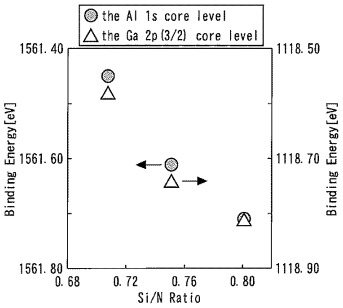

【図２】



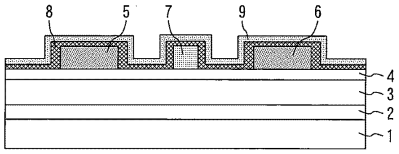

【図３】



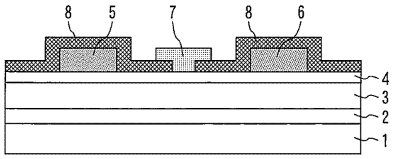

【図４】



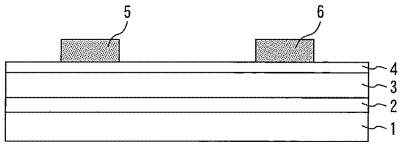

【図５】



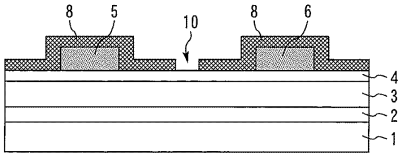

【図６】



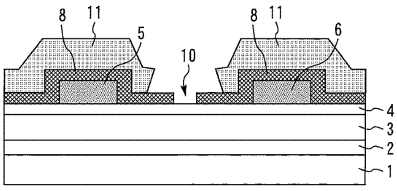

【図７】



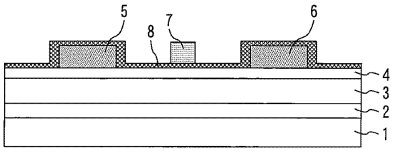

【図８】



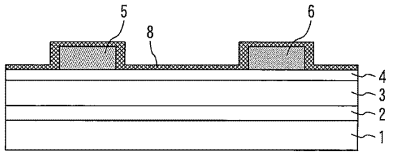

【図９】



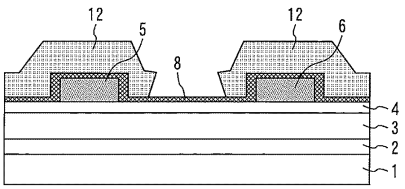

【図１０】



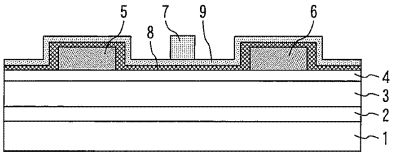

【図１１】



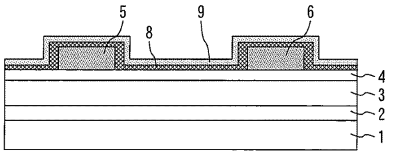

【図１２】



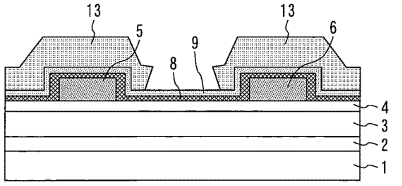

【図１３】



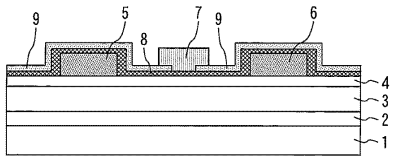

【図１４】



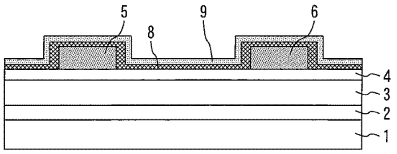

【図１５】



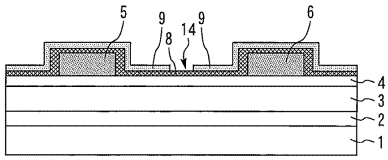
【図１６】



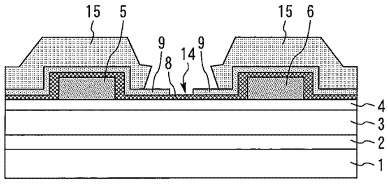

【図１７】




【図１８】




【図１９】



フロントページの続き

| (51)Int.Cl. | | | FI | | |
|---|---|---|---|---|---|
| ***H01L*** | ***29/78*** | ***(2006.01)*** | H01L | 21/318 | B |
| ***H01L*** | ***21/318*** | ***(2006.01)*** | H01L | 21/318 | M |

(72)発明者 吹田 宗義
東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内
(72)発明者 今井 章文
東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内
(72)発明者 柳生 栄治
東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内
(72)発明者 岡崎 拓行
東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内

審査官 杉山 芳弘

(56)参考文献 特開２０１５－１０３７８０（ＪＰ，Ａ）
特開２０１３－２１１４６１（ＪＰ，Ａ）
特開２０１４－１８７０８４（ＪＰ，Ａ）
特開２０１２－１２４４３６（ＪＰ，Ａ）
特開２０１２－０３８９６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２１／３３８
Ｈ０１Ｌ ２９／７７８
Ｈ０１Ｌ ２９／８１２
Ｈ０１Ｌ ２１／３３６
Ｈ０１Ｌ ２９／７８
Ｈ０１Ｌ ２１／２８