

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4169072号
(P4169072)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)

H01L 29/78 29/78

618Z

H01L 29/786 (2006.01)

H01L 29/78

627G

H01L 21/20 (2006.01)

H01L 21/20

請求項の数 8 (全 21 頁)

(21) 出願番号

特願2006-347052 (P2006-347052)

(22) 出願日

平成18年12月25日 (2006.12.25)

(65) 公開番号

特開2007-281422 (P2007-281422A)

(43) 公開日

平成19年10月25日 (2007.10.25)

審査請求日

平成19年3月8日 (2007.3.8)

(31) 優先権主張番号

特願2006-67272 (P2006-67272)

(32) 優先日

平成18年3月13日 (2006.3.13)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100086298

弁理士 船橋 國則

(72) 発明者 町田 晓夫

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 藤野 敏夫

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 河野 正洋

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

最終頁に続く

(54) 【発明の名称】薄膜半導体装置および薄膜半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

エネルギー ビームの照射によって多結晶化した活性領域を有する半導体薄膜と、当該活性領域を横切るように設けられたゲート電極とを備えた薄膜半導体装置において、

前記ゲート電極と重なる前記活性領域のチャネル部には、当該ゲート電極に沿って一連の結晶粒界が延設されており、

前記結晶粒界は、前記チャネル部を横切ると共に、チャネル長方向に周期的に設けられており、

前記結晶粒界の間には、当該結晶粒界の延設方向に凸となる三日月形状の結晶粒が、当該結晶粒界の延設方向に沿って配列されている

ことを特徴とする薄膜半導体装置。

【請求項 2】

請求項 1 記載の薄膜半導体装置において、

前記チャネル部には、前記結晶粒界が 2 本以上の所定数で設けられている
ことを特徴とする薄膜半導体装置。

【請求項 3】

請求項 1 記載の薄膜半導体装置において、

前記活性領域は、少なくとも前記チャネル部の全面が多結晶化された領域である
ことを特徴とする薄膜半導体装置。

【請求項 4】

10

20

請求項 1 記載の薄膜半導体装置において、
前結晶粒界は、所定ピッチを保って前記エネルギーービームを平行に走査させることによ
つて生じる走査方向と平行な結晶粒界である
ことを特徴とする薄膜半導体装置。

【請求項 5】

半導体薄膜にエネルギーービームを照射することにより当該半導体薄膜の活性領域を結晶化
する工程と、前記活性領域を横切る形状にゲート電極を形成する工程とを備えた薄膜半
導体装置の製造方法において、

前記活性領域を結晶化する工程では、前記エネルギーービームが重なりを持つ範囲内で当
該エネルギーービームの照射位置を前記ゲート電極の幅方向に所定ピッチで移動させ、移動
させた各照射位置において前記ゲート電極の延設方向に当該エネルギーービームを走査させ
ながら照射することにより、走査方向と平行な結晶粒界を前記所定ピッチで形成すると共
に、当該走査方向に凸となる三日月形状の結晶粒を前記結晶粒界の延設方向に沿って当該
結晶粒界の間に配列しながら当該活性領域を多結晶化し、

前記ゲート電極を形成する工程では、下方に前記結晶粒界が配置されるように当該結晶
粒界の延設方向に沿って当該ゲート電極を形成する

ことを特徴とする薄膜半導体装置の製造方法。

【請求項 6】

請求項 5 記載の薄膜半導体装置の製造方法において、

前記活性領域を結晶化する工程では、爆発的結晶化が生じるように前記エネルギーービー
ムの照射を行う

ことを特徴とする薄膜半導体装置の製造方法。

【請求項 7】

請求項 5 記載の薄膜半導体装置の製造方法において、

前記活性領域を結晶化する工程では、

前記半導体薄膜を完全溶融させると共に、

前記エネルギーービームの走査中心が当該エネルギーービームの走査に伴って最後に結晶化
されるように当該エネルギーービームの照射条件を設定することによって、当該走査中心に
前記結晶粒界を形成する

ことを特徴とする薄膜半導体装置の製造方法。

【請求項 8】

請求項 5 記載の薄膜半導体装置の製造方法において、

前記活性領域を結晶化する工程では、前記エネルギーービームのビームプロファイルをガ
ウシアンカーブにする

ことを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜半導体装置および薄膜半導体装置の製造方法に関し、特にエネルギーー
ビームの照射によって半導体薄膜を結晶化させてなる複数の素子を備えた薄膜半導体装置
およびその製造方法に関する。

【背景技術】

【0002】

液晶表示装置のようなフラット型表示装置においては、複数画素のアクティブマトリッ
クス表示を行うためのスイッチング素子として、薄膜トランジスタ (thin film transist
or: TFT) が用いられている。薄膜トランジスタには、多結晶シリコン (poly-Si) を
活性領域に用いた TFT (多結晶シリコン TFT) と、非晶質シリコン (アモルファス Si) を
活性領域に用いた TFT (非晶質シリコン TFT) とがある。

【0003】

このうち、多結晶シリコン TFT は、非晶質シリコン TFT と比較してキャリアの移動

10

20

30

40

50

度が10倍から100倍程度大きく、オン電流の劣化も小さいという特徴があり、スイッチング素子の構成材料として非常に優れた特性を有している。

【0004】

このような多結晶シリコン TFT の製造技術として、おおむね 600 以下の低温プロセスのみを用いて非晶質シリコン膜を多結晶化させる、いわゆる低温ポリシリコンプロセスが開発され、基板の低コスト化が実現されている。例えば、エキシマレーザを用いた低温ポリシリコンプロセスにおいては、ライン状に整形されたレーザ光を、わずかずつ移動させて大部分を重複させながら非晶質シリコン膜に対してパルス照射し、同一箇所に 10 ~ 20 回のレーザ光照射を行う。これにより、活性領域の全面において結晶粒径が均一化された多結晶が得られるようにしている。

10

【0005】

また、低温ポリシリコンプロセスの他の例として、例えば YAG レーザーの高調波から得られた連続するレーザ光を、照射エネルギーが一定になるように一定速度で移動させながら非晶質シリコン膜に対して照射して結晶化領域を形成し、結晶粒界のない領域が薄膜トランジスタの活性領域となるようにパターン形成する方法が提案されている（下記特許文献 1 参照）。

【0006】

また、コロンビア大学等からは、マスクを用いた多段照射で結晶の横方向成長の幅を規定する方法として、Sequential lateral solidification (SLS) が提案されている（下記非特許文献 1 参照）。

20

【0007】

【特許文献 1】特開 2003-77834 号公報（特に 0091 ~ 0092 段落、0169 段落参照）

【非特許文献 1】A.T.Vouysas, A.Limnov and J.S.Im, 「Journal of Applied Physics」(2003), Vol.94, P.7445-7452

【発明の開示】

【発明が解決しようとする課題】

【0008】

近年、上述したフラットパネル型の表示装置においては、さらなる動画特性やコントラスト特性の向上を目的としてハイフレームレートの液晶ディスプレイの開発が進められ、また有機ELディスプレイ等の自発光型のディスプレイなどの新しい表示装置の開発も進められている。これにともない、このような表示装置に対応可能なスイッチング素子として、急激に大きな電流を流しても特性劣化が無く、また各スイッチング素子の特性バラツキが小さい TFT の開発が求められている。

30

【0009】

しかしながら、上述した従来の低温ポリシリコンプロセスによって得られた多結晶シリコン TFT は、比較的大きな電流を流しやすい特性であってキャリアの移動度も大きく特性劣化も小さいことが非常に有利である反面、非晶質シリコン TFT と比較して素子間の特性、特に初期の閾値電圧やオン電流が大きくばらつくことが問題となっている。

【0010】

40

このようなバラツキを防止するために、上述したエキシマレーザを用いた結晶化においては、波長と同等の 300 nm 程度の同じような結晶が成長した膜を用いることで素子のバラツキを最小限にすることが試みられてきた。しかしながら、このようにして多結晶化した膜を用いても、素子間の特性バラツキを抑える効果が十分ではなかった。

【0011】

この原因是、従来のエキシマレーザニール装置を用いた結晶化方法で結晶化する場合、多結晶シリコン膜の各結晶粒の大きさを高精度に制御することが困難であり、不揃いの粒径となってしまうためである。粒径の不均一性は、各薄膜トランジスタ (TFT) のチャネル部における結晶粒界数のばらつきに繋がり、その結果として薄膜トランジスタ (TFT) の特性がばらつくという問題になっている（例えば、K. Yamaguchi; et al; J. Appl

50

. Phys., Vol. 89, No. 1, pp.590、M. Kimura et al; JAP. J. APPL. PHYSI. Vol. 40 Part1 (2001) , No. 1、他)。またこの問題は、特に有機EL素子を表示素子として持つ場合には、表示部での色むら等として現れてくるため非常に大きな問題となる。

【 0 0 1 2 】

そして、以上のような薄膜トランジスタの特性バラツキは、上記特許文献1に記載の低温ポリシリコンプロセスであっても十分に抑えることは困難である。これは、チャンネル内部を構成する結晶領域が大きくなるために、結晶内部の欠陥や、転移等の有無による影響が特性のばらつきに大きく反映されるためと思われる。また、SLS法を適用して形成したTFTの特性における移動度バラツキは、先に示した非特許文献1の図8より、最適プロセスにおいても10%以上あることが読み取れる。これは、ラテラル成長部分の結晶領域において無数の非制御な結晶粒界が存在していることに起因すると思われる。

10

【 0 0 1 3 】

そこで本発明は、トランジスタ特性の経時変化が小さくかつキャリア移動度が高速でありながらも、トランジスタ特性が高精度に制御された薄膜半導体装置を提供すること、さらにはこのような薄膜半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

このような目的を達成するための本発明の薄膜半導体装置は、エネルギービームの照射によって多結晶化した活性領域を有する半導体薄膜と、当該活性領域を横切るように設けられたゲート電極とを備えている。そして特に、ゲート電極と重なる活性領域のチャネル部には、当該ゲート電極に沿って一連の結晶粒界が延設されている。この結晶粒界は、チャネル部を横切ると共に、チャネル長方向に周期的に設けられていることを特徴としている。また、結晶粒界の間には、当該結晶粒界の延設方向に凸となる三日月形状の結晶粒が、当該結晶粒界の延設方向に沿って配列されている。

20

【 0 0 1 5 】

このような構成の薄膜半導体装置では、チャネル部を通過するキャリアは、必ず周期的に設けられた結晶粒界を横切って移動することになる。このため、この周期を制御することにより、当該薄膜半導体装置におけるトランジスタ特性（キャリア移動度）が精度良好に制御されるようになる。例えば、周期の大きさやチャネル部に配置される周期の数（結晶粒界の本数）を一致させることで、複数の素子においてのキャリア移動度のバラツキが抑えられる。そして、このような構成において、各周期内の結晶状態を所定の状態とすることにより、多結晶化させた半導体薄膜を用いた素子の長所である、高いキャリア移動度が維持され、かつ素子特性の劣化も抑えられることが判った。

30

【 0 0 1 6 】

また、本発明は上述した構成の薄膜半導体装置の製造方法もある。

【発明の効果】

【 0 0 1 7 】

以上説明したように本発明によれば、チャネル部が多結晶化されていることにより素子特性の経時変化が小さくかつキャリア移動度が高速でありながらも、高精度にキャリア移動度が制御された薄膜半導体装置を得ることが可能である。この結果、素子特性が良好であり、かつ素子間の特性バラツキを均一化することができ、このような薄膜半導体装置をスイッチング素子とした表示装置の高性能化を図ることが可能になる。

40

【発明を実施するための最良の形態】

【 0 0 1 8 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。尚、以下の実施形態においては、例えば表示装置における画素のスイッチング素子としてトップゲート型の多結晶シリコンTFTを同一基板上に複数設けた薄膜半導体装置を例示して説明し、次にその製造方法を説明する。

【 0 0 1 9 】

<薄膜半導体装置>

50

図1(a)は、実施形態の薄膜半導体装置の構成を示す平面図であり、図1(b)は図1(a)におけるA部の拡大平面図である。これらの図に示す薄膜半導体装置1は、同一の基板3上に複数の薄膜トランジスタTFTを設けてなる。尚、図面においては、1つの薄膜トランジスタTFTのみを図示している。

【0020】

各薄膜トランジスタTFTは、半導体薄膜5からなる活性領域5aと、この活性領域5aの中央部を横切る状態で配線されたゲート電極9とを備えている。

【0021】

このうち半導体薄膜5からなる活性領域5aは、非晶質シリコンとして成膜された半導体薄膜5にレーザ光のようなエネルギーービームを照射することによって多結晶化させた領域である。また、半導体薄膜5は、活性領域5aを含む島状にパターニングされていることとする。この場合、図示したように、多結晶化された活性領域5aの周囲に非晶質の半導体薄膜5部分が残らない様に、半導体薄膜5がパターニングされていても良い。また、活性領域5aの周囲に非晶質の半導体薄膜5部分が残っていても良い。

10

【0022】

以上のような活性領域5aにおいては、ゲート電極9と重なる活性領域5aが、チャネル部Cとなっている。また、活性領域5aにおいて、このチャネル部Cを挟んだ両側の領域がソース／ドレイン11となっている。

【0023】

そして本実施形態では、以上のように構成された各薄膜トランジスタTFTにおいて、各活性領域5aの結晶状態、およびこの結晶状態に対するゲート電極9の配置状態が特徴的である。

20

【0024】

すなわち、各活性領域5aは、少なくともゲート電極9と重なるチャネル部Cに、当該チャネル部Cを横切る状態で、ゲート電極9の延設方向に沿って一連の結晶粒界aが複数本設けられている。これらの結晶粒界aは、チャネル長L方向に所定ピッチPを保って周期的に設けられている。

【0025】

そして、結晶粒界a-a間の結晶状態は、ゲート電極9の延設方向に沿って略同一となっている。尚、上述したように周期的に結晶粒界aが配置された構成は、チャネル部Cだけではなく、各活性領域5aの全域に及んでも良い。

30

【0026】

また本実施形態においては、チャネル部Cを含む活性領域5aは、結晶粒界aが周期的に配置されると共に、非晶質領域を含まずに全面が結晶化されていることとする。

【0027】

そして、以上のような一連の結晶粒界aは、以降の製造方法で詳細に説明するよう、例えば、所定ピッチを保ってエネルギーービームを平行に走査させることによって生じる走査方向と平行な結晶粒界である。

【0028】

また、ゲート電極9の線幅(すなわちチャネル長Lに対応する)は、ここで形成する薄膜トランジスタの規格に基づいて設計されており、その下方に所定本数の結晶粒界aがチャネル部Cをチャネル幅W方向に横切るように配置されるよう設定されていることとする。そして、同一特性の薄膜トランジスタであれば、チャネル部Cには、略同一本数の結晶粒界aが設けられていることが重要である。ここで略同一本数とは、所定本数に対して±1本の範囲であることが好ましい。

40

【0029】

また、チャネル部Cに設けられる結晶粒界aの数は、所定本数に対する実際の本数の割合のバラツキが小さいほど、薄膜トランジスタの特性バラツキを均一化できる。このため、チャネル部Cに設けられる結晶粒界aの本数は2本以上で多いほうが良い。具体的には、後の実施例でも説明するように、チャネル部には、チャネル幅方向に延設された結晶粒

50

界 a が 25 本程度設けられるように、チャネル長に合わせてピッチ P が設定されることが好ましい。ただし、チャネル部 C においてチャネル長 L 方向を横切る結晶粒界 a が多いほど、チャネル長 L 方向におけるキャリア移動度が低くなるため、キャリア移動度がある程度高く保たれる範囲で結晶粒界 a の本数が多いほど良い。

【0030】

また、以上のようにチャネル部 C 内に配置される結晶粒界 a の本数を安定化させるため、活性領域 5 a 内における少なくともチャネル部 C 内においては、複数の結晶粒界 a は平行に配置され、その周期 P は一定であることとする。

【0031】

ここで、図 2 には、チャネル部 C のさらに詳細な拡大平面図の一例を示す。この図に示すように、上述したように結晶粒界 a が配置されたチャネル部 C (活性領域 5 a)においては、結晶粒界 a の間に、結晶粒界 a の延設方向に凸となる三日月形状の結晶粒 b が配列されている構成となっていることが好ましい。これらの結晶粒 b は、結晶粒界 a - a 間にわたる大きさであって、結晶粒界 a の延設方向に沿って配列されていることとする。

【0032】

以上のような結晶粒界 a および結晶粒 b を備えた活性領域 5 a の形成については、次の製造方法において詳細に説明する。

【0033】

<薄膜半導体装置の製造方法>

以下、図 1 および図 2 に示した構成の薄膜半導体装置 1 の製造方法を図 3 に基づいて、他の図面を参照しつつ説明する。

【0034】

先ず、図 3 (1) に示すように、薄膜半導体装置を形成する基板 3 a を用意する。この基板 3 a としては、非晶質基板のガラス、石英、サファイア基板、プラスチック基板、さらにはアルミニウムやステンレス等の金属基板等を用いる。

【0035】

そして、この基板 3 a の一主面上に、当該基板 3 a への熱伝導を防止するための絶縁性のバッファー層 3 b を設ける。バッファー層 3 b としては、例えば、珪素酸化物や、珪素窒化物、珪素炭化物の他、Ti, Al, Zr, Hf 等の酸化膜を用いても構わない。これらのバッファー層 3 b の形成は、CVD、スパッタ、および蒸着等の公知の真空成膜技術によって行うことができる。また、バッファー層としては、無機系 SOG 膜や有機系 SOG 等の層間絶縁膜等として通常使用される絶縁層を用いることもできる。さらに金属膜の陽極酸化で形成される誘電体膜や、ゾルゲル法や MOD (Metal Organic Deposition) 法等の公知の技術で成膜された膜であっても良い。

【0036】

次に、以上のように表面がバッファー層 3 b で覆われた基板 3 の一主面上に、非晶質の半導体薄膜 5 を形成する。ここでは、一例として PE-CVD (plasma enhancement-chemical vapor deposition) 法による非晶質シリコンからなる半導体薄膜 5 の形成を行う。このようにして得られた半導体薄膜 5 は、多量の水素が含有された、いわゆる水素化非晶質シリコン (a-Si:H) からなる。また、ここで形成する半導体薄膜 5 の膜厚は、例えば膜厚 20 nm ~ 100 nm であることとする。

【0037】

尚、半導体薄膜 5 の形成は、成膜温度を低く抑えられる方法であれば上述した PE-CVD 法に限定されることはなく、塗布法によって行っても良い。この場合、ポリシラン化合物を溶媒に混ぜた混合物を、基板 3 上に塗布成膜し、その後、乾燥、アニールを施すことにより半導体薄膜 5 を形成する。そして、先の PE-CVD 法や、ここで示した塗布法などの成膜温度が低く抑えられた成膜方法では、いずれの場合にも成膜条件により多少の変動はあるが、0.5 atoms% ~ 1.5 atoms% 程度の水素を含有した水素化非晶質シリコン (a-Si:H) からなる半導体薄膜 5 が得られる。

【0038】

10

20

30

40

50

次に、必要に応じて半導体薄膜5中の過剰水素イオンを脱離させるための、いわゆる水素抜きアニール処理を行う。このような水素抜きアニール処理としては、例えば400から600の炉アニールを行う。ただし、次に行う結晶化のためのアニール処理が、半導体薄膜5中において水素イオンをガス化膨張させることなくレーザ光の照射部から余剰水素を除去するように、照射エネルギーを調整して行われる場合には、水素抜きアニール処理を省略しても良い。

【0039】

以上の後、図3(2)に示すように、半導体薄膜5に設定した活性領域5aに、エネルギービームとしてレーザ光Lhを照射して結晶化させるための結晶化工程を行う。

【0040】

この結晶化工程においては、半導体薄膜5に対してレーザ光Lhを所定の速度で所定の方向に走査させながら照射する。

【0041】

この際、図4に示すように、レーザ光Lhの照射位置を、次に形成するゲート電極(9)の幅方向(すなわちチャネル長L方向)に所定ピッチで移動させ、移動させた各照射位置において所定の走査方向yにレーザ光Lhを走査させる。ここで、レーザ光Lhの走査方向yは、ゲート電極(9)の延設方向とほぼ一致する方向、すなわちチャネル幅W方向と一致させる。したがって、各活性領域5aにおいては、ゲート電極(9)の配線方向によって、それぞれ設定され方向にレーザ光Lhの照射位置を移動させ、移動させた各照射位置において所定の走査方向yにレーザ光Lhを走査させることとする。

【0042】

またこの結晶化工程においては、レーザ光Lhを走査させる方向yと平行に、一連の結晶粒界aが所定の周期Pで現れるように、レーザ光Lhの照射量、照射スポット径、走査速度、および照射位置の移動ピッチなどを設定する。

【0043】

このような結晶化工程として、例えば図5(a)に示すような爆発的結晶化を適用した方法が例示される。爆発的結晶化が生じるようにレーザ光Lhを照射するためには、レーザ光Lhの走査時に照射領域の半導体薄膜5が完全に溶融するまえに周囲の領域に熱が伝導するように照射領域の大きさや照射速度、照射エネルギーを制御したレーザ光Lhの照射条件を設定する。

【0044】

この際、半導体薄膜5に照射するレーザ光Lhの波長は、半導体薄膜5の膜厚とその吸収係数に基づき、半導体薄膜5を透過せず無駄なく吸収される様に、比較的吸収係数が小さくなる波長が選択される。すなわち、厚さ50nmの非晶質シリコンからなる半導体薄膜5を例にとると、波長350nm～470nmのレーザ光が好ましく用いられる。このような波長のレーザ光Lhの発振源としては、例えばGaN系の化合物半導体レーザ発振器、さらにはYAGレーザ発振器が対応する。またレーザ光Lhの波長以外の照射条件として、レーザ光Lhを照射する対物レンズの開口数NA、レーザ光Lhの走査速度や照射エネルギー等を調整することによっても、半導体薄膜5の爆発的結晶化が行われるようにすることができる。

【0045】

そして、レーザ光Lhをチャネル長L方向に所定の移動ピッチp1で移動させた各照射位置において、このチャネル長L方向と略垂直な走査方向yに、上述した照射条件でレーザ光Lhを走査させる。この際、隣接するレーザ光Lhの各照射位置間に、非結晶の領域が残ることなく、かつ走査方向yと平行に連続した結晶粒界aが生じるように、上記移動ピッチp1に対するレーザ光Lhのスポット径r1を調整する。

【0046】

これにより、移動ピッチp1と同じ幅の周期Pで結晶粒界aが設けられるように半導体薄膜5の多結晶化が進められる。そして、結晶粒界a-a間に、レーザ光Lhの走査方向yに向かって凸となる三日月形状の結晶粒bが、結晶粒界aの延設方向に沿って配列さ

10

20

30

40

50

れた状態となる。

【0047】

ここで、レーザ光 L_h のスポット径 r_1 およびレーザ光 L_h の照射位置の移動ピッチ p_1 (結晶粒界 a の周期 P) は、チャネル部に設けられる結晶粒界 a の本数 (周期数) を規定する重要なファクターになる。装置の構成において説明したように、チャネル部に設けられる結晶粒界 a の本数 (周期数) は、キャリア移動度を保てる範囲でトランジスタ特性のバラツキを均一化できる程度に多く設定されることとしたが、さらにここではプロセスのタクトタイムを損なわない範囲でより多くの本数の結晶粒界 a がチャネル部に設けられるように、移動ピッチ p_1 (結晶粒界 a の周期 P) が設定されていることとする。そして、この移動ピッチ p_1 に合わせて、非結晶の領域が残らず連続した結晶粒界 a が生じるよう、レーザ光 L_h のスポット径 r_1 が設定される。

【0048】

そこで、一般的な薄膜トランジスタのチャネル長 (ゲート電極の線幅) を $10 \mu m$ 以下と仮定すると、生産性も考慮して、チャネル部 C に 25 本程度の結晶粒界 a が配置されるようにすることが好ましい。この場合、レーザ光 L_h の照射位置の移動ピッチ p_1 (結晶粒界 a の周期 P) が $400 nm$ 程度に設定される。そして、スポット径 r_1 は、移動ピッチ p_1 (結晶粒界 a の周期 P) とほぼ同程度に合わせ、隣接するレーザ光 L_h の各照射位置間に、走査方向 y と平行な連続した結晶粒界 a が生じるように、 $1 nm \sim 10 \mu m$ の範囲で数百 nm 程度に設定されることになる。また、このスポット径 r_1 は、チャネル長を越えない範囲であることとする。

【0049】

またこの結晶化工程は、上述した爆発的結晶化のほかにも、図 5 (b) に示すように、レーザ光 L_h の照射スポットの中心付近に、走査方向 y と平行な連続した結晶粒界 a を生じさせるように行っても良い。このような位置に結晶粒界 a が生じるようにレーザ光 L_h を照射するためには、レーザ光 L_h の各照射位置において半導体薄膜 5 がその深さ方向の全域で完全溶融するように、当該レーザ光 L_h を走査させることとする。

【0050】

この際、半導体薄膜 5 の膜厚とその吸収係数に基づき、レーザ光 L_h の波長、さらにはレーザ光 L_h を照射する対物レンズの開口数 NA 、レーザ光 L_h の走査速度や照射エネルギー等の照射条件を調整することで、半導体薄膜 5 を深さ方向に完全溶融させる。このような結晶化を行う場合であっても、例えば図 5 (a) を用いて説明した爆発的結晶化と同様に、 GaN 系の化合物半導体レーザ発振器、さらには YAG レーザ発振器による波長 $350 nm \sim 470 nm$ のレーザ光 L_h を用いることができ、上述した照射条件を調整することにより、半導体薄膜 5 を深さ方向において完全溶融させる。

【0051】

この場合、レーザ光 L_h をチャネル長 L 方向に所定の移動ピッチ p_2 で移動させた各照射位置において、このチャネル長 L 方向と略垂直な走査方向 y (上述したゲート配線の延設方向) に走査させる。この際、隣接するレーザ光 L_h の各照射位置間に、非結晶の領域が残ることなく、かつ走査方向 y と平行な連続した結晶粒界 a が生じるように、レーザ光 L_h の移動ピッチ p_2 に対するレーザ光 L_h のスポット径 r_2 (チャネル長 L 方向) を調整する。

【0052】

これにより、移動ピッチ p_2 と同じ幅の周期 P で結晶粒界 a が設けられるように半導体薄膜 5 の多結晶化が進められる。そして、結晶粒界 a - a 間には、レーザ光 L_h の走査方向 y と逆の方向に向かって凸となる三日月状の結晶粒 b が結晶粒界 a の延設方向に向かって配列された状態となる。このような結晶化工程によれば、結晶粒 b は、レーザ光 L_h の照射によって半導体薄膜 5 を完全溶融させ、液相成長によって再結晶化させて得られた結晶粒であるため、結晶の質も良好であり、キャリア移動度が高められる。

【0053】

この場合、レーザ光 L_h のスポット径 r_2 およびレーザ光 L_h の照射位置の移動ピッチ

10

20

30

40

50

p_2 (結晶粒界 a の周期 P) は、プロセスのタクトタイムを損なわない範囲でより多くの本数の結晶粒界 a がチャネル部に設けられるように設定されていることは、図 5 (a) を用いて説明した爆発的結晶化と同様である。

【0054】

ここで、上述した図 5 (a)、図 5 (b) を用いて説明した各結晶化工程においては、レーザ光 L_h の照射によって形成される結晶粒界 a の特性を一定化させることが極めて重要である。結晶粒界 a の特性を一定化する要因としては、各照射位置においてのレーザの照射エネルギー密度が一定であること、走査速度が一定であること、照射位置の移動ピッチ p_1, p_2 が一定 (周期 P が一定) であること、半導体薄膜 5 の膜厚が均一であること等が求められる。

10

【0055】

さらに、レーザ光 L_h の照射エネルギー密度を一定とするために、少なくとも活性領域 5 a に対してレーザ光 L_h を照射している間においては、レーザ光 L_h が連続発振された状態となっていることが望ましい。ここで、連続発振とは、半導体薄膜 5 の温度が低下しない範囲の休止 (例えば 50 ns 以下の休止) がある場合も含むこととする。また、レーザ光 L_h の照射エネルギー密度を一定として上述の照射を行うためには、エネルギーのフィードバック機能やフォーカスサーボ機能を備えたレーザ光の照射装置を用いることが望ましい。エネルギーのフィードバック機能やフォーカスサーボ機能は光ディスク等のカッティングマシン等で使われる公知の技術で構築されることが可能である。

【0056】

20

また、半導体薄膜 5 に対するレーザ光 L_h の照射は、レーザ照射の走査速度が一定になる領域で設定する。

【0057】

そして、半導体薄膜に対するレーザ光の照射位置の移動は相対的でよく、固定されたレーザ光の照射位置に対して半導体薄膜が形成された基板側を移動させても良いし、固定された基板に対してレーザ光の照射位置を移動させても良い。また、基板 3 とレーザ光の照射位置との両方を移動させても良い。

【0058】

さらに、上述した図 5 (a)、図 5 (b) を用いて説明した各結晶化工程におけるレーザ光 L_h の平行な走査は、1 つのレーザ発振器を用いて順次行っても良いし、複数のレーザ発振器を用いて行っても良い。また、表示装置を駆動するための薄膜トランジスタの作製を考えた場合、複数の活性領域 5 a に対して同時に行われることが好ましい。つまり、基板 3 の表面側に設定配列された複数の活性領域 5 a に対してレーザ光 L_h を同時に多点照射することにより、複数の活性領域 5 a に対して結晶化工程を同時に行えることが、生産性を考慮した場合には好ましい方法である。

30

【0059】

このようなレーザ光 L_h の多点照射を実現するためには、レーザ光の発振源として半導体レーザ発振器が好適に用いられる。半導体レーザ発振器は、エキシマレーザや YAG レーザなどの他のレーザ発振器と比較して非常に小型であるため、1 つの装置内に複数配置が可能であり、かつ連続照射で定格 200 mW の出力が可能である。

40

【0060】

半導体レーザ発振器を用いることにより、大面積化に対応して半導体レーザの個数を増やすことで基板サイズに対して柔軟に装置設計が対応することが可能となる。このため、大型基板上に同じ性能のトランジスターを多数並べた構造を得ることができ、研究レベルで報告があるようなマスクを用いて粒界を制御する方法に比べて大面積で均一な特性のトランジスターを形成することに有利である。

【0061】

以上説明した結晶化のための結晶化工程を終了した後には、図 3 (3) に示すように、結晶化させた活性領域 5 a を残すような所定形状に半導体薄膜 5 をパターンエッチングし、各活性領域 5 a を島状に分割して素子分離する。この場合、図示したように、活性領域

50

5aの周囲に結晶化させていない半導体薄膜5部分が残らない様に、半導体薄膜5をパターンエッチングしても良い。また、活性領域5aの周囲に結晶化させていない半導体薄膜5部分が残る様に、半導体薄膜5をパターンエッチングしても良い。尚、このような半導体薄膜5のパターンエッチングは、上述した結晶化工程の前に行っても良い。この場合、活性領域5aの予定となる領域を含む島状にパターンングされた各半導体薄膜5に対して、上述した結晶化工程が施されることになる。

【0062】

次に、パターンングされた活性領域5aを覆う状態で基板3の上部にゲート絶縁膜7を形成する。このゲート絶縁膜7は、酸化シリコンや窒化シリコンからなるもので良く、通常のPE-CVDによる公知の方法で成膜可能であり、この他にも塗布型の絶縁層として公知のSOG等の成膜を行っても良い。尚、このゲート絶縁膜7の形成は、半導体薄膜5をパターンエッチングする前に行っても良い。

10

【0063】

次に、上述したような島状に分割した各活性領域5aの中央部を横切る形状のゲート電極9を、ゲート絶縁膜7上に形成する。ここでは、図4を用いて説明したように、各活性領域5aに形成された結晶粒界aの延設方向に沿って、ゲート電極9を形成する。この際、同一特性の素子であれば、下方に同一本数の結晶粒界aが配置されるように、同一線幅のゲート電極9をパターン形成する。

【0064】

以上のゲート電極9を形成する際には、先ず、スパッタ法または蒸着法により、例えばアルミニウムからなる電極材料層を成膜し、次にリソグラフィー法によってこの電極材料層上にレジストパターンを形成する。その後、このレジストパターンをマスクに用いて電極材料層をエッチングすることにより、ゲート電極9をパターン形成する。

20

【0065】

尚、ゲート電極9の形成は、このような手順に限定されることはなく、例えば金属微粒子を塗布して印刷する手法であっても良い。また、ゲート電極9を形成する際の電極材料層のエッチングにおいては、続けてゲート絶縁膜7をエッチングしても良い。

【0066】

その後、図3(4)に示すように、ゲート電極9をマスクに用いて、活性領域5aに自己整合的に不純物が導入されたソース・ドレイン11を形成する。ここでは、例えばゲート電極9をマスクに用いたイオンインプランテーションを行う。

30

【0067】

これにより、ゲート電極9の下方には結晶化された活性領域5aにおいて不純物が導入されない部分からなるチャネル部Cが形成される。これらのソース・ドレイン11およびゲート電極9の下方のチャネル部Cは、半導体薄膜5を結晶化させた多結晶シリコンで構成されるため、以上によって多結晶シリコン薄膜を用いたトップゲート型の薄膜トランジスタTFT(すなわち多結晶シリコンTFT)が同一基板3上に複数設けられた薄膜半導体装置1が得られる。

【0068】

そして、このような薄膜トランジスタTFTをスイッチング素子として用いた表示装置として、例えば液晶表示装置を作製する場合には、さらに以下の工程を行う。

40

【0069】

先ず、図6(1)に示すように、薄膜半導体装置1の基板3上に、薄膜トランジスタTFTを覆う状態で層間絶縁膜21を形成する。次に、この層間絶縁膜21に薄膜トランジスタTFTのソース・ドレイン11に達する接続孔21aを形成する。そして、この接続孔21aを介してソース・ドレイン11に接続された配線23を、層間絶縁膜21上に形成する。

【0070】

次いで、配線23を覆う状態で平坦化絶縁膜25を形成し、配線23に達する接続孔25aを平坦化絶縁膜25に形成する。次に、この接続孔25aと配線23を介してソース

50

・ドレン11に接続された画素電極27を、平坦化絶縁膜25上に形成する。この画素電極27は、液晶表示装置の表示タイプによって透明電極または反射電極として形成する。尚、図面は1画素の要部断面となっている。

【0071】

その後、ここでの図示は省略したが、画素電極27を覆う配向膜を平坦化絶縁膜上に形成し、駆動基板29を完成させる。

【0072】

一方、図6(2)に示すように、駆動基板29に対向配置させる対向基板31を用意する。この対向基板31は、透明基板33上に共通電極35を設け、さらにここでの図示を省略した配向膜で共通電極35を覆ってなる。尚、共通電極35は透明電極からなることとする。

10

【0073】

そして、駆動基板29と対向基板31とを、画素電極27と共通電極35とを向かい合わせた状態で、スペーサ37を介して対向配置する。そして、スペーサ37によって所定間隔に保たれた基板29, 31間に液晶相LCを充填封止し、液晶表示装置41を完成させる。

【0074】

尚、上記構成の駆動基板29を用いて有機EL表示装置を作製する場合には、駆動基板29に設けられた画素電極を陽極(または陰極)とし、この画素電極上に正孔注入層、発光層、電子輸送層などの必要機能を有する有機層を積層させ、さらに有機層上に共通電極を陰極(または陽極)として形成することとする。

20

【0075】

以上説明した本実施形態の薄膜半導体装置1によれば、図1および図2を参照すると、ゲート電極9に沿って延設された結晶粒界aが、チャネル部Cを横切るとともにチャネル長L方向に周期的に配置された構成とすることで、チャネル部Cを通過するキャリアは、必ず周期的に配置された結晶粒界aを横切って移動することになる。このため、この周期Pを制御することにより、薄膜半導体装置1における薄膜トランジスタTFTのトランジスタ特性(キャリア移動度)を精度良好に制御することが可能になる。つまり、周期Pの大きさやチャネル部Cに配置される結晶粒界aの数を一致させることで、複数の素子においてのキャリア移動度のバラツキが抑えられる。

30

【0076】

しかも、結晶粒界a-a間に結晶状態は、結晶粒界a-a間にわたる大きさの結晶粒bが結晶粒界aに沿って配列されている。このため、非晶質の領域を含まず、素子特性の劣化が抑えられる。また、結晶粒界a-a間においては、キャリアが結晶粒b-b間の粒界を通過することができないため、チャネル長L方向のキャリア移動度が高く維持される。

【0077】

そして、結晶粒界aの周期Pは、上述したようにレーザ光Lhの照射条件によって良好に制御することが可能であることから、上述したトランジスタ特性が精度良好に制御された薄膜トランジスタTFTを形成することが可能である。

【0078】

40

したがって、このような薄膜半導体装置に形成された各薄膜トランジスタTFTを画素のスイッチング素子として用いて表示装置を構成することにより、表示装置の高性能化を図ることが可能になる。特に、有機EL表示装置においては、表示部での色むらを防止することができるようになる。

【0079】

尚、以上説明した実施形態においては、図2に示したように、チャネル部Cの結晶状態として、結晶粒界aの間に、結晶粒界aの延設方向に三日月形状の結晶粒bが配列されている構成を説明した。しかしながら、チャネル部Cの結晶状態は、チャネル部Cを横切る状態でゲート電極に沿って延設された一連の結晶粒界aがチャネル長L方向に周期的に設けられていれば、結晶粒界a間に三日月形状の結晶粒bが設けられている構成に限定され

50

ることはない。

【0080】

この場合、例えば図7に示すように、結晶粒界a間に一連の帯状の結晶粒Bである構成が例示される。つまり、チャネル長L方向に所定ピッチPを保って周期的に設けられている結晶粒界a-a間に、幅=ピッチPの帯状の結晶粒Bが結晶粒aの延設方向に沿って設けられている構成である。

【0081】

このような構成の結晶粒界aおよび帯状の結晶粒Bを備えた活性領域5aの形成は、活性領域にレーザ光Lhを照射する結晶化によって以下のように行われる。

【0082】

先ず、図8(1)に示すように、レーザ光Lhを、所定の速度で一定の走査方向yに走査させながら照射する。そして特に、レーザ光Lhの照射によって半導体薄膜5がその深さ方向において完全溶融されるように、半導体薄膜の膜厚に合わせてレーザ光Lhの照射条件を設定することは、上述した実施形態と同様である。またこの結晶化工程においては、以上のように選択された波長のレーザ光Lhを、ビームプロファイルがガウシアン形状のスポットビームとして用いることが好ましい。

【0083】

このようなレーザ光Lhの走査により、半導体薄膜が完全溶融した走査路においては、レーザ光Lhの通過にともなって凝固が進み、レーザ光Lhの走査中心に沿って結晶粒B'が配列形成される。この際、レーザ光Lhをガウシアン形状として、レーザ光Lhの照射部分の温度は、レーザ光Lhのビームプロファイル(Beam Profile)のガウシアン形状に対応し、レーザ光Lhの走査中心で最も高く、両端で最も低くなる。そのため、レーザ光Lhを走査方向yに走査しながら照射することにより、半導体薄膜5が完全溶融した走査路において、走査中心と離れた遠い位置(レーザ光の走査路の両側端)から結晶凝固が開始され、走査路の両側端に一定数の結晶の種が発生する。そして、さらにレーザ光Lhの走査を進めることにより、走査中心側に向かって走査方向yに凝固が進められ、結晶の種B'が走査方向yに向かって走査中心側に引っ張られる状態で凝固が進み、走査中心が最後に結晶化される。この際、走査中心において凝固が会合するよう、上述した照射条件の範囲でさらにレーザ光Lhの走査速度および出力を調整しても良い。これにより、走査中心から走査路の両側に向かって末広がりに広がる半三日月状、つまり三日月を線対称となる線で2分割した形状の結晶粒B'が得られる。

【0084】

またこの場合、上述したレーザ光Lhの照射条件により、レーザ光Lhの走査方向yにおける結晶粒B'の幅W1が調整される。ここで、走査方向yにおける結晶粒B'の幅W1は、結晶粒界aの周期(所定ピッチP)となる。このため、上述した、レーザ光Lhの照射条件、すなわち、レーザ光Lhの波長、レーザ光Lhを照射する対物レンズの開口数NA、レーザ光Lhの走査速度や照射エネルギー等を、レーザ光Lhの照射によって半導体薄膜がその深さ方向において完全溶融される範囲で、かつ結晶粒B'が所定の幅W1=Pとなるように設定されることが重要である。

【0085】

次に、図8(2)に示すように、先に照射されたレーザ光Lhの走査路に対して、所定のピッチpで走査路をずらし2回目のレーザ光Lhの走査を行う。この際、レーザ光Lhの走査方向yは、1回目の走査と平行な一定方向であることとする。そして、平行に走査されるレーザ光Lhのピッチp(走査路のずらし幅)は、レーザ光Lhの直径(走査方向yに対して垂直な方向の照射径)r3以下であることとする。これにより、隣接するレーザ光Lhの走査位置に形成された結晶粒B'の結晶性を引き継ぐように、2回目のレーザ光Lhの走査での凝固を進め、レーザ光Lhの走査方向yと異なる方向(走査方向yに対して略垂直となる方向)に結晶粒B'を成長させる。

【0086】

またこの際、平行に走査されるレーザ光Lhのピッチpはレーザ光Lhの照射半径(r

10

20

30

40

50

3 / 2) 以下とすることが好ましい。これにより、結晶粒 B ' の成長方向を一定方向に制御することが容易になる。これは、先に述べたように、ガウシアン形状のレーザ光 L h を走査させた場合には、走査路の両端から走査中心 側に向かって走査方向 y に凝固が進められるため、走査中心 に対して線対称な形状の結晶粒 B ' が形成される。このため、レーザ光 L h のピッチ p を、レーザ光 L h の照射半径 (r 3 / 2) 以下とすることにより、走査路の一端側から走査中心 側に向かって走査方向 y に凝固が進められた結晶粒 B ' 部分のみを残して結晶化が進められる。このため、結晶粒 B ' の成長方向を一定方向に制御することが容易になるのである。例えば、幅 W 1 = 数 1 0 0 n m の結晶粒 B ' を、その幅 W 1 を保って成長させる場合には、照射径 r 3 = 2 0 0 n m ~ 5 0 0 n m のスポット形状のレーザ光 L h を、照射半径 (r 3 / 2) 以下の狭いピッチ p で走査路をずらして走査させる。

【 0 0 8 7 】

以降、図 8 (3) に示すように、所定のピッチ p で走査路をずらしながら、それぞれのずらした位置において 3 回目以降のレーザ光 L h の走査を順次行う。これにより、レーザ光 L h の走査方向 y と異なる方向への結晶粒 B ' の成長をさらに進め、走査方向 y に対して略垂直となる方向に帯状に延設された帯状の結晶粒 B を形成する。この際、各位置においてのレーザ光 L h の走査を、1 回目の走査と同様の照射条件で行うことにより、帯状の結晶粒 B の走査方向 y の幅 W 1 が一定に保たれる。そして、このような帯状の結晶粒 B が、走査方向 y に配列されることで、幅 W 1 で周期的に結晶粒界 a が設けられた結晶領域が形成される。つまり、帯状の結晶粒 B の幅 W 1 と同一の所定ピッチ P で結晶粒界 a が周期的に設けられる。

【 0 0 8 8 】

ここで、帯状の結晶粒 B の幅 W 1 (すなわち結晶粒界 a のピッチ P) は、薄膜半導体装置のチャネル部に設けられる結晶粒界 a の本数を規定する重要なファクターになることは、上述した実施形態と同様である。

【 0 0 8 9 】

以上説明した結晶化の他にも、図 7 に示した結晶粒界 a 間が一連の帯状の結晶粒 B となるような結晶化を行う手順としては、例えば、ライン状に整形されたレーザ光を、ライン状の短軸方向に周期 P で移動させてパルス照射する方法が例示される。このような方法であっても、レーザ光のライン状を一部のみ重ねることで、レーザ光が重ねて照射された部分に結晶粒界 a を形成することが可能である。この場合、ライン状の短手方向をチャネル長 L 方向とすることで、チャネル長 L 方向に周期的に結晶粒界が設けられる。またこの方法は、請求項に示すような、エネルギー ビームが重なりを持つ範囲内で、エネルギー ビームの照射位置を所定の移動方向に所定ピッチで移動させることにより、移動方向と異なる方向に結晶粒界を延設しながら多結晶化を行う方法の一例ともなる。

【 実施例 】

【 0 0 9 0 】

以下、本発明の実施例 1 ~ 3 を図 3 および図 5 に基づいて説明し、次に比較例を説明する。

【 0 0 9 1 】

< 実施例 1 >

図 5 (a) を用いて説明した結晶化工程を適用して複数の薄膜トランジスタを形成した (図 1 参照) 。

【 0 0 9 2 】

先ず、絶縁性の基板 3 上に、P E - C V D 法によって膜厚 5 0 n m の非晶質シリコンからなる半導体薄膜 5 を成膜した。

【 0 0 9 3 】

次に、この半導体薄膜 5 の各活性領域 5 a に、レーザ光 L h を照射して多結晶化する結晶化工程を行った。この際、レーザ光 L h は、G a N レーザを用い、チャネル長 L 方向のスポット径 r 1 = 5 0 0 n m 、これと直交する方向 y のスポット径 = 3 0 0 n m の橢円形

10

20

30

40

50

状とした。また、対物レンズの実効NA = 0.6とした。そして、チャネル長L方向への移動ピッチp1 = 400nm、これと直交する走査方向yへの走査速度v_t = 3m/s、基板面での照射エネルギー(板面照射エネルギー)17mW相当とし、半導体薄膜5の結晶化工程を行った。尚、半導体薄膜5に対するレーザ光Lhの照射は、常にフォーカスサーべをかけ、高速での走査時に焦点が外れないようにした。また照射エネルギーが一定になるように照射ビームの一部をモニターしてエネルギーの変動がないようにした。

【0094】

このような結晶化工程により、活性領域5aは、チャネル長L方向に周期P = 400nmで複数の結晶粒界aが設けられ、これらの結晶粒界a-a間にわたる大きさで走査方向yに凸となった三日月状の結晶粒bが結晶粒界aに沿って配列された多結晶となった。各結晶粒bの大きさは、走査方向yの幅の最大部(三日月の腹)で100nm程度であった。

【0095】

次いで、多結晶化された各活性領域5aを、結晶粒界aと略垂直方向の幅(つまりチャネル幅W)が50μmとなるようにパターニングした。その後、パターニングした結晶領域5aを覆う状態でゲート絶縁膜7を成膜し、この上部に結晶粒界aの延方向に沿ってゲート電極9を形成した。ゲート電極9は、線幅(つまりチャネル長L) = 20μmとした。またこれにより、ゲート電極9の下方において活性領域5aを横切るように50本の結晶粒界aが設けられるようにした。

【0096】

その後、ゲート電極9の両脇の活性領域5aにソース/ドレイン11を形成し、基板3上に同一規格の薄膜トランジスタTFTを複数形成した。

【0097】

得られた各薄膜トランジスタTFTについてオン電流を測定したところ、バラツキは± = ±1.5%に抑えられていた(下記表1参照)。また、しきい値V_{th}のバラツキも0.06Vに抑えられていた。これにより、本発明を適用した図5(a)の結晶状態でチャネル部を構成することにより、トランジスタ特性を高精度に制御することが可能であることが確認された。また、このときのFET移動度(キャリアの移動度)は12cm²/Vsであり、画素スイッチとして十分良好なトランジスタ特性が得られることも確認された。

【0098】

【表1】

	チャネル長 L	チャネル幅 W	結晶粒界aの数 (周期数)	オン電流バラツキ ±σ	V _{th} バラツキ	移動度 (cm ² /Vs)
実施例1	20μm	50μm	50本	±1.5%	0.06V	12

図5(a)タイプ GaNレーザ;NA=0.6 結晶粒界aの周期P=400nm

【0099】

<実施例2-1,実施例2-2>

図5(b)を用いて説明した結晶化工程を適用して複数の薄膜トランジスタを形成した(図1参照)。

【0100】

先ず、実施例1と同様の半導体薄膜5を成膜した後、レーザ光Lhの照射条件を変更して活性領域5aの多結晶化を行った。ここでは、レーザ光Lhは、GaNレーザを用い、チャネル長L方向のスポット径r2 = 500nmの円形状とした。また、対物レンズの実効NA = 0.8とした。そして、チャネル長L方向への移動ピッチp2 = 400nm、これと直交する走査方向yへの走査速度v_t = 1m/s、板面照射エネルギー12mW相当とし、半導体薄膜5の結晶化工程を行った。尚、半導体薄膜5に対するレーザ光Lhの照

10

20

30

40

50

射時にフォーカスサーボをかけたこと、照射ビームの一部をモニターしたことは同様である。

【0101】

このような結晶化工程により、活性領域 5 a は、チャネル長 L 方向に周期 $P = 400\text{ nm}$ で複数の結晶粒界 a が設けられ、これらの結晶粒界 a - a 間にわたる大きさで走査方向 y と逆方向に凸となった三日月状の結晶粒 b が結晶粒界 a に沿って配列された多結晶となつた。各結晶粒 b の大きさは、走査方向 y の幅の最大部（三日月の腹）で 150 nm 程度であった。

【0102】

次いで、実施例 1 と同様の手順を行い、結晶粒界 a と略垂直方向の幅（つまりチャネル幅 W）が $50\text{ }\mu\text{m}$ となるように活性領域 5 a をパターニングし、ゲート絶縁膜 7 を介してゲート電極 9 を形成した。ゲート電極 9 の線幅（つまりチャネル長 L）は、実施例 2-1 で $10\text{ }\mu\text{m}$ 、実施例 2-2 で $20\text{ }\mu\text{m}$ とした。これにより、ゲート電極 9 の下方において活性領域 5 a を横切るように、実施例 2-1においては 25 本、実施例 2-2においては 50 本の結晶粒界 a がそれぞれ設けられるようにした。

【0103】

その後、ゲート電極 9 の両脇の活性領域 5 a にソース / ドレイン 11 を形成し、実施例 2-1 および実施例 2-2 のそれぞれにおいて、基板 3 上に各規格の薄膜トランジスタ TFT を複数形成した。

【0104】

得られた各薄膜トランジスタ TFT についてオン電流を測定したところ、実施例 2-1 ではオン電流バラツキ $\pm = \pm 1.9\%$ 、実施例 2-2 ではオン電流バラツキ $\pm = \pm 1.3\%$ に抑えられていた（下記表 2 参照）。また、しきい値 V_{th} のバラツキも、実施例 2-1 では 0.08 V 、実施例 2-2 では 0.06 V に抑えられていた。これにより、本発明を適用した図 5 (b) の結晶状態でチャネル部を構成することにより、トランジスタ特性を高精度に制御することが可能であることが確認された。また、このときの FET 移動度は、実施例 2-1, 2-2 ともに $26\text{ cm}^2/\text{Vs}$ であり、画素スイッチとして十分良好なトランジスタ特性が得られることも確認された。

【0105】

【表 2】

	チャネル長 L	チャネル幅 W	結晶粒界 a の数 (周期数)	オン電流バラツキ $\pm \sigma$	V_{th} バラツキ	移動度 (cm^2/Vs)
実施例 2-1	$10\text{ }\mu\text{m}$	$50\text{ }\mu\text{m}$	25 本	$\pm 1.9\%$	0.08 V	26
実施例 2-2	$20\text{ }\mu\text{m}$		50 本	$\pm 1.3\%$	0.06 V	26

図5(b)タイプ GaNレーザ; NA=0.8 結晶粒界 a の周期 $P=400\text{ nm}$

【0106】

また、表 2 の結果から、同じ半導体レーザー結晶化膜においては、結晶粒界 a の本数が多いほど（周期数が多いほど）、オン電流のバラツキが小さい、すなわち特性精度の良好な薄膜トランジスタが得られることが確認された。

【0107】

<実施例 3-1, 実施例 3-2>

実施例 2 と同様に、図 5 (b) を用いて説明した結晶化工程を適用して複数の薄膜トランジスタを形成した。

【0108】

ここでは、実施例 2 におけるレーザ光 L h の照射条件のうち、対物レンズの実効 N A = 0.4 、ピッチ $p = 600\text{ nm}$ 、走査方向 y への走査速度 $v = 3\text{ m/s}$ に変更したこと以外は、実施例 2 と同様にして結晶化工程を行った。

10

20

30

40

50

【0109】

このような結晶化工程により、活性領域 5 a は、チャネル長 L 方向に周期 $P = 600\text{ nm}$ で複数の結晶粒界 a が設けられ、これらの結晶粒界 a - a 間にわたる大きさで走査方向 y と逆方向に凸となった三日月状の結晶粒 b が結晶粒界 a に沿って配列された多結晶となつた。各結晶粒 b の大きさは、走査方向 y の幅の最大部（三日月の腹）で 100 nm 程度であった。

【0110】

次いで、実施例 1 と同様の手順を行い、結晶粒界 a と略垂直方向の幅（つまりチャネル幅 W）が $50\text{ }\mu\text{m}$ となるように活性領域 5 a をパターニングし、ゲート絶縁膜 7 を介してゲート電極 9 を形成した。ゲート電極 9 の線幅（つまりチャネル長 L）は、実施例 3-1 で $10\text{ }\mu\text{m}$ 、実施例 3-2 で $20\text{ }\mu\text{m}$ とした。これにより、ゲート電極 9 の下方において活性領域 5 a を横切るように、実施例 3-1においては 17 本、実施例 3-2においては 33 本の結晶粒界 a がそれぞれ設けられるようにした。

10

【0111】

その後、ゲート電極 9 の両脇の活性領域 5 a にソース / ドレイン 11 を形成し、実施例 3-1 および実施例 3-2 のそれぞれにおいて、基板 3 上に各規格の薄膜トランジスタ TFT を複数形成した。

【0112】

得られた各薄膜トランジスタ TFT についてオン電流を測定したところ、実施例 3-1 ではオン電流バラツキ $\pm = \pm 0.94\%$ 、実施例 3-2 ではオン電流バラツキ $\pm = \pm 0.56\%$ に抑えられていた（下記表 3 参照）。また、しきい値 V_{th} のバラツキも、実施例 3-1 では 0.10 V 、実施例 3-2 では 0.06 V に抑えられていた。これにより、本発明を適用した図 5 (b) の結晶状態でチャネル部を構成することにより、トランジスタ特性を高精度に制御することが可能であることが確認された。また、このときの FET 移動度は、実施例 3-1, 3-2 ともに $18\text{ cm}^2/\text{Vs}$ であり、画素スイッチとして十分良好なトランジスタ特性が得られることも確認された。

20

【0113】

【表 3】

	チャネル長 L	チャネル幅 W	結晶粒界 a の数 (周期数)	オン電流バラツキ $\pm \sigma$	V_{th} バラツキ	移動度 (cm^2/Vs)
実施例 3-1	$10\text{ }\mu\text{m}$	$50\text{ }\mu\text{m}$	17 本	$\pm 0.94\%$	0.10 V	18
実施例 3-2	$20\text{ }\mu\text{m}$		33 本	$\pm 0.56\%$	0.06 V	18

30

図5(b)タイプ GaNレーザ; NA=0.4 結晶粒界 a の周期 $P=600\text{ nm}$ (但しプロセス改善あり)

【0114】

また、表 3 の結果からも、同じ半導体レーザー結晶化膜においては、結晶粒界 a の本数が多いほど（周期数が多いほど）、オン電流のバラツキが小さい、すなわち特性精度の良好な薄膜トランジスタが得られることが確認された。

40

【0115】

<比較例>

従来構成のエキシマレーザーを用いた結晶化工程を適用して複数の薄膜トランジスタを形成した。

【0116】

先ず、実施例 1 と同様の半導体薄膜 5 を成膜した後、KrF のエキシマレーザーを、光学的に短軸方向の幅が $400\text{ }\mu\text{m}$ のラインビームに加工し、1 パルス毎に短軸方向に $8\text{ }\mu\text{m}$ ピッチで照射位置をずらし、残りの領域は重なるようにレーザーを照射した。このときに短軸に平行な断面で評価したエネルギープロファイルは、トップハット型（台形型）に調整してある。上記条件で照射を行った場合、同じ領域には約 50 ショットのパルスレー

50

ザーが照射されることになる。照射レーザーは1パルスが25nsで、310mJ/cm²相当のエネルギー密度となるようにアッテネーターを用いて調整した。この結果得られた結晶を二次電子顕微鏡(SEM)で観察すると、250nm角程度の四角い結晶が得られることが確認された。

【0117】

その後は実施例1と同様の手順を行い、チャネル長L(ゲート電極の線幅)20μm、チャネル幅W50μmの薄膜トランジスタTFTを複数形成した。

【0118】

得られた各薄膜トランジスタTFTについてトランジスタ特性を測定した結果を、下記の表4に示す。尚、表4には、比較例と同一規格(チャネル長L=20μm、チャネル幅W=50μm)の各実施例についての結果を合わせて示した。

【0119】

【表4】

	照射エネルギー/ビーム	結晶形状	オン電流バラツキ ±σ	V _{th} バラツキ	移動度 (cm ² /Vs)
実施例1	GaNレーザ;NA=0.6	図5(a)	±1.5%	0.06V	12
実施例2-2	GaNレーザ;NA=0.8	図5(b)	±1.3%	0.06V	26
実施例3-2	GaNレーザ;NA=0.4		±0.56%	0.06V	18
比較例	エキシマレーザ		±6.2%	0.31V	155

チャネル長L=20μm、チャネル幅W=50μm(但し、NA=0.4はプロセス改善あり)

【0120】

表4に示すように、本発明を適用した実施例1～3の薄膜トランジスタにおいては、本発明を適用していない比較例の薄膜トランジスタと比較して、オン電流バラツキおよびしきい値V_{th}のバラツキが小さく抑えられていることが確認された。尚、FET移動度については、比較例の薄膜トランジスタの方が高い値を示しているが、本発明を適用した実施例1～3の値であっても画素スイッチとして十分良好な値である。

【0121】

また、レーザ照射の際に用いた対物レンズの実効NAが異なる何れの実施例1～3であっても、本発明の適用のない比較例よりもオン電流のバラツキが少なかった。

【0122】

以上の結果、有機電界発光素子を用いた表示装置における画素電極のスイッチング素子として、本発明を適用した薄膜トランジスタを用いることにより、表示装置における画素間の輝度バラツキが充分に小さく抑えられることが確認された。

【0123】

尚、各実施例および比較例は実験的プロセスによって行われている。このため、実施例2は他の例と比較してプロセス(具体的にはハンドリング性)が改善された結果も含まれている。

【図面の簡単な説明】

【0124】

【図1】本発明の薄膜半導体装置の構成を示す平面図である。

【図2】本発明の薄膜半導体装置における要部拡大平面図である。

【図3】本発明の薄膜半導体装置の製造方法を説明する断面工程図である。

【図4】本発明の薄膜半導体装置の製造方法における結晶化工程を説明する平面図である。

【図5】本発明の薄膜半導体装置の製造方法における結晶化工程の詳細を説明する平面図である。

10

20

30

40

50

【図6】本発明の薄膜半導体装置を用いた液晶表示装置の製造工程図である。

【図7】本発明の薄膜半導体装置におけるチャネル部の結晶状態の他の例を示す平面図である。

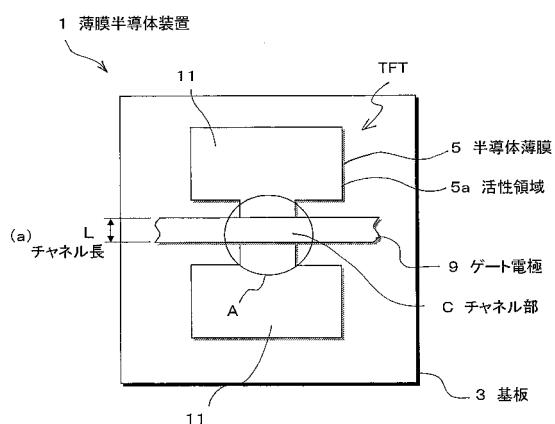
【図8】図7の結晶状態を得るための結晶化工程の詳細を説明する平面図である。

【符号の説明】

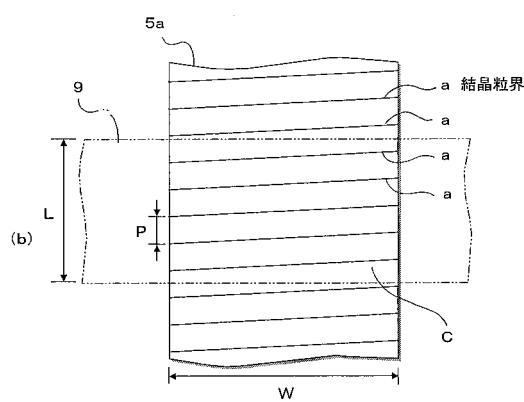
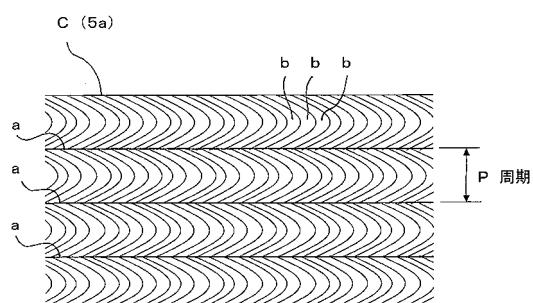
【0125】

1 ... 薄膜半導体装置、5a ... 活性領域、5 ... 半導体薄膜、9 ... ゲート電極、a ... 結晶粒界、b ... 結晶粒、C ... チャネル部、L ... チャネル長、Lh ... レーザ光（エネルギービーム）、P ... 周期、y ... 走査方向

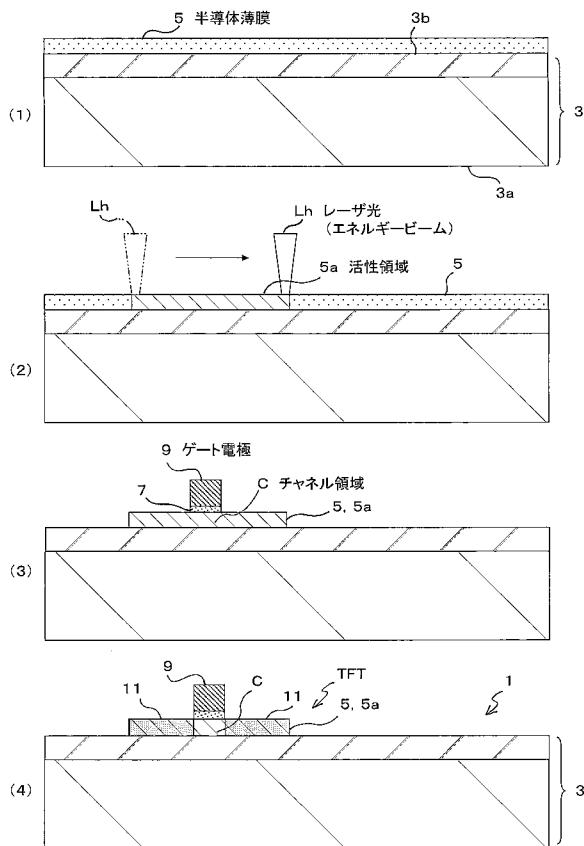
【図1】



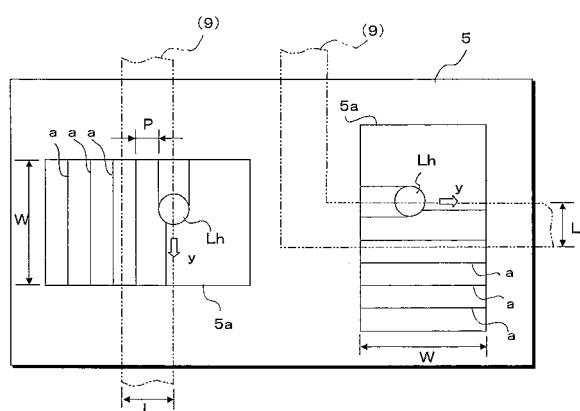
【図2】



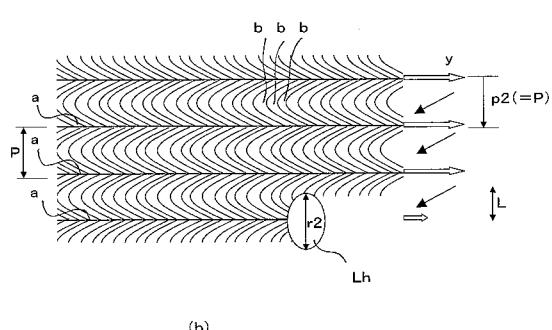
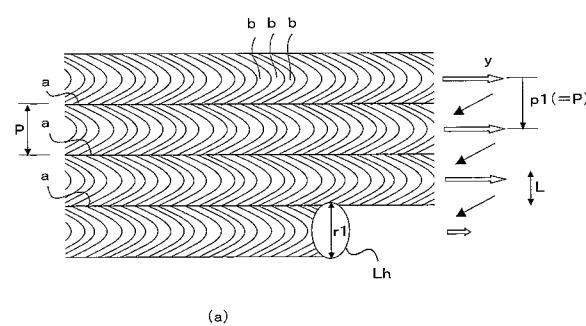
【図3】



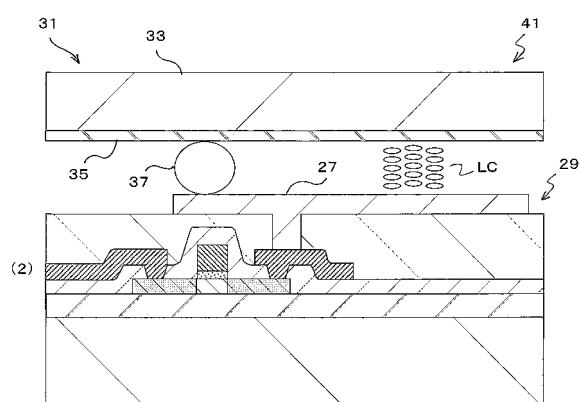
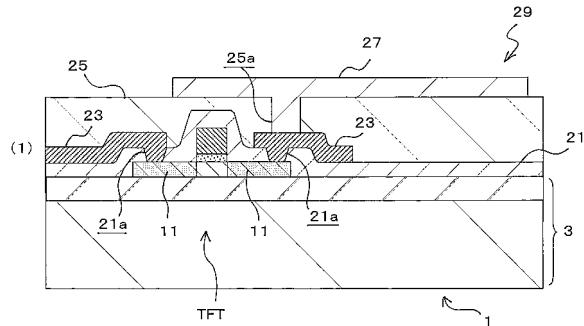
【図4】



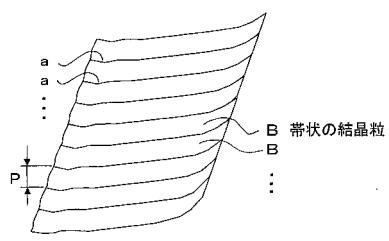
【図5】



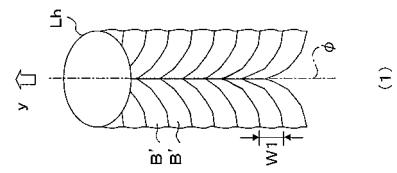
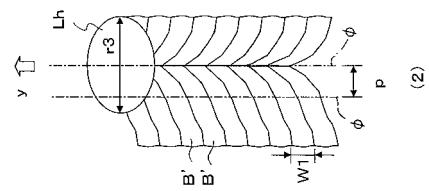
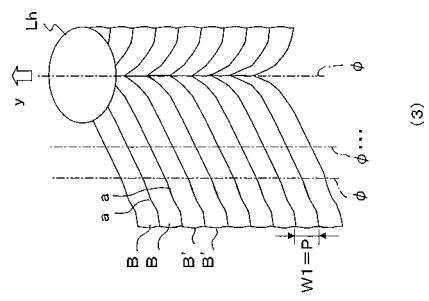
【図6】



【図7】



【図8】



フロントページの続き

審査官 河本 充雄

(56)参考文献 特開2003-332350 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336

H01L 21/20