

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成27年10月8日(2015.10.8)

【公表番号】特表2014-527254(P2014-527254A)

【公表日】平成26年10月9日(2014.10.9)

【年通号数】公開・登録公報2014-056

【出願番号】特願2014-527335(P2014-527335)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/06 (2006.01)

【F I】

G 11 C 17/00 6 1 3

G 11 C 17/00 6 4 1

G 11 C 17/00 6 3 3 B

G 11 C 17/00 6 3 1

G 11 C 17/00 6 1 1 F

G 11 C 17/00 6 0 1 E

G 11 C 17/00 6 1 1 G

【手続補正書】

【提出日】平成27年8月18日(2015.8.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

読み出されるセルに物理的に近い少なくとも1つのアグレッサ不揮発性メモリセルのプログラムされたデータ状態を決定し、前記プログラムされたデータ状態を符号化するデータの少なくとも1つのソフトビットを決定することと、

前記読み出されるセルの閾値電圧を決定し、前記決定された閾値電圧にためのデータの複数のハードビットを決定し、前記複数のハードビットは、読まれるべき前記セルの前記決定された閾値電圧を符号化することと、

データの前記少なくとも1つのソフトビットに従って、読み出し動作の出力として、前記複数のハードビットの1つのハードビットを決定することと、
を含む、メモリを動作させる方法。

【請求項2】

読み出し動作の出力として、前記複数のハードビットの1つのハードビットを決定することは、アグレッサ不揮発性メモリセルによって及ぼされる影響に起因する、前記読み出されるセルの観察された閾値電圧における予想される変化に基づいて、前記出力を決定することを含む、請求項1に記載のメモリを動作させる方法。

【請求項3】

前記読み出されるセルは、マルチレベル不揮発性メモリセルを含む、請求項1に記載のメモリを動作させる方法。

【請求項4】

読み出されるべき前記セル上の前記少なくとも1つのアグレッサメモリセルによる影響の確率は、少なくとも1つのソフトビットのデータとして符号化される、請求項3に記載のメモリを動作させる方法。

【請求項 5】

複数のハードビットは、電圧ランプ生成器によって出力される、より大きな確率を有する値の範囲に府生まれる閾値電圧値を表す、請求項 4 に記載のメモリを動作させる方法。

【請求項 6】

前記読み出されるセルの前記閾値電圧を決定することは、電圧ランプ信号を前記メモリセルの前記制御ゲートに印加することと、前記読み出されるセルが導通状態を変化させたときに、前記電圧ランプ信号の前記電圧の表示を観察することと、を含む、請求項 1 に記載のメモリを動作させる方法。

【請求項 7】

前記メモリは、メモリチップ、メモリカード、スマートフォン、またはソリッドステート記憶装置を含む、請求項 1 に記載のメモリを動作させる方法。

【請求項 8】

複数のメモリセルと、

選択された 1 つのメモリセルの閾値電圧を検知するように動作可能である、閾値電圧検出回路と、

前記検出された閾値電圧を符号化するデータの複数のハードビットと、前記選択されたメモリセルの近傍の少なくとも 1 つのアグレッサセルのプログラムされたデータの状態を符号化する、データの少なくとも 1 つのソフトビットとを決定し、データの前記少なくとも 1 つのソフトビットに従って選択された、前記複数のハードビットの 1 つのハードビットとして、前記選択されたメモリセルの読み出し動作の出力を決定するように動作可能である、出力補償回路と、

を備える、メモリ。

【請求項 9】

前記少なくとも 1 つのアグレッサメモリセルによって及ぼされる前記予想される影響は、前記メモリセルのプログラムされたデータ状態の結果としての、閾値電圧における予想される変化である、請求項 8 に記載のメモリ。

【請求項 10】

前記メモリセルは、マルチレベルメモリセルを含む、請求項 8 に記載のメモリ。

【請求項 11】

前記出力補償回路は、少なくとも 1 つのソフトビットが、前記選択されたメモリセル上の前記少なくとも 1 つのアグレッサメモリセルによって、影響の確率が符号化するように更に動作可能である、請求項 9 に記載のメモリ。

【請求項 12】

前記複数のメモリセルの 1 つのメモリセルの閾値電圧値を生成するように動作可能な電圧ランプ生成器を含み、

前記出力補償回路は、前記電圧ランプ生成器によって出力される、より大きい確率を有する閾値電圧値の領域から、複数のハードビットのデータ決定するようにさらに動作可能であり、請求項 10 に記載のメモリ。

【請求項 13】

電圧ランプ信号を生成するように動作可能な電圧ランプ生成器をさらに含み、前記選択されたセルの前記閾値電圧を決定することは、前記電圧ランプ信号を前記選択されたセルの制御ゲートに印加することと、前記読み出されるセルが導通状態を変化させると、前記電圧ランプ信号の前記電圧の表示を観察することと、を含む、請求項 8 に記載のメモリ。

【請求項 14】

前記メモリは、メモリチップ、メモリコントローラ、メモリカード、またはソリッドステート記憶装置を含む、請求項 8 に記載のメモリ。

【請求項 15】

プログラムされるセルに物理的に近い少なくとも 1 つの可能性のあるアグレッサメモリセルの目標データ状態を決定することと、

前記少なくとも 1 つの可能性のあるアグレッサメモリセルの前記目標データ状態を符号化するデータの複数のソフトビットを決定することと、

プログラムされる前記セルのために、前記決定された、データの複数のソフトビットに少なくとも部分的に基づいて、目標閾値電圧を決定することと、
を含む、メモリをプログラミングする方法。

【請求項 1 6】

目標閾値を決定することは、前記少なくとも 1 つのアグレッサメモリセルによって及ぼされる影響に起因する、前記目標閾値電圧からの、プログラムされる前記セルの所望される観察される閾値電圧における予想される変化に少なくとも部分的に基づく、請求項 1 5 に記載のメモリをプログラミングする方法。

【請求項 1 7】

プログラムされる前記セルのために前記目標のプログラムされた閾値電圧を決定することは、プログラムされる前記セルを、前記少なくとも 1 つの可能性のあるアグレッサメモリセルのプログラムされたデータ状態に起因する閾値電圧の可能性のある上昇を補償するために、所望される観察される閾値電圧よりも低い閾値電圧にプログラムすることを含む、請求項 1 5 に記載のメモリをプログラミングする方法。

【請求項 1 8】

前記決定された目標のプログラムされた閾値電圧は、ハードビットのデータおよび前記ソフトビットのデータとして符号化され、および前記可能性のあるアグレッサメモリセルの前記決定されたプログラムされた状態は、前記ソフトビットのデータとして符号化される、請求項 1 7 に記載のメモリをプログラミングする方法。

【請求項 1 9】

前記ハードビットのデータに符号化された閾値電圧は、前記所望される観察される閾値電圧を下回り、前記ソフトビットのデータは、隣接のプログラムされたアグレッサの欠如を補償するために、前記ハードビットのデータに符号化された前記閾値電圧における増加を符号化する、請求項 1 8 に記載のメモリをプログラミングする方法。

【請求項 2 0】

プログラムされる前記セルのために目標のプログラムされた閾値電圧を決定することは、マルチレベルプログラミングにおいて用いられる閾値電圧を決定することを含む、請求項 1 5 に記載のメモリをプログラミングする方法。

【請求項 2 1】

プログラムされるセルに物理的に近い少なくとも 1 つの可能性のあるアグレッサ不揮発性メモリセルの目標状態を決定することは、プログラムされる前記セルがプログラムされる前に、前記少なくとも 1 つの可能性のあるアグレッサメモリセルのデータ状態をバッファ内に格納することを含む、請求項 1 5 に記載のメモリをプログラミングする方法。

【請求項 2 2】

前記メモリは、メモリチップ、メモリカード、スマートフォン、またはソリッドストート記憶装置を含む、請求項 1 5 に記載のメモリをプログラミングする方法。

【請求項 2 3】

複数のメモリセルと、

前記複数のメモリセルの中の、プログラムされる 1 つのセルのために、目標閾値電圧を決定するように、および少なくとも 1 つの可能性のあるアグレッサメモリセルの目標データ状態と、前記少なくとも 1 つの可能性のあるアグレッサメモリセルの前記目標データ状態を符号化する、データの複数のソフトビットとを決定するように動作可能なプログラミング論理であって、前記目標閾値電圧が、前記決定された、データのソフトビットに少なくとも部分的に基づく、プログラミング論理と、

を備える、メモリ。

【請求項 2 4】

前記目標閾値電圧を決定することは、前記少なくとも 1 つの可能性のあるアグレッサ不揮発性メモリセルによって及ぼされる影響に起因する、前記目標のプログラムされた閾値

電圧からの、プログラムされる前記セルの観察された閾値電圧における予想される変化に少なくとも部分的に基づく、請求項 2 3 に記載のメモリ。

【請求項 2 5】

前記目標閾値電圧は、前記隣接する 1 つ以上のアグレッサ不揮発性メモリセルに起因する、観察された閾値電圧における上昇を補償するために、所望される観察される閾値電圧よりも低い、請求項 2 3 に記載のメモリ。

【請求項 2 6】

前記目標のプログラムされた閾値電圧は、少なくとも 1 つの、データのハードビットおよび前記ソフトビットのデータに符号化され、前記少なくとも 1 つの可能性のあるアグレッサメモリセルの前記目標データ状態は、少なくとも 1 つのソフトビットのデータに符号化される、請求項 2 3 に記載のメモリ。

【請求項 2 7】

前記少なくとも 1 つのハードビットのデータに符号化された前記閾値電圧は、前記所望される観察される閾値電圧を下回り、かつ前記少なくとも 1 つのソフトビットのデータは、隣接のプログラムされたアグレッサメモリセルの欠如を補償するために、前記目標のプログラムされた閾値電圧における上昇を符号化する、請求項 2 6 に記載のメモリ。

【請求項 2 8】

前記メモリセルは、マルチレベルメモリセルを含む、請求項 2 3 に記載のメモリ。

【請求項 2 9】

書き込まれるセルに物理的に近い 1 つ以上のアグレッサ不揮発性メモリセルの前記プログラミング状態を決定することは、前記書き込まれるセルまたはアグレッサ不揮発性メモリセルが書き込まれる前に、バッファ内の前記 1 つ以上のアグレッサ不揮発性メモリセルの前記状態を評価することを含む、請求項 2 3 に記載のメモリ。

【請求項 3 0】

前記メモリは、メモリチップ、メモリコントローラ、メモリカード、またはソリッドステート記憶装置を含む、請求項 2 3 に記載のメモリ。

【請求項 3 1】

データの少なくとも 1 つのハードビットを用いて、不揮発性メモリセルの閾値電圧を符号化することと、

データのソフトビットを用いて、1 以上の隣接するアグレッサプログラムされたメモリセルのプログラムされた状態により、前記閾値電圧への影響を符号化することと、

所望される閾値電圧を達成する際に、前記符号化を変更することにより、1 つ以上の隣り合うアグレッサプログラムされたメモリセルを補償するために、前記ソフトビットに少なくとも部分的に従って、前記不揮発性メモリセルの前記閾値電圧を調整することを含む、メモリを動作させる方法。

【請求項 3 2】

閾値電圧を調整することは、読み出し閾値電圧が所望される閾値電圧となるように、1 つ以上の隣り合うアグレッサプログラムされたメモリセルを補償するために、プログラムされた閾値電圧を調整することを含む、請求項 3 1 に記載のメモリを動作させる方法。

【請求項 3 3】

閾値電圧を調整することは、1 つ以上の隣り合うアグレッサプログラムされたメモリセルを補償するために、読み出し閾値電圧を調整することを含む、請求項 3 1 に記載のメモリを動作させる方法。

【請求項 3 4】

前記メモリは、メモリチップ、メモリカード、スマートフォン、またはソリッドステート記憶装置を含む、請求項 3 1 に記載に記載のメモリを動作させる方法。

【請求項 3 5】

少なくとも 1 つの、データのハードビットを用いて不揮発性メモリセルの閾値電圧を符号化し、データのソフトビットを用いて、1 以上の隣接するアグレッサプログラムされたメモリセルのプログラムされた状態によって、前記閾値電圧への提供を符号化し、所望さ

れる閾値電圧を達成する際に、1つ以上の隣り合うアグレッサプログラムされたメモリセルによって及ぼされる影響を補償するために、前記符号化を変更することにより、不揮発性メモリセルの閾値電圧を調整する論理を含む、メモリ。

【請求項 3 6】

閾値電圧を調整することは、1つ以上の隣り合うアグレッサプログラムされたメモリセルを補償するために、読み出し閾値電圧が所望される閾値電圧となるように、プログラムされた閾値電圧を調整することを含む、請求項 3 5に記載のメモリ。

【請求項 3 7】

閾値電圧を調整することは、1つ以上の隣り合うアグレッサプログラムされたメモリセルを補償するために、読み出し閾値電圧を調整することを含む、請求項 3 5に記載のメモリ。

【請求項 3 8】

前記メモリは、メモリチップ、メモリコントローラ、メモリカードまたはソリッドステート記憶装置を含む、請求項 3 5に記載のメモリ。