

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 4 月 18 日 (18.04.2024)



(10) 国际公布号
WO 2024/078043 A1

(51) 国际专利分类号:

H01L 29/786 (2006.01)

(21) 国际申请号:

PCT/CN2023/104277

(22) 国际申请日:

2023 年 6 月 29 日 (29.06.2023)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202211248377.X 2022年10月12日 (12.10.2022) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(72) 发明人: 李治福 (LI, Zhifu); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。刘广辉 (LIU, Guanghui); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。艾飞 (AI, Fei); 中国湖北

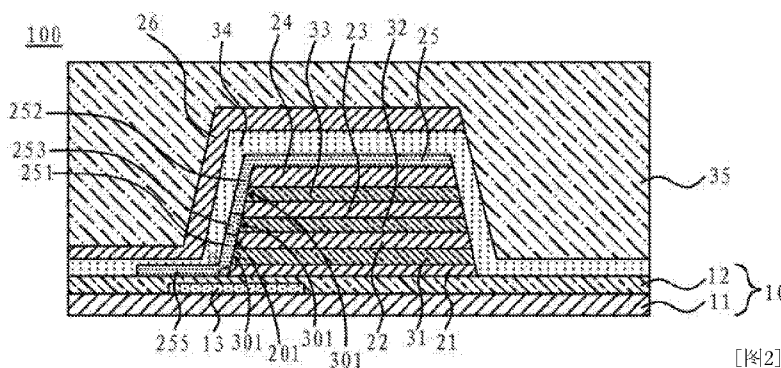
省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。宋德伟 (SONG, Dewei); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。李壮 (LI, Zhuang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: DISPLAY PANEL

(54) 发明名称: 显示面板



(57) Abstract: A display panel, which comprises: a substrate, a multi-layer ohmic contact layer, a multi-layer insulating layer, a semiconductor layer, a gate electrode and a source/drain electrode layer; at least one insulating layer is arranged between each two neighboring ohmic contact layers, and the semiconductor layer is at least arranged on a first side wall of the multi-layer ohmic contact layer; the semiconductor layer comprises a plurality of active portions in contact with and connected to the first side wall, the gate electrode is disposed on a side of the semiconductor layer away from the substrate, and the source/drain electrode layer is arranged on a side of the gate electrode away from the substrate and is electrically connected to a corresponding ohmic contact layer.

(57) 摘要: 一种显示面板, 包括衬底、多层欧姆接触层、多层绝缘层、一半导体层、栅极及源漏极层, 相邻的两欧姆接触层之间设有至少一绝缘层, 半导体层至少设于多层欧姆接触层的第一侧壁上, 半导体层包括与第一侧壁接触连接的多个有源部, 栅极设于半导体层背离衬底的一侧, 源漏极层设于栅极背离衬底的一侧, 且与对应的欧姆接触层电连接。

[见续页]

WO 2024/078043 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

说明书

发明名称：显示面板

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种显示面板。

背景技术

[0002] 将像素驱动电路、栅极驱动电路、复用电力路、源极驱动电路、时序控制器等电路集成在玻璃基板上（system on glass, SOG），可以极大提高显示面板的集成度，降低对于集成电路芯片的依赖性，从而降低成本。实现SOG需要提高现有显示面板中的薄膜晶体管的集成度、最大工作频率和电流密度，这些都要求薄膜晶体管具有更短的沟道长度、更高的迁移率和更小的体积。

[0003] 然而，现有显示面板的薄膜晶体管的架构无法进一步减小薄膜晶体管的沟道长度、体积和占地面积。故，现有的显示面板的薄膜晶体管的架构亟需改进。

发明概述

[0004] 本发明实施例提供一种显示面板，以解决现有的显示面板的薄膜晶体管的占地面积较大的技术问题。

[0005] 本发明实施例提供一种显示面板，包括：

[0006] 一衬底；

[0007] 多层欧姆接触层，层叠设置于所述衬底上；

[0008] 多层绝缘层，相邻的两所述欧姆接触层之间设有至少一层所述绝缘层；

[0009] 一半导体层，至少设置于所述多层欧姆接触层的同一侧的第一侧壁上，其中，所述半导体层包括多个间隔的有源部，所述有源部接触连接两所述欧姆接触层的所述第一侧壁；

[0010] 栅极，设置于所述半导体层背离所述衬底的一侧；以及

[0011] 源漏极层，设置于所述栅极背离所述衬底的一侧，所述源漏极层与对应的所述欧姆接触层电连接。

[0012] 在本发明的一些实施例中，所述半导体层包括多个氧化绝缘部，每一所述氧化

绝缘部位于相邻的两所述有源部之间。

[0013] 在本发明的一些实施例中，所述有源部与所述氧化绝缘部呈连续性图案。

[0014] 在本发明的一些实施例中，所述氧化绝缘部在所述欧姆接触层的所述第一侧壁上的正投影位于相邻的两所述欧姆接触层之间。

[0015] 在本发明的一些实施例中，所述氧化绝缘部的材料包括硅氧化物，所述有源部的材料包括多晶硅。

[0016] 在本发明的一些实施例中，所述半导体层包括镂空部，所述镂空部位于相邻的两所述有源部之间。

[0017] 在本发明的一些实施例中，所述显示面板包括依次层叠于所述衬底上的第一欧姆接触层、第一绝缘层、第二欧姆接触层、第二绝缘层、第三欧姆接触层、第三绝缘层，以及第四欧姆接触层。

[0018] 在本发明的一些实施例中，所述半导体层包括第一有源部和第二有源部，所述第一有源部与所述第一欧姆接触层和所述第二欧姆接触层接触连接，所述第二有源部与所述第三欧姆接触层和所述第四欧姆接触层接触连接。

[0019] 在本发明的一些实施例中，所述源漏极层包括设于所述栅极背离所述衬底一侧的第一源极、第一漏极、第二源极和第二漏极，所述第一源极和第一漏极中的一个与所述第一欧姆接触层电连接，所述第一源极和第一漏极中的另一个与所述第二欧姆接触层电连接，所述第二源极和第二漏极中的一个与所述第三欧姆接触层电连接，所述第二源极和第二漏极中的另一个与所述第四欧姆接触层电连接。

[0020] 在本发明的一些实施例中，所述第一源极和所述第一漏极在所述衬底上的正投影位于所述栅极在所述衬底上的正投影的一侧，所述第二源极和所述第二漏极位于所述栅极在所述衬底上的正投影的相对的另一侧。

[0021] 在本发明的一些实施例中，所述第一欧姆接触层包括第一凸出部，所述第一凸出部在所述衬底上的正投影与所述第二欧姆接触层、第三欧姆接触层以及所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第一凸出部与所述第一源极和所述第一漏极之一电连接；所述第二欧姆接触层包括第二凸出部，所述第二凸出部在所述衬底上的正投影与所述第三欧姆接触层以及所述第四欧姆接触

层在所述衬底上的正投影不重叠，所述第二凸出部与所述第一源极和所述第一漏极之另一电连接；所述第三欧姆接触层包括第三凸出部，所述第三凸出部在所述衬底上的正投影与所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第三凸出部与所述第二源极和所述第二漏极之一电连接。

[0022] 在本发明的一些实施例中，所述第二绝缘层包括过孔，所述第三欧姆接触层通过所述过孔与所述第二欧姆接触层电连接。

[0023] 在本发明的一些实施例中，所述源漏极层包括设于所述栅极背离所述衬底一侧的第一源极和第一漏极，所述第一源极和所述第一漏极中的一个与所述第一欧姆接触层电连接，所述第一源极和所述第一漏极中的另一个与所述第四欧姆接触层电连接。

[0024] 在本发明的一些实施例中，所述第一源极在所述衬底上的正投影位于所述栅极在所述衬底上的正投影的一侧，所述第一漏极在所述衬底上的正投影位于所述栅极在所述衬底上的正投影的另一侧。

[0025] 在本发明的一些实施例中，所述第一欧姆接触层包括第一凸出部，所述第一凸出部在所述衬底上的正投影与所述第二欧姆接触层、所述第三欧姆接触层以及所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第一凸出部与所述第一源极和第一漏极中的一个电连接。

[0026] 在本发明的一些实施例中，所述第一有源部和所述第二有源部之间的间距大于零且小于 H_1 ， H_1 为所述第二欧姆接触层的第一侧壁的宽度与所述第二绝缘层的第二侧壁的宽度及所述第三欧姆接触层的第一侧壁的宽度之和。

[0027] 在本发明的一些实施例中，所述半导体层还包括水平部，所述水平部与一所述有源部接触连接，所述水平部设置于所述衬底表面。

[0028] 在本发明的一些实施例中，所述水平部与所述有源部倾斜设置，所述水平部与所述有源部之间的夹角为 $90^\circ \sim 135^\circ$ 。

[0029] 在本发明的一些实施例中，所述水平部的材料包括非晶硅材料。

[0030] 在本发明的一些实施例中，所述衬底包括基板、设置于所述基板靠近所述欧姆接触层一侧的缓冲层，以及位于所述基板与所述缓冲层之间的遮光层，所述遮光层在所述基板上的正投影覆盖所述半导体层的各个有源部在所述基板上的正

投影。

有益效果

[0031] 本发明实施例提供的显示面板，包括衬底、多层欧姆接触层、多层绝缘层，一半导体层、栅极及源漏极层，其中，相邻的两欧姆接触层之间设有至少一层绝缘层，半导体层至少设置于多层欧姆接触层的同一侧的第一侧壁上，半导体层包括多个间隔的有源部，有源部接触连接两欧姆接触层的第一侧壁，栅极设置于半导体层背离衬底的一侧，源漏极层设置于栅极背离衬底的一侧，且与对应的所述欧姆接触层电连接。通过叠加多层欧姆接触层并将半导体层设置于欧姆接触层的侧壁上，如此不仅减小薄膜晶体管的长度，增大开态电流，还可实现多个薄膜晶体管在显示面板厚度方向上的叠加，降低薄膜晶体管的体积，减小薄膜晶体管的占地面积，有利于提高器件的集成度。

附图说明

[0032] 图1为本发明实施例提供的薄膜晶体管的平面结构示意图；
[0033] 图2为图1中沿B-B方向的剖面示意图；
[0034] 图3为图1中沿A-A方向的剖面示意图；
[0035] 图4为发明另一实施例提供的薄膜晶体管的叠层示意图；
[0036] 图5为本发明另一实施例提供的薄膜晶体管的平面结构示意图；
[0037] 图6为图5中沿B-B方向的剖面示意图；
[0038] 图7为图5中沿A-A方向的剖面示意图；
[0039] 图8a~8i为本发明实施例提供的显示面板的制备过程的结构示意图。

本发明的实施方式

[0040] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0041] 在本申请中，除非另有明确的规定和限定，第一特征在第二特征“上”或“下”可以包括第一和第二特征直接接触，也可以包括第一和第二特征不是直接接

触而是通过它们之间的另外的特征接触。而且，第一特征在第二特征“上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方，或仅仅表示第一特征水平高度高于第二特征。

[0042] 请参阅图1至图3，图1为本发明实施例提供的显示面板的薄膜晶体管的平面示意图，图2为图1中沿B-B方向的剖面示意图，图3为图1中沿A-A方向的剖面示意图。本发明实施例提供的显示面板100，包括衬底10和薄膜晶体管20，薄膜晶体管20设置于衬底10上。所述薄膜晶体管20可应用于显示面板中的像素驱动电路、栅极驱动电路、源极驱动电路、时序控制器、复用电路等诸多电路中。

[0043] 具体地，所述显示面板100包括一衬底10、多层欧姆接触层（如21、22、23、24）、多层绝缘层（如31、32、33）、一半导体层25、栅极26以及源漏极层27，所述多层欧姆接触层层叠设置于所述衬底10上，相邻的所述欧姆接触层之间设有至少一层所述绝缘层，所述半导体层25至少设置于所述多层欧姆接触层的第一侧壁201上，所述栅极26设置于所述半导体层25背离所述衬底10的一侧，所述源漏极层27设置于栅极26背离所述衬底10的一侧。其中，所述栅极26与所述半导体层25之间设有栅极绝缘层34，所述源漏极层27与所述栅极26之间设有层间介质层35，所述半导体层25包括多个间隔的有源部（如251、252），所述有源部接触连接两层所述欧姆接触层的第一侧壁201（如251接触连接21、22，252接触连接23、24）。所述薄膜晶体管20可以由但不限于由上述多层欧姆接触层、半导体层25、栅极26、源漏极层27构成。

[0044] 现有技术中的薄膜晶体管的有源层制备在同一平面，多个薄膜晶体管平铺设置，导致形成的电路占地面积较大，且受曝光、刻蚀工艺限制，沟道长度一般在2微米以上，晶体管尺寸无法进一步缩小。本发明实施例通过将薄膜晶体管20的沟道（有源部的接触连接两欧姆接触层之间的部分）形成在欧姆接触层的第一侧壁201上，沟道长度由两侧的欧姆接触层的距离决定，因此在现有工艺基础上很容易将本发明实施例的沟道长度控制在1微米以下，形成短沟道薄膜晶体管器件，达到缩小薄膜晶体管尺寸的目的，从而增大开态电流。此外，本发明实施例通过在显示面板的厚度方向上叠加多层欧姆接触层，能够实现多个薄膜晶体管20在显示面板厚度方向上的堆叠，在很大程度上可减小薄膜晶体管20的占地

面积，进而提高器件的集成度。

[0045] 进一步地，为实现相邻的薄膜晶体管20的电隔离，需将半导体层25的相邻的有源部之间进行绝缘处理。在一些实施例中，所述薄膜晶体管20为多晶硅薄膜晶体管，即半导体层25的有源部为多晶硅材料，所述半导体层25还包括多个氧化绝缘部253，每一所述氧化绝缘部253位于相邻的两所述有源部（如251、252）之间，通过氧化绝缘部253间隔相邻的有源部以实现电隔离。

[0046] 具体地，通过在第一侧壁201上形成非晶硅薄膜，将非晶硅薄膜的需绝缘处理的部分进行氧化处理，形成硅氧化物（如氧化硅膜层），从而形成氧化绝缘部253。

[0047] 所述氧化绝缘部253和所述有源部一起呈连续性图案，仅需一道膜层沉积工艺便可实现，不会增加新的膜层工艺，制程简单，且也可增强半导体层25在斜面上的膜层附着力。上述提及的连续性图案指的是没有拼缝、没有开口等连续性形成的图案。

[0048] 在其他实施例中，如图4所示，也可通过对半导体层25进行刻蚀的同时，刻蚀工艺形成镂空部254，所述镂空部254位于相邻的两有源部之间，不会增加新的制程。可以理解的是，所述镂空部254在所述半导体层25的厚度方向上贯穿所述半导体层25，从而实现相邻有源部之间的绝缘。相比于图2所示的实施例，形成镂空部254的方案可能会存在刻蚀不完全的风险，膜层粘附力会降低，因此本发明的具体实施例中优选氧化绝缘部的方案，其半导体膜层稳定性更强。

[0049] 所述半导体层25至少覆盖所述多层欧姆接触层的第一侧壁201以及所述多层绝缘层的与所述第一侧壁201同侧的第二侧壁301。在本发明的实施例中，所述半导体层25还包括水平部255，所述水平部255与一有源部接触连接，所述水平部255设置于所述衬底10表面。该有源部为多个有源部中最靠近衬底10的一个，即该有源部为第一有源部251。由于有源部相对于衬底10会倾斜一定的角度，因此水平部255与有源部之间会倾斜设置，所述水平部255的材料为非晶硅材料，一方面来讲，水平部255与第一有源部251之间的拐角处可以形成籽晶，所述籽晶可沿第一侧壁201和第二侧壁301所在的斜壁方向生成，通过控制绝缘层和欧姆接触层的厚度，使得薄膜晶体管20的沟道长度控制在0.01~1微米之间，如此可

使得一个沟道内仅存在一个晶粒，即沟道由单颗晶粒构成，不存在晶界，相比于存在多晶界的现有薄膜晶体管，在减小薄膜晶体管尺寸的同时，大幅提升薄膜晶体管的迁移率。另一方面通过延长半导体层25以形成水平部255，可增大半导体层与膜层之间的附着力，提高薄膜晶体管器件的稳定性。

[0050] 在一些实施例中，所述水平部255与所述有源部之间的夹角 θ 优选为 $90^{\circ} \sim 135^{\circ}$ ，该夹角 θ 也为第一侧壁201以及第二侧壁301与衬底10之间的夹角，本发明实施例的相邻的两欧姆接触层之间的厚度为 $0.0071 \sim 1$ 微米，如此可控制沟道的长度在1微米以下。

[0051] 此外，所述半导体层25还可覆盖所述多层欧姆接触层背离所述衬底10一侧的表面，即半导体层25还可继续向上延伸出平行于衬底10的另一水平部，如此，可在现有工艺的曝光机的精度上便能实现小尺寸的半导体层25的制备，无需更改工艺。

[0052] 本发明实施例以叠加两个薄膜晶体管为例进行说明，但不以此为限，还可叠加三个、四个或更多个的薄膜晶体管。

[0053] 具体地，如图1~3所示，所述显示面板包括依次层叠于所述衬底10上的第一欧姆接触层21、第一绝缘层31、第二欧姆接触层22、第二绝缘层32、第三欧姆接触层23、第三绝缘层33，以及第四欧姆接触层24。

[0054] 所述半导体层25包括第一有源部251和第二有源部252，所述第一有源部251与所述第一欧姆接触层21和所述第二欧姆接触层22接触连接，所述第一有源部251的位于所述第一欧姆接触层21和所述第二欧姆接触层22之间的部分形成一薄膜晶体管的沟道，即沟道的长度可由第一欧姆接触层21和第二欧姆接触层22之间的第一绝缘层31的第二侧壁301的长度和倾斜角度决定，可将沟道的长度控制在1微米以下。

[0055] 所述源漏极层27包括设于所述栅极26背离所述衬底10一侧的第一源极271和第一漏极272，所述第一源极271和第一漏极272中的一个与所述第一欧姆接触层21电连接，所述第一源极271和第一漏极272中的另一个与所述第二欧姆接触层22电连接。

[0056] 所述第二有源部252与所述第三欧姆接触层23和所述第四欧姆接触层24接触连

接，所述第二有源部252的位于所述第三欧姆接触层23和所述第四欧姆接触层24之间的部分形成另一薄膜晶体管的沟道。同样地，沟道的长度由第三欧姆接触层23和第四欧姆接触层24之间的第三绝缘层33的第二侧壁301的长度和倾斜角度决定，可将沟道的长度控制在1微米以下。

[0057] 所述源漏极层27还包括设于所述栅极26背离所述衬底10一侧的第二源极273和第二漏极274，所述第二源极273和第二漏极274中的一个与所述第三欧姆接触层23电连接，所述第二源极273和第二漏极274中的另一个与所述第四欧姆接触层24电连接。

[0058] 在本发明的实施例中，如图1所示，所述栅极26在所述衬底10上的正投影覆盖所述半导体层25在所述衬底10上的正投影，如此便于控制多个薄膜晶体管的沟道的形成位置及长短。

[0059] 在上述实施例中，一薄膜晶体管由但不限于由第一有源部251、第一欧姆接触层21、第二欧姆接触层22、第一源极271、第一漏极272以及栅极26构成，另一薄膜晶体管由但不限于由第二有源部252、第三欧姆接触层23、第四欧姆接触层24、第二源极273、第二漏极274以及栅极26构成，如此不仅可在现有的工艺基础上制备短沟道薄膜晶体管器件，增大开态电流，也可实现多个薄膜晶体管在厚度方向上的叠加，减小晶体管占地面积，提高器件集成度，有利于实现基板上的IC电路集成。

[0060] 如图1和图3所示，所述第一源极271和所述第一漏极272设置于所述栅极26的一侧，所述第二源极273和所述第二漏极274设置于所述栅极26相对的另一侧。换言之，所述第一源极271和所述第一漏极272在所述衬底10上的正投影位于所述栅极26在所述衬底10上的正投影的一侧，所述第二源极273和所述第二漏极274位于所述栅极26在所述衬底10上的正投影的相对的另一侧。如此可便于两个薄膜晶体管的源漏极与各自对应的欧姆接触层实现过孔连接。

[0061] 具体地，如图3所示，所述第一欧姆接触层21包括第一凸出部211，所述第一凸出部211在所述衬底10上的正投影与所述第二欧姆接触层22、第三欧姆接触层23以及所述第四欧姆接触层24在所述衬底10上的正投影不重叠，所述第一凸出部211与所述第一源极271和所述第一漏极272之一电连接。通过将第一欧姆接触层2

1凸出于上层的欧姆接触层，可避免第一源极271/第一漏极272穿过上层欧姆接触层，避免与上层欧姆接触层接触。

[0062] 同理，所述第二欧姆接触层22包括第二凸出部221，所述第二凸出部221在所述衬底10上的正投影与所述第三欧姆接触层23以及所述第四欧姆接触层24在所述衬底10上的正投影不重叠，所述第二凸出部221与所述第一源极271和所述第一漏极272之另一电连接。所述第二凸出部221与所述第一凸出部211位于所述栅极26的同一侧。

[0063] 所述第三欧姆接触层23包括第三凸出部231，所述第三凸出部231在所述衬底10上的正投影与所述第四欧姆接触层24在所述衬底10上的正投影不重叠，所述第三凸出部231与所述第二源极273和所述第二漏极274之一电连接。所述第三凸出部231与所述第二凸出部221、所述第一凸出部211异侧设置，所述第三凸出部231位于所述栅极26的相对的另一侧。

[0064] 在其他实施例中，所述第一源极271、所述第一漏极272、所述第二源极273以及所述第二漏极274也可位于所述栅极26的同一侧，但考虑到布线空间，优选于将所述第一源极271、所述第一漏极272与所述第二源极273、所述第二漏极274设置于所述栅极26的相对两侧。

[0065] 上述实施例为两个薄膜晶体管的叠加，其他更多个薄膜晶体管的叠加的实施例与上述实施例相似，可参考上述描述。

[0066] 进一步地，为实现薄膜晶体管的串联，可将两个薄膜晶体管的欧姆接触层通过过孔电连接。

[0067] 具体地，请参考图5至图7，图5为本发明另一实施例的薄膜晶体管的俯视示意图，图6为图5沿B-B方向的剖面示意图，图7为图6沿A-A方向的剖面示意图。在图5~图7所示的实施例中，还是以两个薄膜晶体管为例进行说明，其他更多个薄膜晶体管的结构可参考本实施例的描述。为实现两个薄膜晶体管的串联，可将第三欧姆接触层23与第二欧姆接触层22电连接起来。所述第二绝缘层32包括过孔，所述第三欧姆接触层23穿过所述过孔与所述第二欧姆接触层22电连接。在此实施例中，串联的两个薄膜晶体管只需一个源极和漏极即可，即所述源漏极层27包括设于所述栅极26背离所述衬底10一侧的第一源极271和第一漏极272，

其中，所述第一源极271和所述第一漏极272中的一个与所述第一欧姆接触层21电连接，所述第一源极271和所述第一漏极272中的另一个与所述第四欧姆接触层24电连接。

[0068] 所述第一源极271和所述第一漏极272分别设于所述栅极26的两相对侧，以便于布线设计。即所述第一源极271在所述衬底10上的正投影位于所述栅极26在所述衬底10上的正投影的一侧，所述第一漏极272在所述衬底10上的正投影位于所述栅极26在所述衬底10上的正投影的另一侧。

[0069] 进一步地，所述第一欧姆接触层21包括第一凸出部211，所述第一凸出部211在所述衬底10上的正投影与所述第二欧姆接触层22、所述第三欧姆接触层23以及所述第四欧姆接触层24在所述衬底10上的正投影不重叠，所述第一凸出部211与所述第一源极271和第一漏极272中的一个电连接。通过延长第一欧姆接触层21形成凸出于上层欧姆接触层（22、23、24）的第一凸出部211，可使得后续形成的第一源极271/第一漏极272避开上层欧姆接触层，直接穿过绝缘层的过孔与第一欧姆接触层21电连接。

[0070] 在本发明的上述实施例中，相邻的两个有源部之间的间距大于零且小于 H_1 ， H_1 为两有源部分别连接的两个相邻的欧姆接触层的第一侧壁201的宽度，与该两相邻欧姆接触层之间的绝缘层的第二侧壁301的宽度之和。举例来说，如图4所示，所述第一有源部251和所述第二有源部252之间的间距大于零且小于 H_1 ， H_1 为所述第二欧姆接触层22的第一侧壁201的宽度与所述第二绝缘层32的第二侧壁301的宽度及所述第三欧姆接触层23的第一侧壁201的宽度之和。即 H_1 对应镂空部254的宽度或氧化绝缘部253的最大宽度，如此既可保证相邻有源部之间的电绝缘，还能保证有源部能够与其下方的欧姆接触层接触连接。

[0071] 在一些实施例中，所述衬底10包括基板11和设于薄膜晶体管20和基板11之间的缓冲层12。如图2和图6所示，为了避免环境光照射对半导体层25的电性产生影响，可在所述缓冲层12和所述基板11之间设置遮光层13，所述遮光层13在所述基板11上的正投影覆盖所述半导体层25的各个有源部在所述基板11上的正投影。

[0072] 上述实施例提及的显示面板的制备方法的步骤流程图如图8a~图8i所示，所述

制备方法包括：S10，在衬底10上依次交替沉积多层欧姆接触层和多层绝缘层的材料，如图8a和8b所示；S20，对多层欧姆接触层和多层绝缘层的不同位置进行不同深度的刻蚀，以形成不同长度的欧姆接触层和不同长度的多层绝缘层，如图8c~8e所示；S30，在最外层欧姆接触层上沉积非晶硅材料，并对设定区域2501进行氧化处理以使得所述设定区域2501的非晶硅被氧化为氧硅化物，如图8f和图8g所示；S40，依序制备栅极26和源漏极层27，如图8h和图8i所示。

[0073] 具体地，S10中，在基板11上形成遮光层13，所述遮光层13的材料包括但不限于金属材料。之后在所述遮光层13上沉积缓冲层12。

[0074] 所述缓冲层12的材料包括但不限于氮化硅、氧化硅或者氮氧化硅中的任意一种或者多种的组合物。

[0075] 在S20中，如图8c~8e所示，以两个薄膜晶体管为例，依次在所述缓冲层12上依次层叠第一欧姆接触层21的材料、第一绝缘层31的材料、第二欧姆接触层22的材料、第二绝缘层32的材料、第三欧姆接触层23的材料、第三绝缘层33的材料以及第四欧姆接触层24的材料；之后进行不同深度的刻蚀，以形成第一凸出部211、第二凸出部221、第三凸出部231。该不同深度的刻蚀工艺可经过同一灰度掩模板进行，也可分多次光罩进行，这里不做限制。

[0076] 上述提及的欧姆接触层均为N型重掺杂非晶硅材料，欧姆接触层中还可以掺杂有磷或砷等杂质元素。上述提及的绝缘层的材料可以为氮化硅、氧化硅或者氮氧化硅等常用的无机绝缘材料。

[0077] 在S30中，请参阅图8f和8g，在所述第四欧姆接触层24上沉积非晶硅材料，并对非晶硅进行结晶处理，再对非晶硅材料进行刻蚀以形成半导体层25的图案；之后在半导体层25上形成硬掩模层（hard mask）200，并在设定区域2501形成断口，以露出设定区域2501内的非晶硅材料，所述硬掩模层200可为SiN层；再将上述器件置于氧气环境中，使得暴露的非晶硅材料被氧化为氧硅化物，成为绝缘体，即形成氧化绝缘部253；最后，去除硬掩模层。

[0078] 可以通过准分子激光退火工艺对非晶硅材料进行结晶处理，使非晶硅可以转变为多晶硅结构，再对多晶硅结构进行蚀刻，形成半导体层25的图案。由于准分子激光退火工艺的能量有限，且全部被非晶硅所吸收，在对非晶硅层进行结晶

处理时，欧姆接触层仍然可以保持非晶硅结构。非晶硅的结晶处理也可在氧化处理之后进行，这里不做限制。

[0079] 在S40中，先在半导体层25上形成栅极绝缘层34，再形成栅极26的图案；之后在所述栅极26上沉积层间介质层35的材料，再通过同一道刻蚀工艺对层间介质层35和栅极绝缘层34进行刻蚀，在不同位置形成不同深度的过孔；然后在所述层间介质层35上形成源漏极层27的图案，源漏极层27的各个源极、漏极通过不同位置不同深度的过孔与下层对应的欧姆接触层电连接。

[0080] 综上，本发明实施例提供一种显示面板，包括衬底10、多层欧姆接触层、多层绝缘层，一半导体层25、栅极26及源漏极层27，其中，相邻的两欧姆接触层之间设有至少一层绝缘层，半导体层25至少设置于多层欧姆接触层的同一侧的第一侧壁上，半导体层25包括多个间隔的有源部，有源部接触连接两欧姆接触层的第一侧壁201，栅极26设置于半导体层25背离衬底10的一侧，源漏极层27设置于栅极26背离衬底10的一侧，且与对应的所述欧姆接触层电连接。通过叠加多层欧姆接触层并将半导体层25设置于欧姆接触层的侧壁上，如此不仅减小薄膜晶体管的长度，增大开态电流，还可实现多个薄膜晶体管在显示面板厚度方向上的叠加，降低薄膜晶体管的体积，减小薄膜晶体管的占地面积，有利于提高器件的集成度。

[0081] 上述实施例中，对各个实施例的描述都各有侧重，某个实施例中未详述的部分，可以参见其他实施例的相关描述。

[0082] 以上对本发明实施例所提供的一种显示面板进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的技术方案及其核心思想；本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例的技术方案的范围。

权利要求书

- [权利要求 1] 一种显示面板，其中，包括：
- 一衬底；
- 多层欧姆接触层，层叠设置于所述衬底上；
- 多层绝缘层，相邻的两所述欧姆接触层之间设有至少一层所述绝缘层；
- 一半导体层，至少设置于所述多层欧姆接触层的同一侧的第一侧壁上，其中，所述半导体层包括多个间隔的有源部，所述有源部接触连接两所述欧姆接触层的所述第一侧壁；
- 栅极，设置于所述半导体层背离所述衬底的一侧；以及
- 源漏极层，设置于所述栅极背离所述衬底的一侧，所述源漏极层与对应的所述欧姆接触层电连接。
- [权利要求 2] 根据权利要求1所述的显示面板，其中，所述半导体层包括多个氧化绝缘部，每一所述氧化绝缘部位于相邻的两所述有源部之间。
- [权利要求 3] 根据权利要求2所述的显示面板，其中，所述有源部与所述氧化绝缘部呈连续性图案。
- [权利要求 4] 根据权利要求3所述的显示面板，其中，所述氧化绝缘部在所述欧姆接触层的所述第一侧壁上的正投影位于相邻的两所述欧姆接触层之间。
- [权利要求 5] 根据权利要求2所述的显示面板，其中，所述氧化绝缘部的材料包括硅氧化物，所述有源部的材料包括多晶硅。
- [权利要求 6] 根据权利要求1所述的显示面板，其中，所述半导体层包括镂空部，所述镂空部位于相邻的两所述有源部之间。
- [权利要求 7] 根据权利要求1所述的显示面板，其中，所述显示面板包括依次层叠于所述衬底上的第一欧姆接触层、第一绝缘层、第二欧姆接触层、第二绝缘层、第三欧姆接触层、第三绝缘层，以及第四欧姆接触层。
- [权利要求 8] 根据权利要求7所述的显示面板，其中，所述半导体层包括第一有源部和第二有源部，所述第一有源部与所述第一欧姆接触层和所述第二

欧姆接触层接触连接，所述第二有源部与所述第三欧姆接触层和所述第四欧姆接触层接触连接。

[权利要求 9] 根据权利要求8所述的显示面板，其中，所述源漏极层包括设于所述栅极背离所述衬底一侧的第一源极、第一漏极、第二源极和第二漏极，所述第一源极和第一漏极中的一个与所述第一欧姆接触层电连接，所述第一源极和第一漏极中的另一个与所述第二欧姆接触层电连接，所述第二源极和第二漏极中的一个与所述第三欧姆接触层电连接，所述第二源极和第二漏极中的另一个与所述第四欧姆接触层电连接。

[权利要求 10] 根据权利要求9所述的显示面板，其中，所述第一源极和所述第一漏极在所述衬底上的正投影位于所述栅极在所述衬底上的正投影的一侧，所述第二源极和所述第二漏极位于所述栅极在所述衬底上的正投影的相对的另一侧。

[权利要求 11] 根据权利要求9所述的显示面板，其中，
所述第一欧姆接触层包括第一凸出部，所述第一凸出部在所述衬底上的正投影与所述第二欧姆接触层、第三欧姆接触层以及所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第一凸出部与所述第一源极和所述第一漏极之一电连接；
所述第二欧姆接触层包括第二凸出部，所述第二凸出部在所述衬底上的正投影与所述第三欧姆接触层以及所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第二凸出部与所述第一源极和所述第一漏极之另一电连接；
所述第三欧姆接触层包括第三凸出部，所述第三凸出部在所述衬底上的正投影与所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第三凸出部与所述第二源极和所述第二漏极之一电连接。

[权利要求 12] 根据权利要求8所述的显示面板，其中，所述第二绝缘层包括过孔，所述第三欧姆接触层通过所述过孔与所述第二欧姆接触层电连接。

[权利要求 13] 根据权利要求12所述的显示面板，其中，所述源漏极层包括设于所述栅极背离所述衬底一侧的第一源极和第一漏极，所述第一源极和所述

第一漏极中的一个与所述第一欧姆接触层电连接，所述第一源极和所述第一漏极中的另一个与所述第四欧姆接触层电连接。

[权利要求 14] 根据权利要求13所述的显示面板，其中，所述第一源极在所述衬底上的正投影位于所述栅极在所述衬底上的正投影的一侧，所述第一漏极在所述衬底上的正投影位于所述栅极在所述衬底上的正投影的另一侧。

[权利要求 15] 根据权利要求13所述的显示面板，其中，所述第一欧姆接触层包括第一凸出部，所述第一凸出部在所述衬底上的正投影与所述第二欧姆接触层、所述第三欧姆接触层以及所述第四欧姆接触层在所述衬底上的正投影不重叠，所述第一凸出部与所述第一源极和第一漏极中的一个电连接。

[权利要求 16] 根据权利要求8所述的显示面板，其中，所述第一有源部和所述第二有源部之间的间距大于零且小于 H_1 ， H_1 为所述第二欧姆接触层的第一侧壁的宽度与所述第二绝缘层的第二侧壁的宽度及所述第三欧姆接触层的第一侧壁的宽度之和。

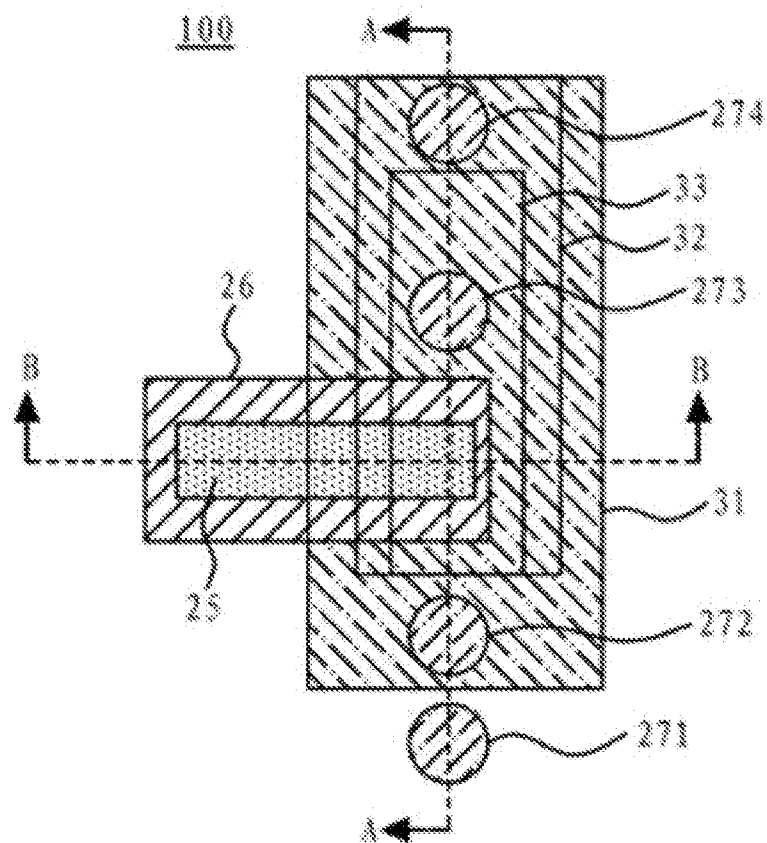
[权利要求 17] 根据权利要求1所述的显示面板，其中，所述半导体层还包括水平部，所述水平部与一所述有源部接触连接，所述水平部设置于所述衬底表面。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述水平部与所述有源部倾斜设置，所述水平部与所述有源部之间的夹角为 $90^\circ \sim 135^\circ$ 。

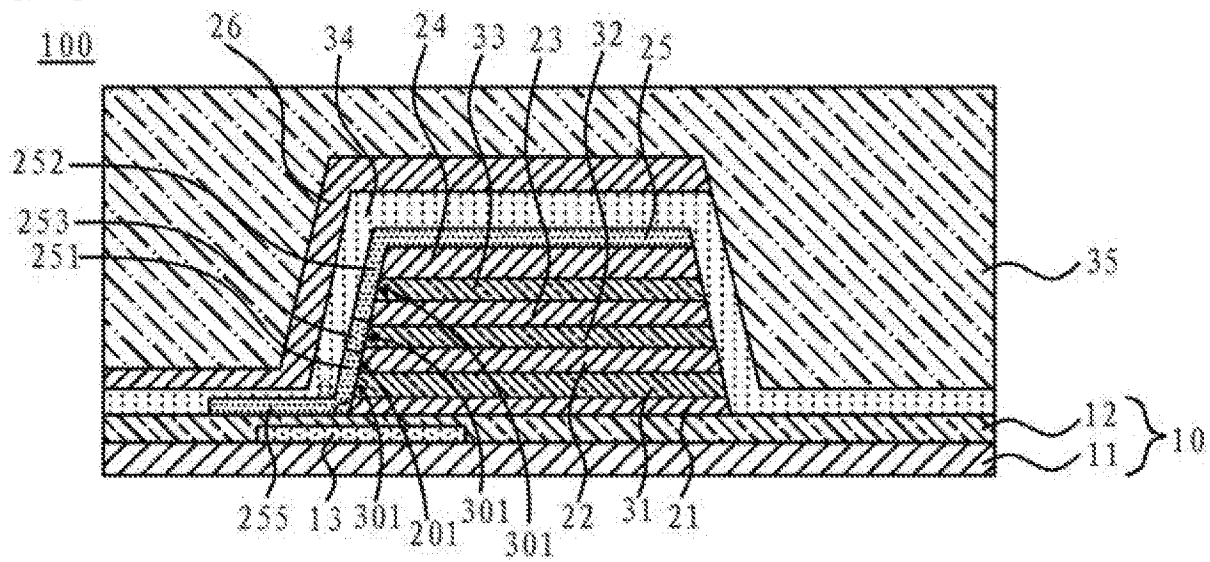
[权利要求 19] 根据权利要求17所述的显示面板，其中，所述水平部的材料包括非晶硅材料。

[权利要求 20] 根据权利要求1所述的显示面板，其中，所述衬底包括基板、设置于所述基板靠近所述欧姆接触层一侧的缓冲层，以及位于所述基板与所述缓冲层之间的遮光层，所述遮光层在所述基板上的正投影覆盖所述半导体层的各个有源部在所述基板上的正投影。

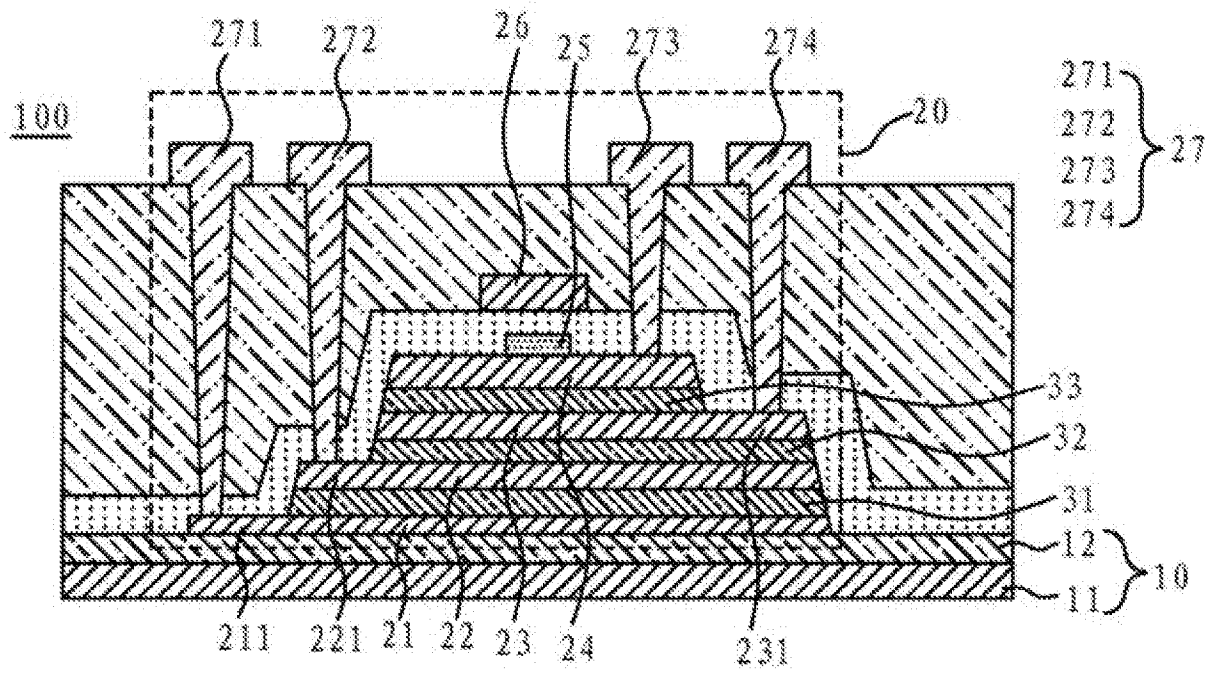
[图1]



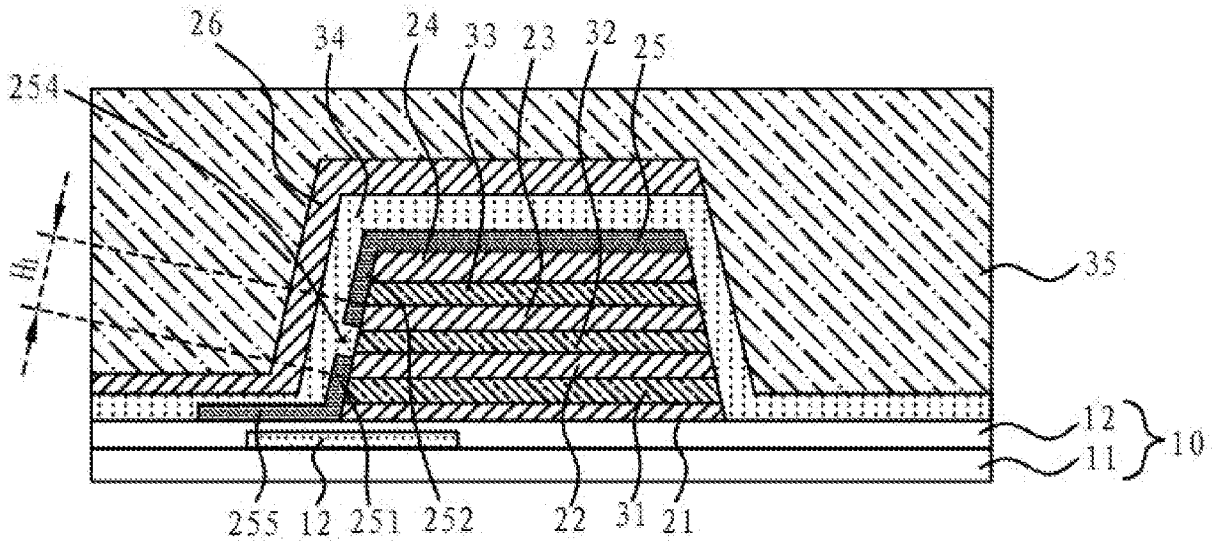
[图2]



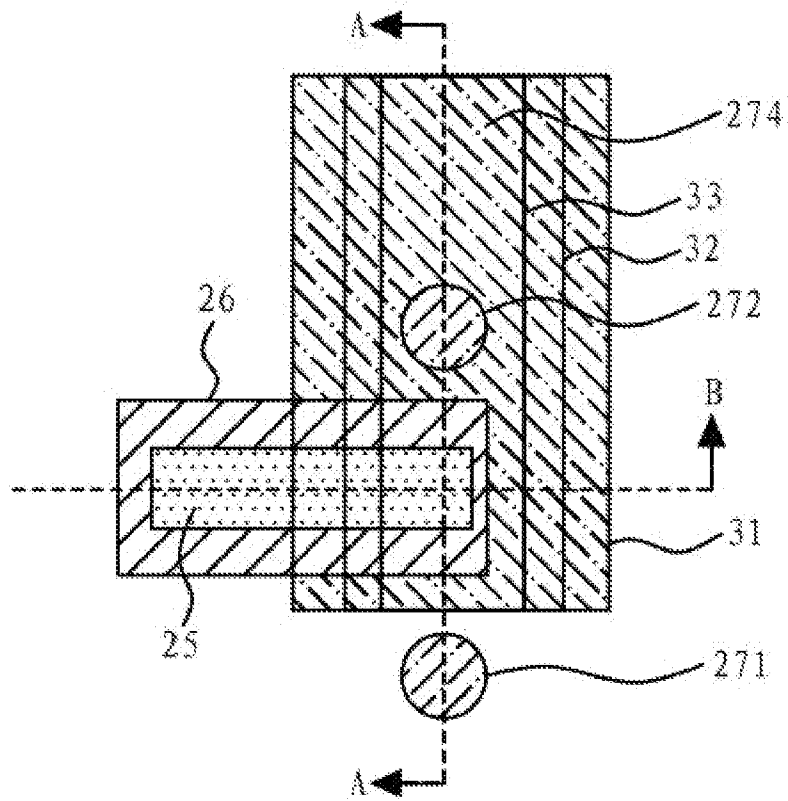
[图3]



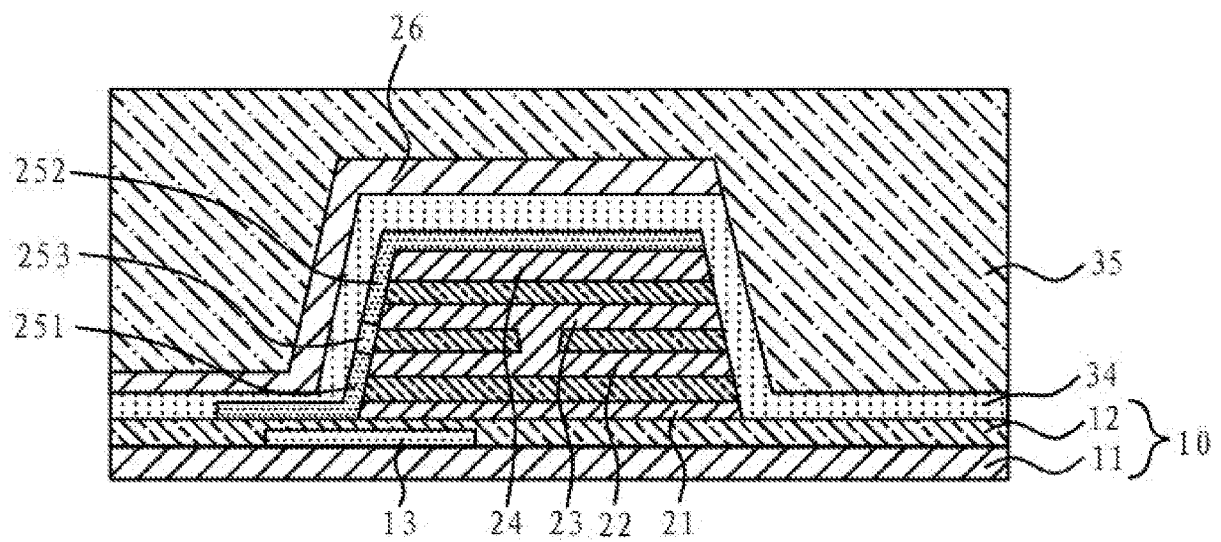
[图4]



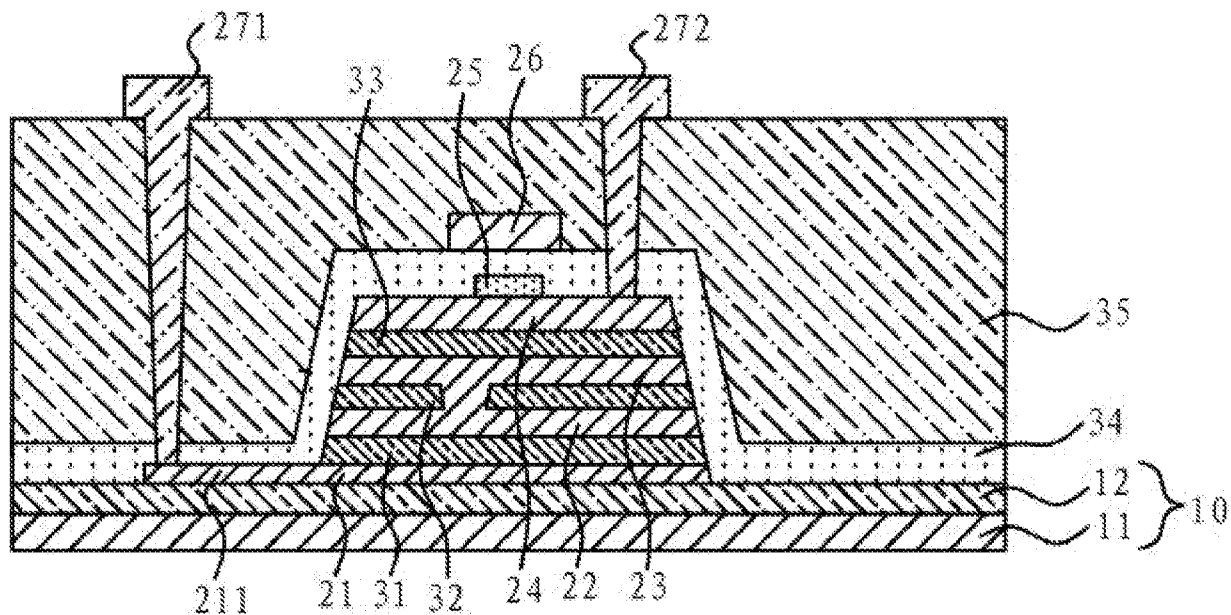
[图5]



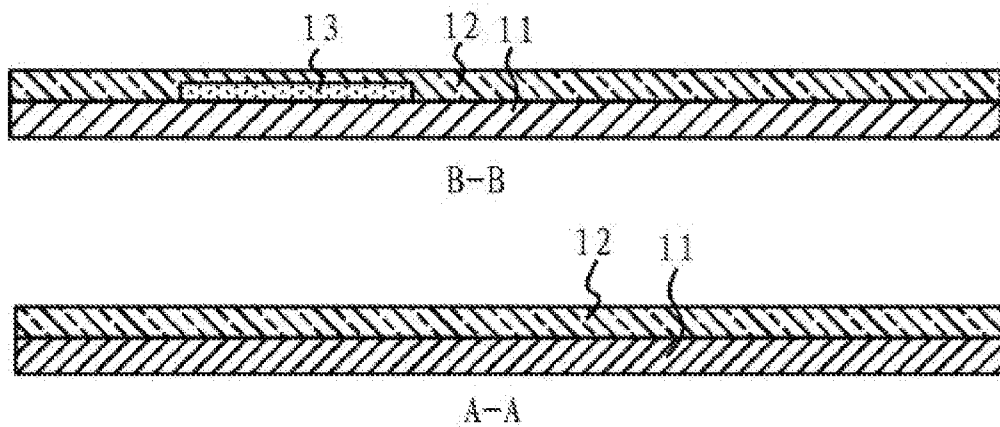
[图6]



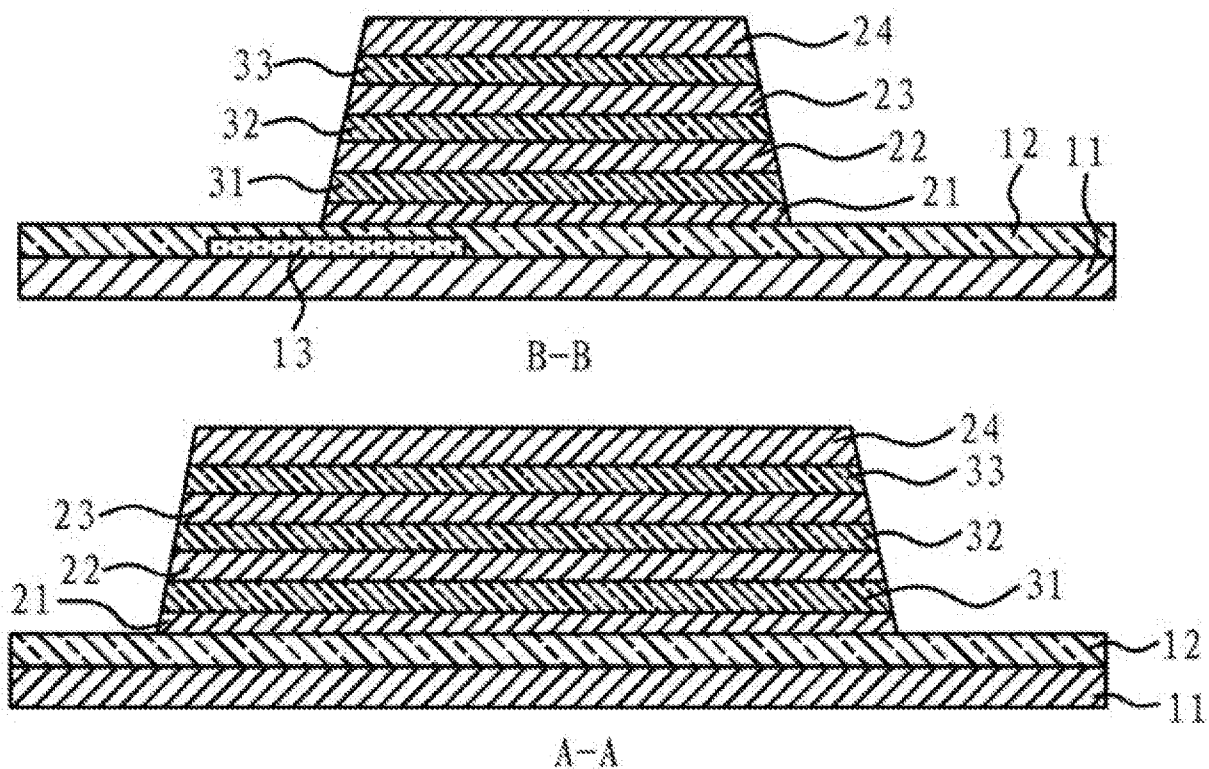
[图7]



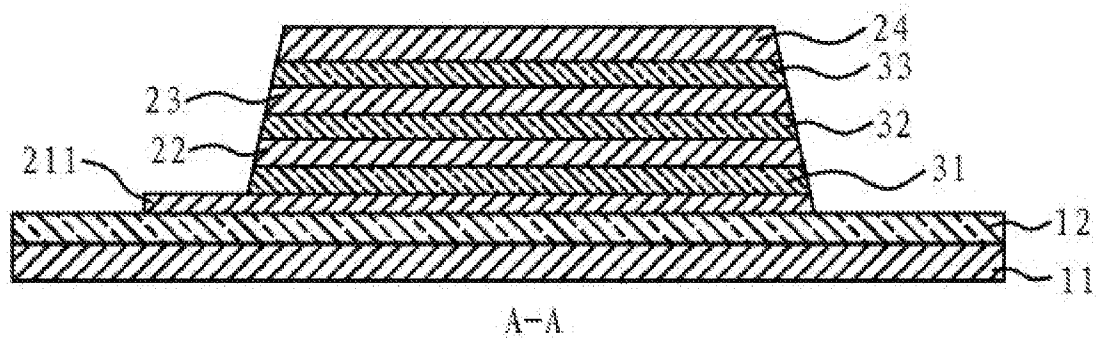
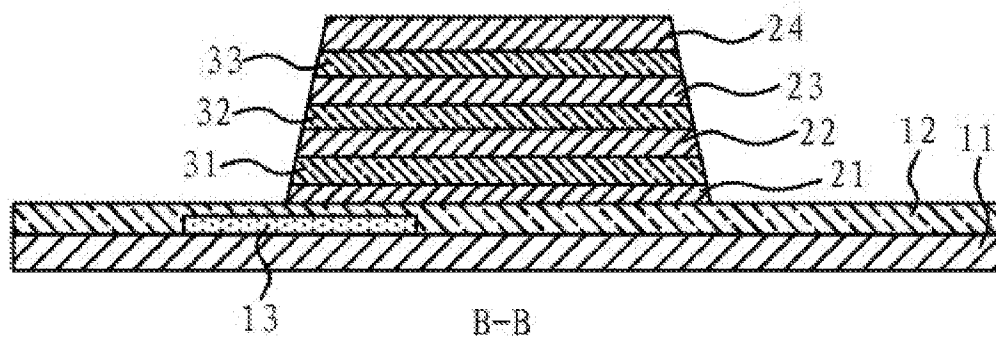
[图8a]



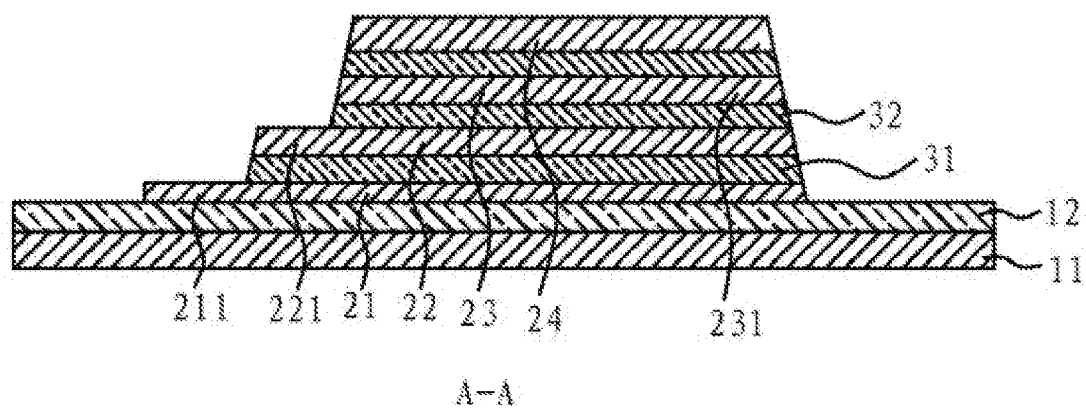
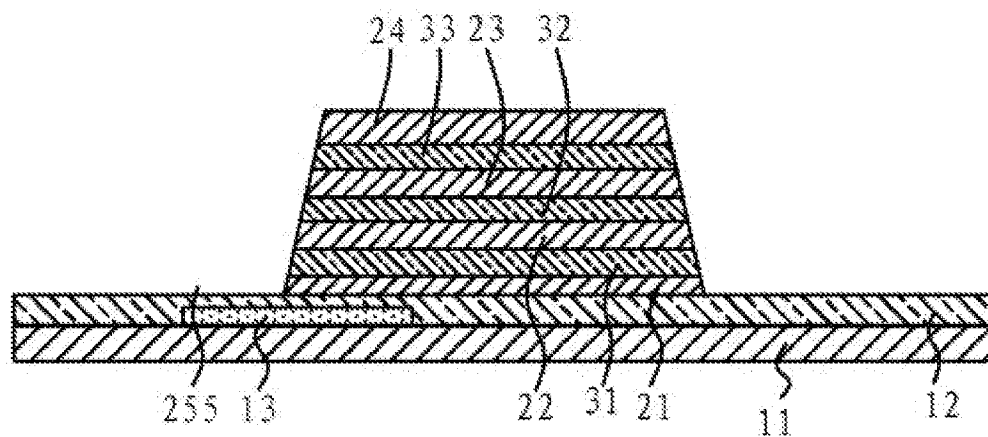
[图8b]



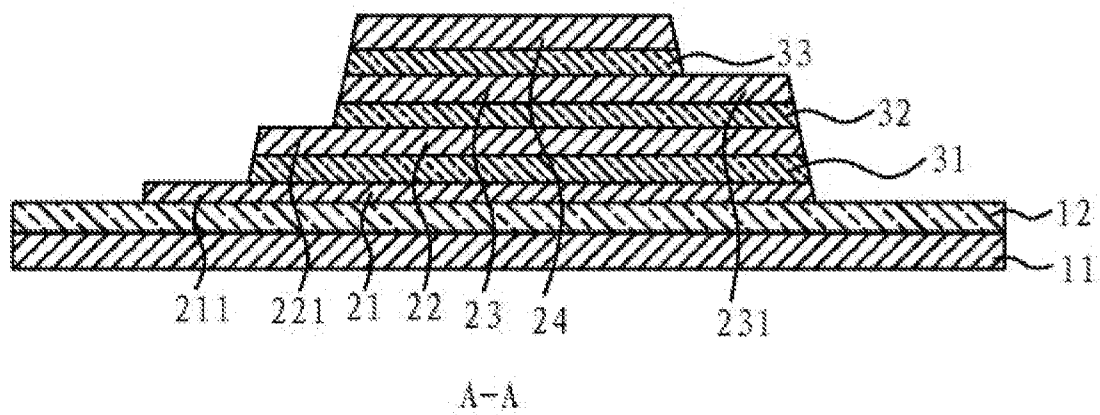
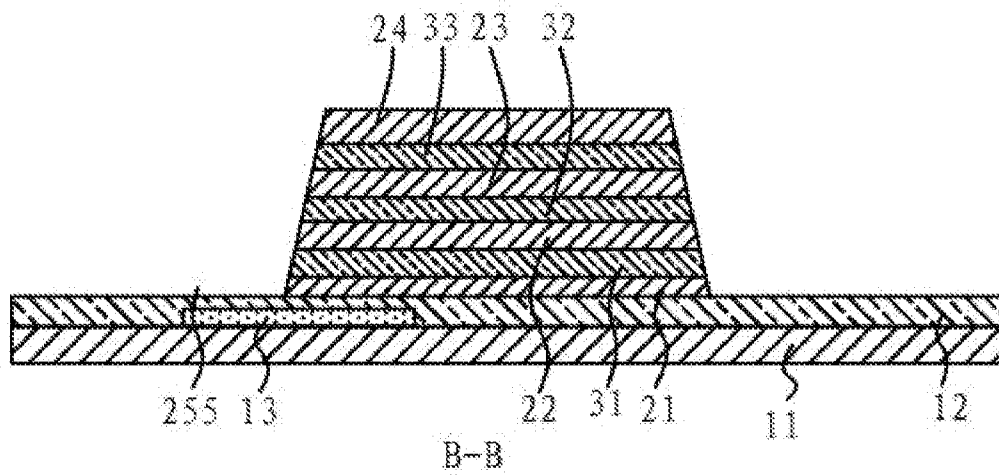
[图8c]



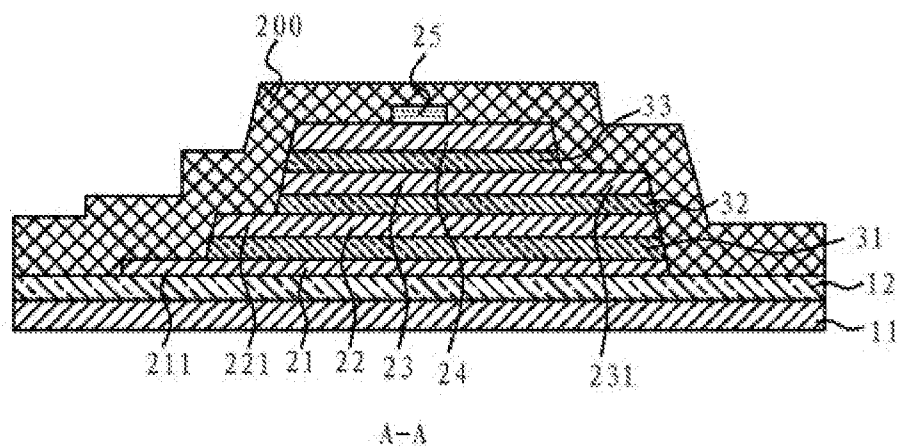
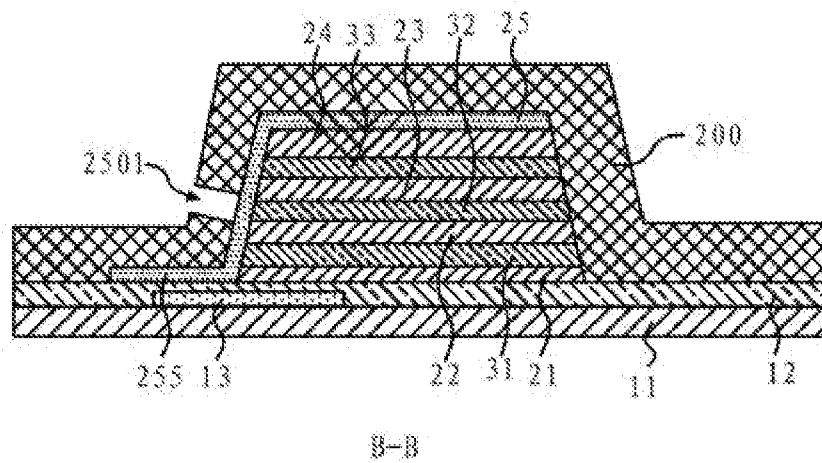
[图8d]



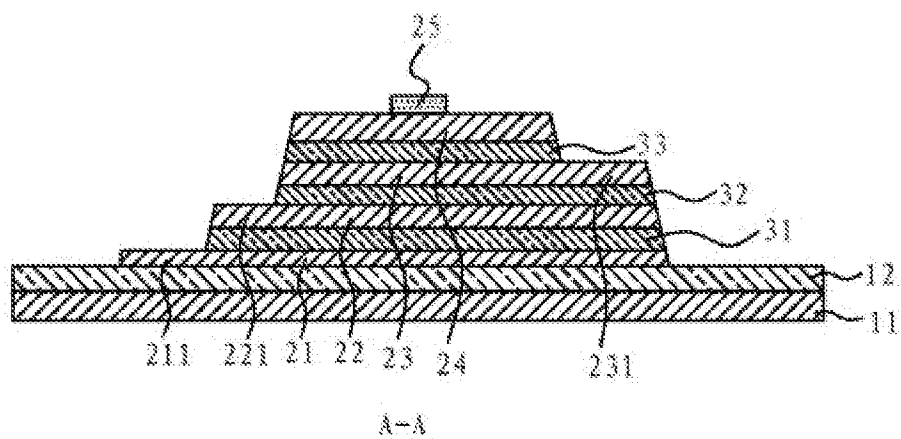
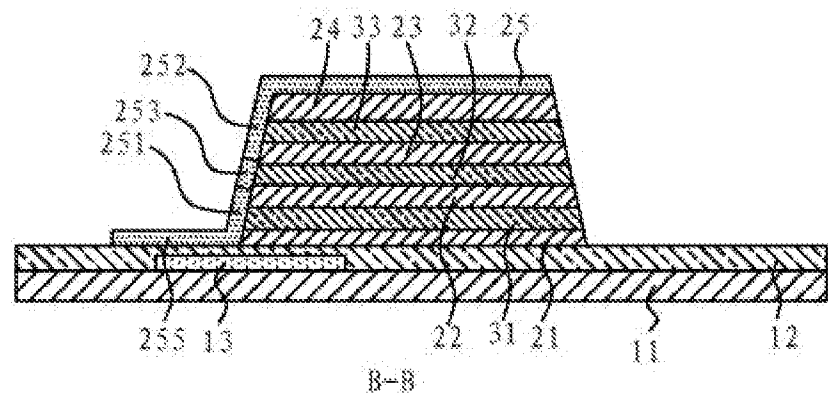
[图8e]



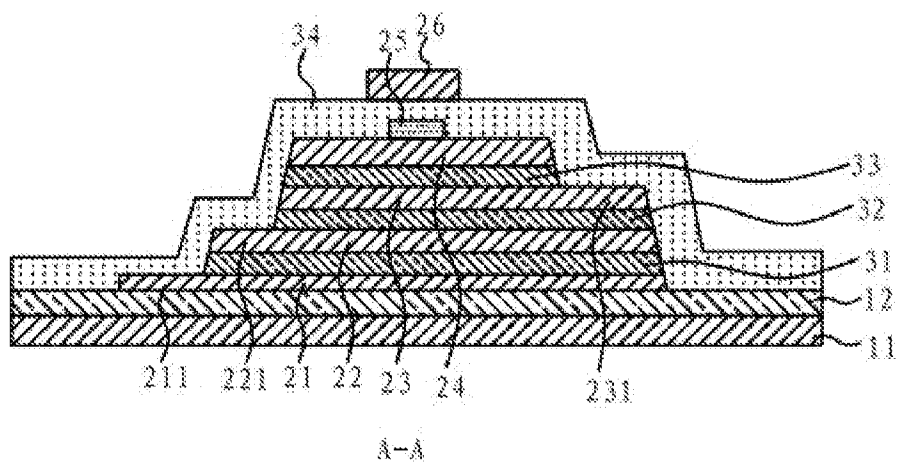
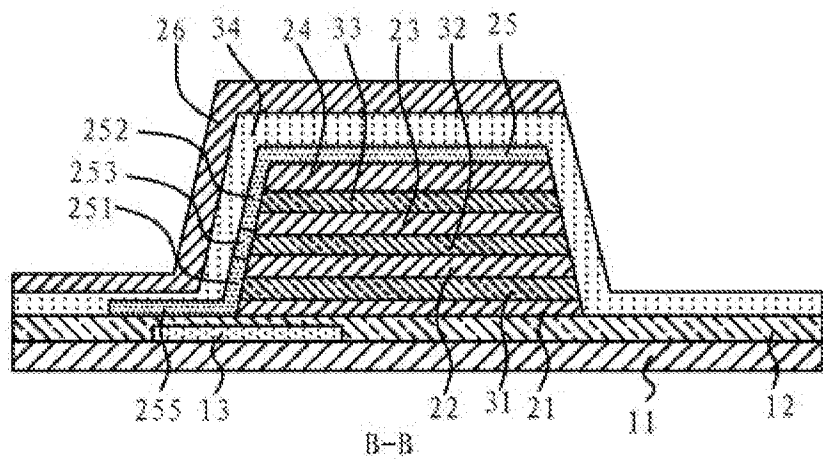
[图8f]



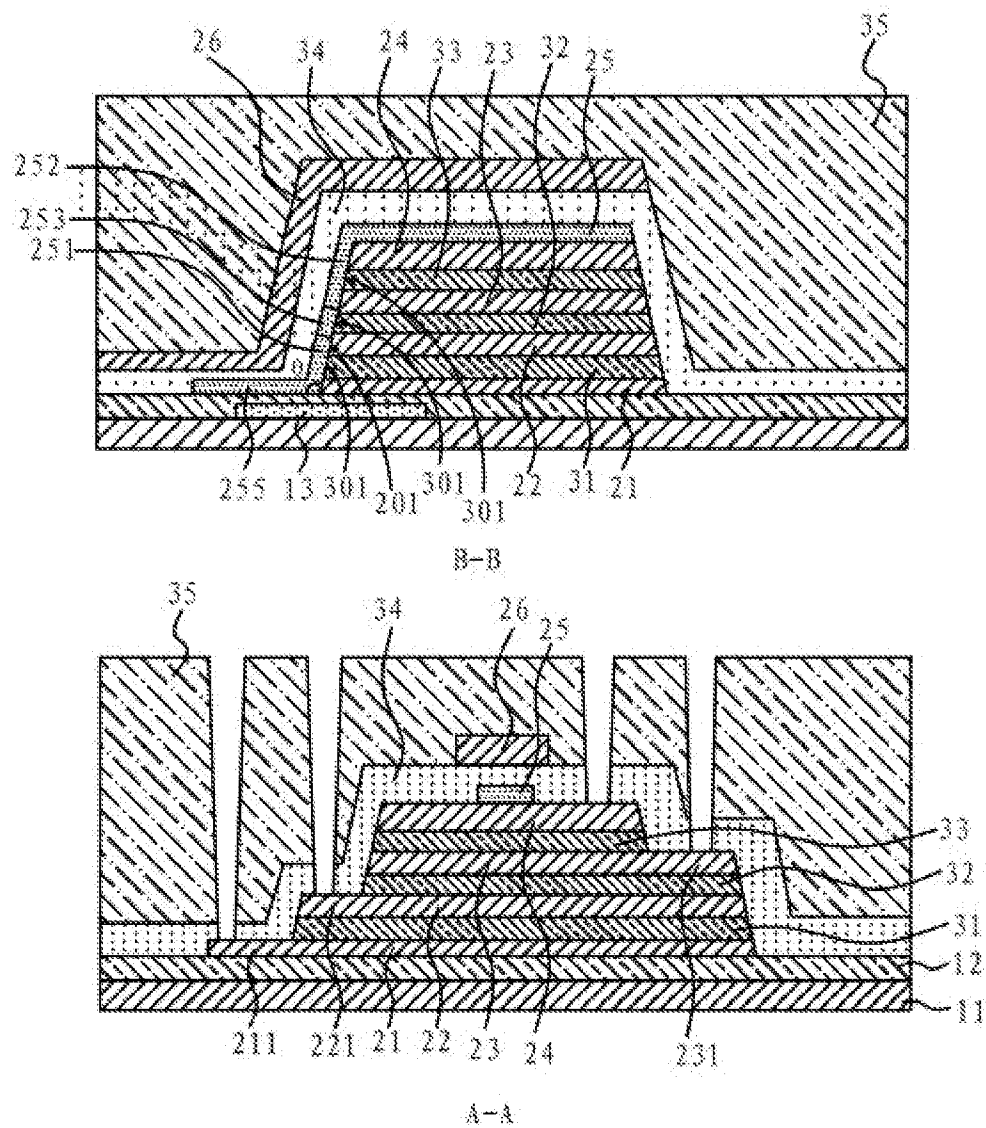
[图8g]



[图8h]



[图8i]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/104277

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; DWPI; VEN; WOTXT; EPTXT; USTXT; CNKI: 半导体层, 有源层, 沟道, 侧壁, 层叠, 多层, 垂直, 竖直, 断开, 隔开, 间隔, semiconductor layer, active layer, channel, sidewall, stack, multilayer, vertical, disconnect, space

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115602690 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 13 January 2023 (2023-01-13) description, paragraphs 41-79, and figures 1-8i	1-20
A	US 2006175609 A1 (CHAN, Isaac Wing Tak et al.) 10 August 2006 (2006-08-10) description, paragraphs 57-93, and figures 3-14	1-20
A	CN 111739894 A (SAMSUNG DISPLAY CO., LTD.) 02 October 2020 (2020-10-02) description, paragraphs 50-120, and figures 1-12	1-20
A	CN 111613676 A (FUDAN UNIVERSITY) 01 September 2020 (2020-09-01) entire document	1-20
A	KR 20200057178 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE et al.) 26 May 2020 (2020-05-26) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 September 2023

Date of mailing of the international search report

18 September 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/104277

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115602690	A	13 January 2023	None			
US	2006175609	A1	10 August 2006	US	7629633	B2	08 December 2009
CN	111739894	A	02 October 2020	US	2022130932	A1	28 April 2022
				US	2020312937	A1	01 October 2020
				US	11257887	B2	22 February 2022
				KR	20200115753	A	08 October 2020
CN	111613676	A	01 September 2020	CN	111613676	B	04 June 2021
KR	20200057178	A	26 May 2020	None			

国际检索报告

国际申请号

PCT/CN2023/104277

A. 主题的分类

H01L29/786 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC:H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; DWPI; VEN; WOTXT; EPTXT; USTXT; CNKI: 半导体层, 有源层, 沟道, 侧壁, 层叠, 多层, 垂直, 竖直, 断开, 隔开, 间隔, semiconductor layer, active layer, channel, sidewall, stack, multilayer, vertical, disconnect, space

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115602690 A (武汉华星光电技术有限公司) 2023年1月13日 (2023 - 01 - 13) 说明书第41-79段, 图1-图8i	1-20
A	US 2006175609 A1 (CHAN, Isaac Wing Tak 等) 2006年8月10日 (2006 - 08 - 10) 说明书第57-93段, 图3-14	1-20
A	CN 111739894 A (三星显示有限公司) 2020年10月2日 (2020 - 10 - 02) 说明书第50-120段, 图1-12	1-20
A	CN 111613676 A (复旦大学) 2020年9月1日 (2020 - 09 - 01) 全文	1-20
A	KR 20200057178 A (ELECTRONICS & TELECOMMUNICATIONS RES INST 等) 2020年5月26日 (2020 - 05 - 26) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年9月15日

国际检索报告邮寄日期

2023年9月18日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

周文龙

电话号码 (+86) 020-28950729

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/104277

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115602690	A	2023年1月13日	无			
US	2006175609	A1	2006年8月10日	US	7629633	B2	2009年12月8日
CN	111739894	A	2020年10月2日	US	2022130932	A1	2022年4月28日
				US	2020312937	A1	2020年10月1日
				US	11257887	B2	2022年2月22日
				KR	20200115753	A	2020年10月8日
CN	111613676	A	2020年9月1日	CN	111613676	B	2021年6月4日
KR	20200057178	A	2020年5月26日	无			