

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6851242号
(P6851242)

(45) 発行日 令和3年3月31日 (2021.3.31)

(24) 登録日 令和3年3月11日 (2021.3.11)

(51) Int. Cl. F I
H02M 7/48 (2007.01) H02M 7/48 Z

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2017-76718 (P2017-76718)	(73) 特許権者	000006013
(22) 出願日	平成29年4月7日 (2017.4.7)		三菱電機株式会社
(65) 公開番号	特開2018-182850 (P2018-182850A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成30年11月15日 (2018.11.15)	(74) 代理人	100118762
審査請求日	令和2年1月16日 (2020.1.16)		弁理士 高村 順
		(72) 発明者	西尾 直樹
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		審査官	佐藤 匡

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項 1】

プリント基板と、
前記プリント基板に設けられる複数のパワーモジュールと、
前記プリント基板に設けられるスナバコンデンサと、
前記プリント基板に設けられる平滑コンデンサと、
を備え、
前記パワーモジュールは、半導体スイッチング素子を有するパッケージと、前記パッケージに設けられた電力側端子と、前記パッケージに設けられた制御側端子とを備え、
前記電力側端子から前記スナバコンデンサまでの距離は、前記制御側端子から前記スナバコンデンサまでの距離よりも短く、
前記プリント基板は、複数の配線レイヤを有し、
前記平滑コンデンサの正側と負側の端子は、前記複数の配線レイヤにおいて互いに異なるレイヤを使用して互いに配線されると共に、前記電力側端子に配線され、
前記パワーモジュールは、直列接続された2つの前記半導体スイッチング素子の半導体スイッチング素子対を複数備え、
複数の前記半導体スイッチング素子対のそれぞれの一端が前記平滑コンデンサの正側に接続され、
複数の前記半導体スイッチング素子対のそれぞれの他端が前記平滑コンデンサの負側に接続され、

10

20

前記電力側端子は、前記直列接続された２つの半導体スイッチング素子の接続点に接続される出力端子を備え、

複数の前記半導体スイッチング素子対のそれぞれを構成する２つの半導体スイッチング素子の前記接続点に接続される前記出力端子が相互に接続され、

複数の前記半導体スイッチング素子対の内、前記平滑コンデンサの正側に接続された複数の前記半導体スイッチング素子を同じタイミングでオン／オフ駆動し、

複数の前記半導体スイッチング素子対の内、前記平滑コンデンサの負側に接続された複数の前記半導体スイッチング素子を同じタイミングでオン／オフ駆動することを特徴とする電力変換装置。

【請求項２】

一列に配列される前記複数のパワーモジュールは、一列に配列される前記スナバコンデンサと平行に設けられ、

一列に配列される前記複数のパワーモジュールのそれぞれの前記電力側端子は、一直線上に配列されることを特徴とする請求項１に記載の電力変換装置。

【請求項３】

プリント基板と、

前記プリント基板に設けられる複数のパワーモジュールと、

前記プリント基板に設けられるスナバコンデンサと、

前記プリント基板に設けられる平滑コンデンサと、

を備え、

前記パワーモジュールは、半導体スイッチング素子を有するパッケージと、前記パッケージに設けられた電力側端子と、前記パッケージに設けられた制御側端子とを備え、

前記電力側端子から前記スナバコンデンサまでの距離は、前記制御側端子から前記スナバコンデンサまでの距離よりも短く、

前記プリント基板は、複数の配線レイヤを有し、

前記平滑コンデンサの正側と負側の端子は、前記複数の配線レイヤにおいて互いに異なるレイヤを使用して互いに配線されると共に、前記電力側端子に配線され、

一列に配列される前記複数のパワーモジュールは、一列に配列される前記スナバコンデンサと平行に設けられ、

一列に配列される前記複数のパワーモジュールのそれぞれの前記電力側端子は、一直線上に配列されることを特徴とする電力変換装置。

【請求項４】

プリント基板と、

前記プリント基板の第２主面に設けられる第１のパワーモジュール、第２のパワーモジュールおよび第３のパワーモジュールと、

前記プリント基板の第１主面に設けられる第１のスナバコンデンサ、第２のスナバコンデンサおよび第３のスナバコンデンサと、

前記プリント基板の前記第１主面に設けられる複数の平滑コンデンサと、

を備え、

前記第１のパワーモジュール、前記第２のパワーモジュールおよび前記第３のパワーモジュールの各々は、半導体スイッチング素子を有するパッケージと、前記パッケージの一方側に設けられた電力側端子と、前記パッケージの他方側に設けられた制御側端子とを備え、

前記プリント基板は、複数の配線レイヤを有し、

前記平滑コンデンサの正側と負側の端子は、前記複数の配線レイヤにおいて互いに異なるレイヤを使用して互いに配線されると共に、前記電力側端子に配線され、

前記第１のパワーモジュール、前記第３のパワーモジュール、前記第１のスナバコンデンサ、前記第２のスナバコンデンサ、および前記第３のスナバコンデンサは、前記第１のパワーモジュール、前記第１のスナバコンデンサ、前記第２のスナバコンデンサ、前記第３のスナバコンデンサ、前記第３のパワーモジュールの順に、前記プリント基板の一辺で

10

20

30

40

50

ある第 1 辺側から前記第 1 辺に垂直な前記プリント基板の一边である第 2 辺に平行な方向に沿って前記第 1 辺と対向する第 3 辺側まで一列に配列され、

前記第 2 のパワーモジュールは、前記第 2 のパワーモジュールの前記電力側端子が、第 2 のパワーモジュールの前記パッケージと前記第 2 のスナバコンデンサとの間に配置されかつ前記第 2 のスナバコンデンサと対向するように、前記第 2 のスナバコンデンサと前記第 2 辺との間に配置され、

前記第 1 のパワーモジュールは、前記第 1 のパワーモジュールの前記電力側端子が、前記第 1 のパワーモジュールの前記パッケージと前記第 1 のスナバコンデンサとの間に配置されるように、前記第 1 のスナバコンデンサと前記第 1 辺との間に配置され、

前記第 3 のパワーモジュールは、前記第 3 のパワーモジュールの前記電力側端子が、前記第 3 のパワーモジュールの前記パッケージと前記第 3 のスナバコンデンサとの間に配置されるように、前記第 3 のスナバコンデンサと前記第 3 辺との間に配置されることを特徴とする電力変換装置。

【請求項 5】

プリント基板と、

前記プリント基板に設けられる複数のパワーモジュールと、

前記プリント基板に設けられるスナバコンデンサと、

前記プリント基板に設けられる平滑コンデンサと、

を備え、

前記パワーモジュールは、半導体スイッチング素子を有するパッケージと、前記パッケージに設けられた電力側端子と、前記パッケージに設けられた制御側端子とを備え、

前記電力側端子から前記スナバコンデンサまでの距離は、前記制御側端子から前記スナバコンデンサまでの距離よりも短く、

前記プリント基板は、複数の配線レイヤを有し、

前記平滑コンデンサの正側と負側の端子は、前記複数の配線レイヤにおいて互いに異なるレイヤを使用して互いに配線されると共に、前記電力側端子に配線され、

前記電力側端子と電氣的に接続される出力端子を備え、

前記出力端子は、前記プリント基板の一方の板面側に設けられ、

前記パワーモジュールは、前記プリント基板の他方の板面側に設けられ、

前記出力端子は、前記パワーモジュールを前記プリント基板に向かって投影してなる領域内に設けられることを特徴とする電力変換装置。

【請求項 6】

前記パワーモジュールは、直列接続された 2 つの前記半導体スイッチング素子の半導体スイッチング素子対を複数備え、

複数の前記半導体スイッチング素子対のそれぞれの一端が前記平滑コンデンサの正側に接続され、

複数の前記半導体スイッチング素子対のそれぞれ他端が前記平滑コンデンサの負側に接続され、

前記電力側端子は、前記直列接続された 2 つの半導体スイッチング素子の接続点に接続される出力端子を備えることを特徴とする請求項 5 に記載の電力変換装置。

【請求項 7】

前記半導体スイッチング素子は、ワイドバンドギャップ半導体で構成されることを特徴とする請求項 1 から請求項 4 の何れか一項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体スイッチング素子と半導体スイッチング素子の駆動回路とを同一パッケージに組み込んだ複数のパワーモジュールが配置されるプリント基板を備える電力変換装置に関する。

【背景技術】

【 0 0 0 2 】

従来のインバータ又はコンバータの半導体スイッチング素子にはシリコン半導体が使用されていたが、近年では、炭化ケイ素 (Silicon Carbide: SiC) 及び窒化ガリウム (Gallium Nitride: GaN) といったワイドバンドギャップ半導体の使用が注目されている。ワイドバンドギャップ半導体で構成される半導体スイッチング素子ではスイッチ動作時の電圧変化速度及び電流変化速度が速いため、従来では問題にならなかった電力変換装置の構成部品間の配線インダクタンス又は配線相互間の寄生容量に起因するサージ電圧の発生が無視できなくなっている。

【 0 0 0 3 】

特許文献 1 に開示される電力変換装置は、正極導体板及び負極導体板が絶縁シートを介して積層される 3 層積層構造の積層配線板と、インバータ回路を構成する 2 つのパワーモジュールと、複数のコンデンサとを備え、2 つのパワーモジュールが並列に配置され、複数のコンデンサのそれぞれの正極端子が正極導体板に接続され、複数のコンデンサのそれぞれの負極端子が負極導体板に接続されている。特許文献 1 に開示される電力変換装置は、複数のコンデンサからパワーモジュールまでの電力配線に積層構造の配線を採用することにより、複数のコンデンサからパワーモジュールまでの配線インピーダンスを同等の値にできる。これにより配線インダクタンスのバラツキに起因して生じるパワーモジュールのサージ電圧を低減している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 1 - 1 9 3 9 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、特許文献 1 に開示されるように、平滑コンデンサから半導体素子に至る複数の電流経路のそれぞれの配線インピーダンスが同等の値であっても、ワイドバンドギャップ半導体で構成される半導体スイッチング素子が高速駆動されると、当該電流経路に流れる電流の変化が早い。そのため、配線インピーダンスの両端に発生するサージ電圧が大きくなり、サージ電圧の発生による半導体素子の故障又は電波雑音の増加が問題となる。また、複数の半導体スイッチング素子を 1 パッケージ化したパワーモジュールを複数使用して機器を構成する場合には、回路全体の面積が増加するため、電流経路が大きくなり電流経路のインピーダンスが大きくなるという課題がある。

【 0 0 0 6 】

本発明は、上記に鑑みてなされたものであって、サージ電圧の発生による半導体素子の故障又は電波雑音の増加を抑制できる電力変換装置を得ることを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

上述した課題を解決し、目的を達成するために、本発明の電力変換装置は、プリント基板と、プリント基板に設けられる複数のパワーモジュールと、プリント基板に設けられるスナバコンデンサと、プリント基板に設けられる平滑コンデンサとを備え、パワーモジュールは、半導体スイッチング素子を有するパッケージと、パッケージに設けられた電力側端子と、パッケージに設けられた制御側端子とを備え、電力側端子からスナバコンデンサまでの距離は、制御側端子からスナバコンデンサまでの距離よりも短く、プリント基板は、複数の配線レイヤを有し、平滑コンデンサの正側と負側の端子は、複数の配線レイヤにおいて互いに異なるレイヤを使用して互いに配線されると共に、電力側端子に配線される。パワーモジュールは、直列接続された 2 つの半導体スイッチング素子の半導体スイッチング素子対を複数備え、複数の半導体スイッチング素子対のそれぞれの一端が平滑コンデンサの正側に接続され、複数の前記半導体スイッチング素子対のそれぞれの他端が平滑コンデンサの負側に接続され、電力側端子は、直列接続された 2 つの半導体スイッチング素

子の接続点に接続される出力端子を備える。複数の半導体スイッチング素子対のそれぞれを構成する２つの半導体スイッチング素子の接続点に接続される出力端子が相互に接続され、複数の半導体スイッチング素子対の内、平滑コンデンサの正側に接続された複数の半導体スイッチング素子を同じタイミングでオン／オフ駆動し、複数の半導体スイッチング素子対の内、平滑コンデンサの負側に接続された複数の半導体スイッチング素子を同じタイミングでオン／オフ駆動する。

【発明の効果】

【０００８】

本発明によれば、サージ電圧の発生による半導体素子の故障又は電波雑音の増加を抑制できる、という効果を奏する。

10

【図面の簡単な説明】

【０００９】

【図１】実施の形態１に係る電力変換装置が備えるプリント基板とプリント基板に設けられる部品群とを示す図

【図２】図１に示すⅠⅠ－ⅠⅠ矢視断面図

【図３】実施の形態１に係る電力変換装置が備える電力変換回路の構成例を示す図

【図４】図３に示すパワーモジュールの構成例を示す図

【図５】実施の形態１に係る電力変換装置が備えるプリント基板上の配線パターンの一例を示す図

【図６】実施の形態２に係る電力変換装置が備えるプリント基板とプリント基板に設けられる部品群とを示す図

20

【発明を実施するための形態】

【００１０】

以下に、本発明の実施の形態に係る電力変換装置を図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【００１１】

実施の形態１．

図１は実施の形態１に係る電力変換装置が備えるプリント基板とプリント基板に設けられる部品群とを示す図である。図２は図１に示すⅠⅠ－ⅠⅠ矢視断面図である。図３は実施の形態１に係る電力変換装置が備える電力変換回路の構成例を示す図である。図４は図３に示すパワーモジュールの構成例を示す図である。

30

【００１２】

図１に示すように実施の形態１に係る電力変換装置１０－１は、電力変換装置１０－１の外郭を構成する筐体１０と、筐体１０の内部に設けられるプリント基板１を備える。プリント基板１は、３つのパワーモジュール１１，１２，１３と、入力コンデンサ３と、３つの平滑コンデンサ４１，４２，４３と、３つのスナバコンデンサ５１，５２，５３と、３つの出力端子６１，６２，６３とを備える。

【００１３】

図１では、プリント基板１上において３つのパワーモジュール１１，１２，１３の配列方向をＸ軸方向とし、プリント基板１上においてＸ軸方向と直交する方向をＹ軸方向とし、Ｘ軸方向とＹ軸方向の両者に直交する方向をＺ軸方向とする。Ｚ軸方向はプリント基板１の厚み方向、すなわちプリント基板１の一方の板面から他方の板面に向かう方向に等しい。

40

【００１４】

以下では、３つのパワーモジュール１１，１２，１３を「パワーモジュール１１，１２，１３」と称し、３つの平滑コンデンサ４１，４２，４３を「平滑コンデンサ４１，４２，４３」と称し、３つのスナバコンデンサ５１，５２，５３を「スナバコンデンサ５１，５２，５３」と称し、３つの出力端子６１，６２，６３を「出力端子６１，６２，６３」と称する場合がある。

【００１５】

50

図 1 では、プリント基板 1 に設けられるパワーモジュール 1 1 , 1 2 , 1 3 が 3 つの例を示しているが、実施の形態 1 に係る電力変換装置 1 0 - 1 を構成するパワーモジュールの数は、3 つに限定されず、2 つ以上であればよい。図 1 では、プリント基板 1 に設けられる平滑コンデンサ 4 1 , 4 2 , 4 3 が 3 つの例を示しているが、実施の形態 1 に係る電力変換装置 1 0 - 1 を構成する平滑コンデンサの数は、3 つに限定されず、1 つ以上であればよい。図 1 では、プリント基板 1 に設けられるスナバコンデンサ 5 1 , 5 2 , 5 3 が 3 つの例を示しているが、実施の形態 1 に係る電力変換装置 1 0 - 1 を構成するスナバコンデンサの数は、3 つに限定されず、1 つ以上であればよい。

【 0 0 1 6 】

図 1 に示すパワーモジュール 1 1 は、複数の半導体スイッチング素子及びスイッチ駆動回路を備えたパッケージ 1 1 p k g と、電力側端子 1 1 p と、制御側端子 1 1 s とを備える。パワーモジュール 1 2 は、複数の半導体スイッチング素子及びスイッチ駆動回路を備えたパッケージ 1 2 p k g と、電力側端子 1 2 p と、制御側端子 1 2 s とを備える。パワーモジュール 1 3 は、複数の半導体スイッチング素子及びスイッチ駆動回路を備えたパッケージ 1 3 p k g と、電力側端子 1 3 p と、制御側端子 1 3 s とを備える。

【 0 0 1 7 】

図 2 に示すようにプリント基板 1 には符号 1 a , 1 b で示す 2 つの配線レイヤがあり、2 つの配線レイヤにはそれぞれ異なる配線パターンが形成されている。符号 1 a で示す第 1 の配線パターンは、プリント基板 1 の Z 軸方向の一方の板面上に形成されている。符号 1 b で示す第 2 の配線パターンは、プリント基板 1 の Z 軸方向の他方の板面上に形成されている。図 1 では、プリント基板 1 の第 1 の配線パターン 1 a 側に設けられた部品が実線で示され、プリント基板 1 の第 2 の配線パターン 1 b 側に設けられた部品が点線で示される。プリント基板 1 の第 1 の配線パターン 1 a 側には、入力コンデンサ 3 と、平滑コンデンサ 4 1 , 4 2 , 4 3 と、スナバコンデンサ 5 1 , 5 2 , 5 3 と、出力端子 6 1 , 6 2 , 6 3 とが設けられている。プリント基板 1 の第 2 の配線パターン 1 b 側には、パワーモジュール 1 1 , 1 2 , 1 3 が設けられている。

【 0 0 1 8 】

図 1 に示すようにパワーモジュール 1 1 , 1 2 , 1 3 は、X 軸方向にパワーモジュール 1 1 、パワーモジュール 1 2 及びパワーモジュール 1 3 の順で互いに離間して設けられている。平滑コンデンサ 4 1 , 4 2 , 4 3 は、X 軸方向に平滑コンデンサ 4 1 、平滑コンデンサ 4 2 及び平滑コンデンサ 4 3 の順で互いに離間して設けられている。スナバコンデンサ 5 1 , 5 2 , 5 3 は、X 軸方向にスナバコンデンサ 5 1 、スナバコンデンサ 5 2 及びスナバコンデンサ 5 3 の順で互いに離間して設けられている。

【 0 0 1 9 】

平滑コンデンサ 4 1 、スナバコンデンサ 5 1 及びパワーモジュール 1 1 は、Y 軸方向に平滑コンデンサ 4 1 、スナバコンデンサ 5 1 及びパワーモジュール 1 1 の順で互いに離間して設けられている。スナバコンデンサ 5 1 は、パワーモジュール 1 1 と平滑コンデンサ 4 1 との間に設けられている。パワーモジュール 1 1 のパッケージ 1 1 p k g とスナバコンデンサ 5 1 との間には、電力側端子 1 1 p が設けられている。パワーモジュール 1 1 の制御側端子 1 1 s は、パワーモジュール 1 1 の Y 軸方向の電力側端子 1 1 p とは反対側に設けられている。プリント基板 1 の X Y 平面内において、パワーモジュール 1 1 の電力側端子 1 1 p からスナバコンデンサ 5 1 までの距離は、パワーモジュール 1 1 の電力側端子 1 1 p から平滑コンデンサ 4 1 までの距離よりも短い。

【 0 0 2 0 】

平滑コンデンサ 4 2 、スナバコンデンサ 5 2 及びパワーモジュール 1 2 は、Y 軸方向に平滑コンデンサ 4 2 、スナバコンデンサ 5 2 及びパワーモジュール 1 2 の順で互いに離間して設けられている。スナバコンデンサ 5 2 は、パワーモジュール 1 2 と平滑コンデンサ 4 2 との間に設けられている。パワーモジュール 1 2 のパッケージ 1 2 p k g とスナバコンデンサ 5 2 との間には、電力側端子 1 2 p が設けられている。パワーモジュール 1 2 の制御側端子 1 2 s は、パワーモジュール 1 2 の Y 軸方向の電力側端子 1 2 p とは反対側に

設けられている。プリント基板 1 の X Y 平面内において、パワーモジュール 1 2 の電力側端子 1 2 p からスナバコンデンサ 5 2 までの距離は、パワーモジュール 1 2 の電力側端子 1 2 p から平滑コンデンサ 4 2 までの距離よりも短い。

【 0 0 2 1 】

平滑コンデンサ 4 3、スナバコンデンサ 5 3 及びパワーモジュール 1 3 は、Y 軸方向に平滑コンデンサ 4 3、スナバコンデンサ 5 3 及びパワーモジュール 1 3 の順で互いに離間して設けられている。スナバコンデンサ 5 3 は、パワーモジュール 1 3 と平滑コンデンサ 4 3 との間に設けられている。パワーモジュール 1 3 のパッケージ 1 3 p k g とスナバコンデンサ 5 3 との間には、電力側端子 1 3 p が設けられている。パワーモジュール 1 3 の制御側端子 1 3 s は、パワーモジュール 1 3 の Y 軸方向の電力側端子 1 3 p とは反対側に設けられている。プリント基板 1 の X Y 平面内において、パワーモジュール 1 3 の電力側端子 1 3 p からスナバコンデンサ 5 3 までの距離は、パワーモジュール 1 3 の電力側端子 1 3 p から平滑コンデンサ 4 3 までの距離よりも短い。

【 0 0 2 2 】

図 1 に示すように、一列に配列されるパワーモジュール 1 1 , 1 2 , 1 3 は、一列に配列される平滑コンデンサ 4 1 , 4 2 , 4 3 と平行に設けられ、一列に配列されるパワーモジュール 1 1 , 1 2 , 1 3 のそれぞれの電力側端子 1 1 p , 1 2 p , 1 3 p は、一直線上に配列されている。具体的には、電力側端子 1 1 p、電力側端子 1 2 p 及び電力側端子 1 3 p は、図 1 に示す仮想線 2 0 上に配列されると共に、互いに離間して配列されている。仮想線 2 0 は、プリント基板 1 の X Y 平面内において X 軸方向に伸びる仮想的な直線である。このように一列に配列される電力側端子 1 1 p、電力側端子 1 2 p 及び電力側端子 1 3 p の近くには、スナバコンデンサ 5 1 , 5 2 , 5 3 と平滑コンデンサ 4 1 , 4 2 , 4 3 とが設けられている。そして、電力側端子 1 1 p , 1 2 p , 1 3 p からスナバコンデンサ 5 1 , 5 2 , 5 3 までの距離が、電力側端子 1 1 p , 1 2 p , 1 3 p から平滑コンデンサ 4 1 , 4 2 , 4 3 までの距離よりも短くなるように、パワーモジュール 1 1 , 1 2 , 1 3 とスナバコンデンサ 5 1 , 5 2 , 5 3 と平滑コンデンサ 4 1 , 4 2 , 4 3 とがプリント基板 1 上に配列されている。

【 0 0 2 3 】

図 2 に示すように、出力端子 6 1 は、プリント基板 1 の第 1 の配線パターン 1 a 側に配置され、パワーモジュール 1 1 は、プリント基板 1 の第 2 の配線パターン 1 b 側に配置される。出力端子 6 1 は、パワーモジュール 1 1 を Z 軸方向へプリント基板 1 に向かって投影してなる領域 1 1 A 内に設けられている。なお図 1 に示す出力端子 6 2 は、パワーモジュール 1 2 を Z 軸方向へプリント基板 1 に向かって投影してなる領域内に設けられている。また出力端子 6 3 は、パワーモジュール 1 3 を Z 軸方向へプリント基板 1 に向かって投影してなる領域内に設けられている。

【 0 0 2 4 】

図 2 に示すように、出力端子 6 1 には、ねじ 1 0 1 によりリード線 1 0 2 が取り付けられる。リード線 1 0 2 は、図 3 に示す直流電力入力部 8 に接続される。出力端子 6 1 に設けられた端子 6 1 a は、プリント基板 1 に形成された不図示のスルーホールに挿入され、例えば第 2 の配線パターン 1 b に半田付けされる。パワーモジュール 1 1 の電力側端子 1 1 p は、不図示のスルーホールに挿入されて、例えば第 2 の配線パターン 1 b に半田付けされる。出力端子 6 1 の端子 6 1 a とパワーモジュール 1 1 の電力側端子 1 1 p とは、第 2 の配線パターン 1 b により電氣的に接続される。

【 0 0 2 5 】

図 2 に示すように、パワーモジュール 1 1 を Z 軸方向へプリント基板 1 に向かって投影してなる領域 1 1 A 内に出力端子 6 1 が設けられることにより、パワーモジュール 1 1 の電力側端子 1 1 p から出力端子 6 1 の端子 6 1 a に至るプリント基板 1 上の配線パターンを、電力側端子 1 1 p のスナバコンデンサ 5 1 側へ迂回させることなく配線できる。以下では、パワーモジュール 1 1 の電力側端子 1 1 p から出力端子 6 1 の端子 6 1 a に至るプリント基板 1 上の配線パターンを「第 1 の基板配線パターン」と称する。

【 0 0 2 6 】

第 1 の基板配線パターンを電力側端子 1 1 p のスナバコンデンサ 5 1 側へ迂回させた場合、第 1 の基板配線パターンは、スナバコンデンサ 5 1 及び平滑コンデンサ 4 1 の周囲に設けられる不図示の複数の配線パターン間に配線しなければならない、第 1 の基板配線パターンの配線幅を広げることができないという制約が生じる。以下では、スナバコンデンサ 5 1 及び平滑コンデンサ 4 1 の周囲に設けられる不図示の配線パターンを「第 2 の基板配線パターン」と称する。第 2 の基板配線パターンは、例えば、平滑コンデンサ 4 1 から電力側端子 1 1 p に至る配線パターンや、スナバコンデンサ 5 1 から電力側端子 1 1 p に至る配線パターンである。図 2 に示す位置に出力端子 6 1 を設けることにより、第 1 の基板配線パターンを複数の第 2 の基板配線パターン間に配線する必要がなくなり、第 1 の基板配線パターンの配線幅を広げることができる。

10

【 0 0 2 7 】

図 3 に示すように電力変換装置 1 0 - 1 は、直流電圧を特定の値の直流電圧に変換して出力するコンバータ 1 1 0 と、コンバータ 1 1 0 が出力する直流電圧を特定の値の交流電圧に変換して出力するインバータ 1 2 0 と、パワーモジュール 1 1 , 1 2 , 1 3 の各々が有する複数の半導体スイッチング素子のオンオフ動作を制御するためのパルス幅変調 (P u l s e W i d t h M o d u l a t i o n : P W M) 信号を生成する制御部 1 3 0 とを備える。直流電源 7 は、例えば、電力変換装置 1 0 - 1 に直流電力を供給する太陽電池モジュール又は蓄電池といった直流電力供給手段である。電力変換装置 1 0 - 1 は、直流電源 7 から出力される直流電圧を交流電圧に変換して出力する機能を有し、太陽光発電用又は蓄電池用のパワーコンディショナとして用いられる。

20

【 0 0 2 8 】

制御部 1 3 0 は、例えば、不図示の直流電圧検出部で検出される電圧値と、不図示の交流電圧検出部で検出される電圧値と、不図示の交流電流検出部で検出される電流値とに基づき PWM 信号を生成する。

【 0 0 2 9 】

コンバータ 1 1 0 は、例えば昇圧チョップパ型の直流 直流変換回路である。コンバータ 1 1 0 は、直流電源 7 に接続される直流電力入力部 8 と、パワーモジュール 1 1 と、スナバコンデンサ 5 1 とを備える。スナバコンデンサ 5 1 は、その一端が正極側直流母線 9 a を介してパワーモジュール 1 1 の電力側端子 1 1 p に接続され、その他端が負極側直流母線 9 b を介してパワーモジュール 1 1 の電力側端子 1 1 p に接続される。

30

【 0 0 3 0 】

またコンバータ 1 1 0 は、入力コンデンサ 3 と、コンバータリアクトル 2 と、出力端子 6 1 と、3 つの平滑コンデンサ 4 1 , 4 2 , 4 3 とを備える。入力コンデンサ 3 は、その一端が直流電力入力部 8 の正極に接続され、その他端が直流電力入力部 8 の負極に接続される。コンバータリアクトル 2 は、その一端が入力コンデンサ 3 の一端に接続されると共に直流電力入力部 8 の正極に接続される。出力端子 6 1 は、コンバータリアクトル 2 の他端に接続されると共にパワーモジュール 1 1 の電力側端子 1 1 p に接続される。3 つの平滑コンデンサ 4 1 , 4 2 , 4 3 は、それぞれの一端が正極側直流母線 9 a に接続され、それぞれの他端が負極側直流母線 9 b に接続される。

40

【 0 0 3 1 】

インバータ 1 2 0 は、パワーモジュール 1 2 と、パワーモジュール 1 3 と、交流電力出力部 1 4 に並列接続されるフィルタコンデンサ 6 と、一端がフィルタコンデンサ 6 の一端に接続されると共に交流電力出力部 1 4 に接続されるフィルタリアクトル 4 と、一端がフィルタコンデンサ 6 の他端に接続されると共に交流電力出力部 1 4 に接続されるフィルタリアクトル 5 とを備える。

【 0 0 3 2 】

またインバータ 1 2 0 は、フィルタリアクトル 4 の他端に接続されると共にパワーモジュール 1 2 の電力側端子 1 2 p に接続される出力端子 6 2 と、フィルタリアクトル 5 の他端に接続されると共にパワーモジュール 1 3 の電力側端子 1 3 p に接続される出力端子 6

50

3 と、スナバコンデンサ 5 2 と、スナバコンデンサ 5 3 とを備える。スナバコンデンサ 5 2 は、その一端が正極側直流母線 9 a を介してパワーモジュール 1 2 の電力側端子 1 2 p に接続され、その他端が負極側直流母線 9 b を介してパワーモジュール 1 2 の電力側端子 1 2 p に接続される。スナバコンデンサ 5 3 は、その一端が正極側直流母線 9 a を介してパワーモジュール 1 3 の電力側端子 1 3 p に接続され、その他端が負極側直流母線 9 b を介してパワーモジュール 1 3 の電力側端子 1 3 p に接続される。

【 0 0 3 3 】

符号 7 1 , 7 2 , 8 1 , 8 2 , 9 1 , 9 2 は、正極側直流母線 9 a を構成する配線パターンの寄生インダクタンスを表す。符号 7 3 , 7 4 , 8 3 , 8 4 , 9 3 , 9 4 は、負極側直流母線 9 b を構成する配線パターンの寄生インダクタンスを表す。

【 0 0 3 4 】

寄生インダクタンス 7 1 は、パワーモジュール 1 1 の電力側端子 1 1 p からスナバコンデンサ 5 1 の一端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 7 3 は、パワーモジュール 1 1 の電力側端子 1 1 p からスナバコンデンサ 5 1 の他端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 7 2 は、スナバコンデンサ 5 1 の一端から平滑コンデンサ 4 1 の一端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 7 4 は、スナバコンデンサ 5 1 の他端から平滑コンデンサ 4 1 の他端に至る配線パターンのインダクタンスを表す。

【 0 0 3 5 】

寄生インダクタンス 8 1 は、パワーモジュール 1 2 の電力側端子 1 2 p からスナバコンデンサ 5 2 の一端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 8 3 は、パワーモジュール 1 2 の電力側端子 1 2 p からスナバコンデンサ 5 2 の他端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 8 2 は、スナバコンデンサ 5 2 の一端から平滑コンデンサ 4 1 , 4 2 の一端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 8 4 は、スナバコンデンサ 5 2 の他端から平滑コンデンサ 4 2 , 4 3 の他端に至る配線パターンのインダクタンスを表す。

【 0 0 3 6 】

寄生インダクタンス 9 1 は、パワーモジュール 1 3 の電力側端子 1 3 p からスナバコンデンサ 5 3 の一端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 9 3 は、パワーモジュール 1 3 の電力側端子 1 3 p からスナバコンデンサ 5 3 の他端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 9 2 は、スナバコンデンサ 5 3 の一端から平滑コンデンサ 4 3 の一端に至る配線パターンのインダクタンスを表す。寄生インダクタンス 9 4 は、スナバコンデンサ 5 3 の他端から平滑コンデンサ 4 3 の他端に至る配線パターンのインダクタンスを表す。

【 0 0 3 7 】

電力変換装置 1 0 - 1 では、直流電力入力部 8 に印加される直流電圧が、パワーモジュール 1 1 及びコンバータリアクトル 2 により特定の値の電圧に昇圧され、昇圧された直流電力が、パワーモジュール 1 2 , 1 3 により交流電圧に変換され、変換された交流電圧は、フィルタリアクトル 4、フィルタリアクトル 5 及びフィルタコンデンサ 6 で構成されるフィルタにより正弦波の電圧に変換され、交流電力出力部 1 4 に接続される不図示の交流負荷に出力される。

【 0 0 3 8 】

このように構成された電力変換装置 1 0 - 1 では、パワーモジュール 1 1 , 1 2 , 1 3 のそれぞれが配置される位置により、配線インピーダンスが異なる値となる。特にパワーモジュール 1 1 , 1 2 , 1 3 に内蔵される半導体スイッチング素子へ、前述したワイドバンドギャップ半導体が使用されている場合、配線パターンの寄生インダクタンスの値がサージ電圧の発生に大きく影響する。すなわち、ワイドバンドギャップ半導体で構成される半導体スイッチング素子が高速駆動されると、配線パターンに流れる電流の変化が早いいため、配線パターン上の寄生インダクタンスが大きくなるほどサージ電圧が大きくなり、サージ電圧の発生による半導体素子の故障又は電波雑音の増加が問題となる。

10

20

30

40

50

【 0 0 3 9 】

本実施の形態に係る電力変換装置 10 - 1 では、図 1 に示す通り、平滑コンデンサ 4 1 , 4 2 , 4 3 とパワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p との間にスナバコンデンサ 5 1 , 5 2 , 5 3 が設けられている。そして、複数のパワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p , 1 2 p , 1 3 p から平滑コンデンサ 4 1 , 4 2 , 4 3 までの距離が、パワーモジュール 1 1 , 1 2 , 1 3 の制御側端子 1 1 s , 1 2 s , 1 3 s から平滑コンデンサ 4 1 , 4 2 , 4 3 までの距離よりも短い。また複数のパワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p , 1 2 p , 1 3 p からスナバコンデンサ 5 1 , 5 2 , 5 3 までの距離が、パワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p , 1 2 p , 1 3 p から平滑コンデンサ 4 1 , 4 2 , 4 3 までの距離よりも短い。

10

【 0 0 4 0 】

この構成により、パワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p , 1 2 p , 1 3 p とスナバコンデンサ 5 1 , 5 2 , 5 3 との間の配線パターンの長さが相対的に短くなり、配線パターンの寄生インダクタンスが低減され、寄生インダクタンスに起因して発生するサージ電圧の値が小さくなり、半導体素子の故障が抑制されると共に電波雑音が抑制される。

【 0 0 4 1 】

次に、図 3 に示すパワーモジュール 1 1 , 1 2 , 1 3 の内部構成を図 4 を用いて説明する。なお図 4 ではパワーモジュール 1 1 の内部構成が示されるが、パワーモジュール 1 2 , 1 3 の内部構成はパワーモジュール 1 1 と同様であるためその説明を割愛する。

20

【 0 0 4 2 】

図 4 に示すように、パワーモジュール 1 1 は、複数の半導体スイッチング素子 1 1 H 1 , 1 1 L 1 , 1 1 H 2 , 1 1 L 2 , 1 1 H 3 , 1 1 L 3 と、上側スイッチ駆動回路 1 1 a と、下側スイッチ駆動回路 1 1 b とを備える。またパワーモジュール 1 1 は、3つの上側スイッチ制御端子 1 1 u 1 , 1 1 u 2 , 1 1 u 3 と、3つの下側スイッチ制御端子 1 1 d 1 , 1 1 d 2 , 1 1 d 3 とを備える。3つの上側スイッチ制御端子 1 1 u 1 , 1 1 u 2 , 1 1 u 3 のそれぞれは、図 3 に示される制御部 1 3 0 に接続されると共に上側スイッチ駆動回路 1 1 a に接続される。3つの下側スイッチ制御端子 1 1 d 1 , 1 1 d 2 , 1 1 d 3 のそれぞれは、図 3 に示される制御部 1 3 0 に接続されると共に下側スイッチ駆動回路 1 1 b に接続される。

30

【 0 0 4 3 】

またパワーモジュール 1 1 は、正側端子 1 1 c と、負側端子 1 1 n と、図 3 に示される出力端子 6 1 に接続される3つの出力端子 1 1 e 1 , 1 1 e 2 , 1 1 e 3 とを備える。正側端子 1 1 c は、図 3 に示される正極側直流母線 9 a に接続されると共に3つの半導体スイッチング素子 1 1 H 1 , 1 1 H 2 , 1 1 H 3 のそれぞれのドレインに接続される。負側端子 1 1 n は、図 3 に示される負極側直流母線 9 b に接続されると共に3つの半導体スイッチング素子 1 1 L 1 , 1 1 L 2 , 1 1 L 3 のそれぞれのソースに接続される。

【 0 0 4 4 】

半導体スイッチング素子 1 1 H 1 のソースには半導体スイッチング素子 1 1 L 1 のドレインが接続される。半導体スイッチング素子 1 1 H 1 から半導体スイッチング素子 1 1 L 1 へ至る経路には、出力端子 1 1 e 1 が接続される。半導体スイッチング素子 1 1 H 1 及び半導体スイッチング素子 1 1 L 1 は、直列に接続された半導体スイッチング素子対を構成する。半導体スイッチング素子対の一端は、正側端子 1 1 c を介して図 3 の正極側直流母線 9 a に接続され、半導体スイッチング素子対の他端は、負側端子 1 1 n を介して図 3 の負極側直流母線 9 b に接続される。

40

【 0 0 4 5 】

半導体スイッチング素子 1 1 H 2 のソースには半導体スイッチング素子 1 1 L 2 のドレインが接続される。半導体スイッチング素子 1 1 H 2 から半導体スイッチング素子 1 1 L 2 へ至る経路には、出力端子 1 1 e 2 が接続される。半導体スイッチング素子 1 1 H 2 及び半導体スイッチング素子 1 1 L 2 は、直列に接続された半導体スイッチング素子対を構

50

成する。半導体スイッチング素子対の一端は、正側端子 1 1 c を介して図 3 の正極側直流母線 9 a に接続され、半導体スイッチング素子対の他端は、負側端子 1 1 n を介して図 3 の負極側直流母線 9 b に接続される。

【 0 0 4 6 】

半導体スイッチング素子 1 1 H 3 のソースには半導体スイッチング素子 1 1 L 3 のドレインが接続される。半導体スイッチング素子 1 1 H 3 から半導体スイッチング素子 1 1 L 3 へ至る経路には、出力端子 1 1 e 3 が接続される。半導体スイッチング素子 1 1 H 3 及び半導体スイッチング素子 1 1 L 3 は、直列に接続された半導体スイッチング素子対を構成する。半導体スイッチング素子対の一端は、正側端子 1 1 c を介して図 3 の正極側直流母線 9 a に接続され、半導体スイッチング素子対の他端は、負側端子 1 1 n を介して図 3

10

【 0 0 4 7 】

図 3 に示すように、3つの上側スイッチ制御端子 1 1 u 1 , 1 1 u 2 , 1 1 u 3 と3つの下側スイッチ制御端子 1 1 d 1 , 1 1 d 2 , 1 1 d 3 とは、制御部 1 3 0 に接続される。3つの上側スイッチ制御端子 1 1 u 1 , 1 1 u 2 , 1 1 u 3 には、3つの半導体スイッチング素子 1 1 H 1 , 1 1 H 2 , 1 1 H 3 のそれぞれをオンオフ駆動するための P W M 信号が入力される。当該 P W M 信号は、上側スイッチ駆動回路 1 1 a により、3つの半導体スイッチング素子 1 1 H 1 , 1 1 H 2 , 1 1 H 3 のそれぞれをオンオフ駆動する駆動信号に変換される。3つの下側スイッチ制御端子 1 1 d 1 , 1 1 d 2 , 1 1 d 3 には、3つの半導体スイッチング素子 1 1 L 1 , 1 1 L 2 , 1 1 L 3 のそれぞれをオンオフ駆動するた

20

【 0 0 4 8 】

上側スイッチ駆動回路 1 1 a の3本の入力端子 1 1 u 1 , 1 1 u 2 及び 1 1 u 3 は相互に接続され、また下側スイッチ駆動回路 1 1 b の3本の入力端子 1 1 d 1 , 1 1 d 2 及び 1 1 d 3 は相互に接続され、出力端子 1 1 e 1 , 1 1 e 2 及び 1 1 e 3 は相互に接続される。

【 0 0 4 9 】

上記のように構成することで、パワーモジュール 1 1 , 1 2 及び 1 3 は、パワーモジュールごとに3組の半導体スイッチング素子を並列接続した出力が得られる構成となり、小容量の半導体スイッチング素子を並列に駆動することにより電流容量の大きなデバイスを実現することができる。

30

【 0 0 5 0 】

S i C や G a N といった化合物半導体には、結晶欠陥が僅かに残留しており、例えば均一な欠陥分布のあるウエハから特定のチップ面積の素子を作る場合と、面積がその 1 / 3 の素子を作る場合とを比較したとき、後者の歩留まりが大きく改善する。すなわち、素子の単位面積当たりの電流値を一定にするように素子の設計を行い所望の電流容量を確保する場合、後者の素子を3つ使用した方が歩留まりが改善され、結果として素子の単位面積当たりの製造コストが低減される。すなわち電流容量の小さいパワーモジュール 1 1 , 1

40

【 0 0 5 1 】

その一方で、パワーモジュール 1 1 , 1 2 , 1 3 を並列接続した場合、個々のパワーモジュールが有する半導体スイッチング素子の特性のばらつきにより、スイッチング波形が振動しやすくなる。このスイッチング波形の振動は、配線パターン上のインダクタンス及びキャパシタンスの共振回路に起因するものである。このような課題に対して実施の形態 1 に係る電力変換装置 1 0 - 1 では、平滑コンデンサ 4 1 , 4 2 , 4 3 とパワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p との間にスナバコンデンサ 5 1 , 5 2 , 5 3 が設けられているため、配線パターン上の寄生インダクタンスが低減される。従って、個々のパワーモジュールが有する半導体スイッチング素子の特性に僅かなばらつきが存在する場

50

合でも、スイッチング波形の振動が抑制される。

【 0 0 5 2 】

図 5 は実施の形態 1 に係る電力変換装置が備えるプリント基板上の配線パターンの一例を示す図である。図 5 において、X Y 平面内において、右下がりの斜線で示されるハッチングは、プリント基板 1 の Z 軸方向の一方の板面上に形成される第 1 の配線パターン 1 a を表す。また X Y 平面内において、左下がりの斜線で示されるハッチングは、プリント基板 1 の Z 軸方向の他方の板面上に形成される第 2 の配線パターン 1 b を表す。

【 0 0 5 3 】

例えば、平滑コンデンサ 4 1 , 4 2 , 4 3 のそれぞれの正側端子は、第 1 の配線パターン 1 a に接続され、第 1 の配線パターン 1 a を介して電力側端子 1 1 p と電氣的に接続される。平滑コンデンサ 4 1 , 4 2 , 4 3 のそれぞれの負側端子は、第 2 の配線パターン 1 b に接続され、第 2 の配線パターン 1 b を介して電力側端子 1 1 p と電氣的に接続される。また、スナバコンデンサ 5 1 , 5 2 , 5 3 のそれぞれの正側端子は、第 1 の配線パターン 1 a に接続され、第 1 の配線パターン 1 a を介して電力側端子 1 1 p と電氣的に接続される。スナバコンデンサ 5 1 , 5 2 , 5 3 のそれぞれの負側端子は、第 2 の配線パターン 1 b に接続され、第 2 の配線パターン 1 b を介して電力側端子 1 1 p と電氣的に接続される。

【 0 0 5 4 】

このようにプリント基板 1 に形成される第 1 の配線パターン 1 a 及び第 2 の配線パターン 1 b を用いて部品間を電氣的に接続することにより、第 1 の配線パターン 1 a 及び第 2 の配線パターン 1 b の何れか一方のみ用いて部品間を電氣的に接続する場合に比べて、パワーモジュール 1 1 , 1 2 , 1 3 のスイッチング動作に伴い変化する電流が流れる電流経路の長さが短くなり、配線インピーダンスの値を小さくできる。当該電流経路は、図 3 に示す正極側直流母線 9 a 及び負極側直流母線 9 b を構成する配線パターンに等しい。例えば、図 3 に示す電力側端子 1 1 p からスナバコンデンサ 5 1 に至る配線パターンと、電力側端子 1 2 p からスナバコンデンサ 5 2 に至る配線パターンと、電力側端子 1 3 p からスナバコンデンサ 5 3 に至る配線パターンと、電力側端子 1 1 p から平滑コンデンサ 4 1 に至る配線パターンと、電力側端子 1 2 p から平滑コンデンサ 4 2 , 4 3 に至る配線パターンと、電力側端子 1 3 p から平滑コンデンサ 4 3 に至る配線パターンとが、パワーモジュール 1 1 , 1 2 , 1 3 のスイッチング動作に伴い変化する電流が流れる電流経路に相当する。

【 0 0 5 5 】

なお実施の形態 1 のパワーモジュール 1 1 , 1 2 , 1 3 には、ワイドバンドギャップ半導体で構成される半導体スイッチング素子が用いられているが、当該半導体スイッチング素子はワイドバンドギャップ半導体で構成されたものに限定されず、シリコン半導体で構成されたものでもよい。ただし、ワイドバンドギャップ半導体で構成された半導体スイッチング素子では、スイッチ動作時の電圧変化速度及び電流変化速度が速いため、配線インピーダンスに発生するサージ電圧の抑制効果がより一層顕著である。

【 0 0 5 6 】

以上に説明したように実施の形態 1 に係る電力変換装置 1 0 - 1 では、平滑コンデンサ 4 1 , 4 2 , 4 3 とパワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p との間にスナバコンデンサ 5 1 , 5 2 , 5 3 が設けられているため、パワーモジュール 1 1 , 1 2 , 1 3 の電力側端子 1 1 p , 1 2 p , 1 3 p とスナバコンデンサ 5 1 , 5 2 , 5 3 との間の配線パターンの長さが短くなり、寄生インダクタンスに起因して発生するサージ電圧の値が小さくなり、半導体素子の故障が抑制されると共に電波雑音が抑制される。またワイドバンドギャップ半導体で構成された半導体スイッチング素子を有するパワーモジュール 1 1 , 1 2 , 1 3 が用いられている場合でも、電力変換装置 1 0 - 1 では、配線パターンの寄生インダクタンスに起因して発生するサージ電圧の値が小さくなり、半導体素子の安定した動作が実現でき、電波雑音の発生が抑制され、さらにサージ電圧に起因する半導体素子の劣化が抑制される。

10

20

30

40

50

【 0 0 5 7 】

実施の形態 2 .

図 6 は実施の形態 2 に係る電力変換装置が備えるプリント基板とプリント基板に設けられる部品群とを示す図である。実施の形態 2 に係る電力変換装置 10 - 2 では、3つのパワーモジュール 1 1 , 1 2 , 1 3 が、3つのスナバコンデンサ 5 1 , 5 2 , 5 3 で構成されるコンデンサ群の周囲を取り囲むように配置されている。具体的には、平滑コンデンサ 4 1 , 4 2 , 4 3 は、X 軸方向に平滑コンデンサ 4 1、平滑コンデンサ 4 2 及び平滑コンデンサ 4 3 の順で互いに離間して設けられている。パワーモジュール 1 1、スナバコンデンサ 5 1、スナバコンデンサ 5 2、スナバコンデンサ 5 3 及びパワーモジュール 1 3 は、X 軸方向にパワーモジュール 1 1、スナバコンデンサ 5 1、スナバコンデンサ 5 2、スナバコンデンサ 5 3 及びパワーモジュール 1 3 の順で互いに離間して設けられている。平滑コンデンサ 4 2、スナバコンデンサ 5 2 及びパワーモジュール 1 2 は、Y 軸方向に平滑コンデンサ 4 2、スナバコンデンサ 5 2 及びパワーモジュール 1 2 の順で互いに離間して設けられている。

10

【 0 0 5 8 】

パワーモジュール 1 1 のパッケージ 1 1 p k g とスナバコンデンサ 5 1 との間には、電力側端子 1 1 p が設けられている。パワーモジュール 1 2 のパッケージ 1 2 p k g とスナバコンデンサ 5 2 との間には、電力側端子 1 2 p が設けられている。パワーモジュール 1 3 のパッケージ 1 3 p k g とスナバコンデンサ 5 3 との間には、電力側端子 1 3 p が設けられている。パワーモジュール 1 1 の制御側端子 1 1 s は、パワーモジュール 1 1 の X 軸方向の電力側端子 1 1 p とは反対側に設けられている。パワーモジュール 1 2 の制御側端子 1 2 s は、パワーモジュール 1 2 の Y 軸方向の電力側端子 1 2 p とは反対側に設けられている。パワーモジュール 1 3 の制御側端子 1 3 s は、パワーモジュール 1 3 の X 軸方向の電力側端子 1 3 p とは反対側に設けられている。

20

【 0 0 5 9 】

このような配置とすることでパワーモジュール 1 1 とスナバコンデンサ 5 1 の間の距離と、パワーモジュール 1 2 とスナバコンデンサ 5 2 の間の距離と、パワーモジュール 1 3 とスナバコンデンサ 5 3 の間の距離と短くしながら、スナバコンデンサ 5 1 , 5 2 , 5 3 の相互の距離も短くすることができる。実施の形態 2 では、パワーモジュール 1 1 , 1 2 , 1 3 間を行きかう電流の経路を小さくできるので、外部への高周波雑音の漏洩を抑制できる。

30

【 0 0 6 0 】

また、実施の形態 2 に係る電力変換装置 10 - 2 では、スナバコンデンサ 5 1 , 5 2 , 5 3 の互いの距離が短いため、サージ抑制に必要な静電容量を満足できればスナバコンデンサ 5 1 , 5 2 , 5 3 の数を変更することも可能である。また、スナバコンデンサ 5 1 , 5 2 , 5 3 を図 6 のように配置することで、実施の形態 1 で説明した効果と同等の効果が得られる。詳細については繰り返しとなるため省略する。

【 0 0 6 1 】

なお実施の形態 1 , 2 のスナバコンデンサ 5 1 , 5 2 , 5 3 はコンデンサ及び抵抗の直列回路に置き換えてもよい。この直列回路は、パワーモジュール 1 1 , 1 2 , 1 3 のスイッチングに伴うサージ電圧及びスイッチング波形が所望の値となるように構成されているものとする。なお実施の形態 1 , 2 で説明したプリント基板 1 における部品群の配列方法は、電力変換装置 10 - 1 , 10 - 2 をインバータ装置として利用する場合にも同様の効果が得られる。また実施の形態 1 , 2 では、スナバコンデンサ 5 1 , 5 2 , 5 3 及び平滑コンデンサ 4 1 , 4 2 , 4 3 の数量をパワーモジュール 1 1 , 1 2 , 1 3 の数量と等しくした場合の構成例を説明したが、これらの数量は、電力変換装置 10 - 1 , 10 - 2 に接続される負荷の容量や、電力変換装置 10 - 1 , 10 - 2 の用途に応じて変更してもよい。また実施の形態 1 , 2 では 3 つのパワーモジュール 1 1 , 1 2 , 1 3 に内蔵された 3 組の半導体 スイッチング素子 対を 3 並列した構成例を説明したが、パワーモジュールの並列数は 2 以上であれば同様の効果が得られる。

40

50

【 0 0 6 2 】

また本実施の形態に係る電力変換装置は、複数の半導体スイッチング素子対のそれぞれを構成する2つの半導体スイッチング素子の接続点に接続される出力端子が相互に接続され、複数の半導体スイッチング素子対の内、平滑コンデンサの正側に接続された複数の半導体スイッチング素子を同じタイミングでオン/オフ駆動し、複数の半導体スイッチング素子対の内、平滑コンデンサの負側に接続された複数の半導体スイッチング素子を同じタイミングでオン/オフ駆動するように構成してもよい。このように構成、駆動することで、複数の電流容量の小さい半導体スイッチング素子で、電流容量の大きな半導体スイッチング素子を低コストで実現することが可能となる。

【 0 0 6 3 】

10

以上の実施の形態に示した構成は、本発明の内容の一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、本発明の要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

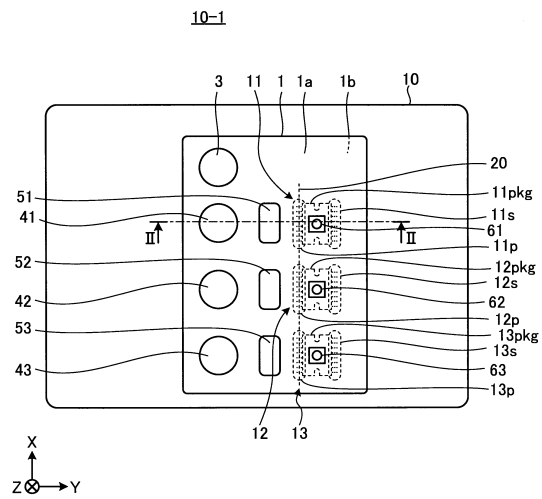
【 符号の説明 】

【 0 0 6 4 】

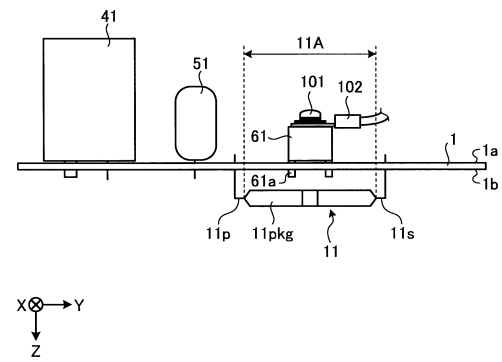
1 プリント基板、1 a 第1の配線パターン、1 b 第2の配線パターン、2 コンバータリアクトル、3 入力コンデンサ、4, 5 フィルタリアクトル、6 フィルタコンデンサ、7 直流電源、8 直流電力入力部、9 a 正極側直流母線、9 b 負極側直流母線、10 筐体、10 - 1, 10 - 2 電力変換装置、11, 12, 13 パワーモジュール、11 A 領域、11 H 1, 11 H 2, 11 H 3, 11 L 1, 11 L 2, 11 L 3 半導体スイッチング素子、11 a 上側スイッチ駆動回路、11 b 下側スイッチ駆動回路、11 c 正側端子、11 d 1, 11 d 2, 11 d 3 下側スイッチ制御端子、11 e 1, 11 e 2, 11 e 3, 61, 62, 63 出力端子、11 n 負側端子、11 p, 12 p, 13 p 電力側端子、11 p k g, 12 p k g, 13 p k g パッケージ、11 s, 12 s, 13 s 制御側端子、11 u 1, 11 u 2, 11 u 3 上側スイッチ制御端子、14 交流電力出力部、20 仮想線、41, 42, 43 平滑コンデンサ、51, 52, 53 スナバコンデンサ、61 a 端子、71, 72, 73, 74, 81, 82, 83, 84, 91, 92, 93, 94 寄生インダクタンス、101 ねじ、102 リード線、110 コンバータ、120 インバータ、130 制御部。

20

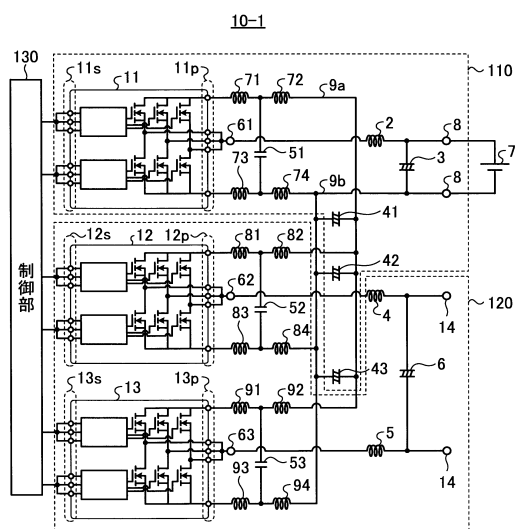
【図 1】



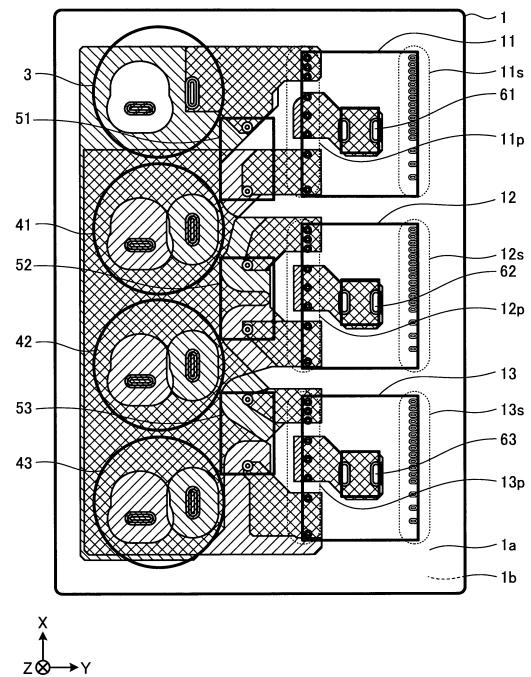
【図 2】



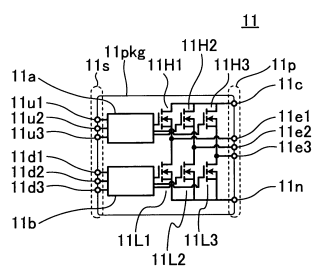
【図 3】



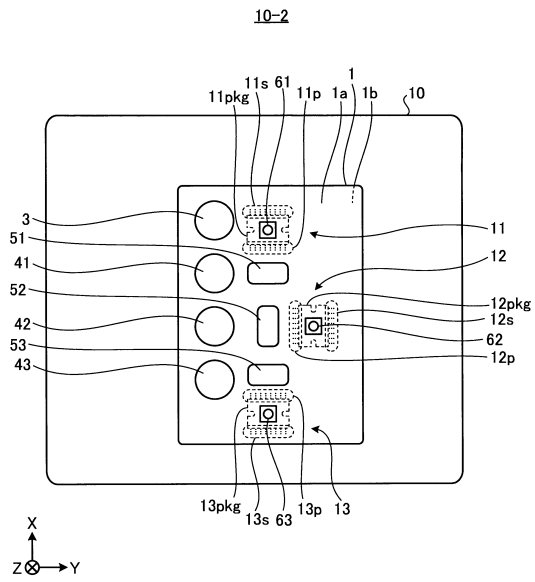
【図 5】



【図 4】



【図 6】



フロントページの続き

(56)参考文献 特開2011-250490(JP,A)
特開平11-027959(JP,A)
特開2013-172620(JP,A)
国際公開第2012/098632(WO,A1)
特開2016-195478(JP,A)
特開2010-200433(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 7/48