

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5706674号  
(P5706674)

(45) 発行日 平成27年4月22日(2015.4.22)

(24) 登録日 平成27年3月6日(2015.3.6)

(51) Int.Cl.

F I

G 0 5 F 3/26 (2006.01)

G O 5 F 3/26

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2010-261718 (P2010-261718)	(73) 特許権者	000002325
(22) 出願日	平成22年11月24日 (2010.11.24)		セイコーインスツル株式会社
(65) 公開番号	特開2012-113503 (P2012-113503A)		千葉県千葉市美浜区中瀬 1 丁目 8 番地
(43) 公開日	平成24年6月14日 (2012.6.14)	(74) 代理人	100154863
審査請求日	平成25年9月9日 (2013.9.9)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	小林 裕二
			千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内
		(72) 発明者	井村 多加志
			千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内
			最終頁に続く

(54) 【発明の名称】 定電流回路及び基準電圧回路

(57) 【特許請求の範囲】

【請求項 1】

ドレイン端子が電源端子に接続され、互いのゲート端子が接続された第一デプレッションNMOSトランジスタ及び第二デプレッションNMOSトランジスタと、

第一入力端子が前記第一デプレッションNMOSトランジスタのソース端子と接続され、第二入力端子が前記第二デプレッションNMOSトランジスタのソース端子と接続され、出力端子が前記第一デプレッションNMOSトランジスタ及び前記第二デプレッションNMOSトランジスタのゲート端子と接続され、前記第一デプレッションNMOSトランジスタのソース端子と前記第二デプレッションNMOSトランジスタのソース端子の電圧を一定に保持する帰還回路と、

前記第一デプレッションNMOSトランジスタのソース端子及び前記第二デプレッションNMOSトランジスタのソース端子と接地端子の間に設けられ、少なくとも2つのNMOSトランジスタと抵抗とを有する定電流生成回路と、  
を備えた定電流回路。

【請求項 2】

前記帰還回路は差動増幅回路である、ことを特徴とする請求項 1 に記載の定電流回路。

【請求項 3】

前記定電流生成回路は、

ドレイン端子が前記差動増幅回路の反転入力端子に接続され、ソース端子が前記抵抗を介して接地端子に接続された第一NMOSトランジスタと、

10

20

ゲート端子とドレイン端子が前記差動増幅回路の非反転入力端子及び前記第一N MOSトランジスタのゲート端子に接続され、ソース端子が接地端子に接続された第二N MOSトランジスタと、を備えた

ことを特徴とする請求項2に記載の定電流回路。

【請求項4】

前記定電流生成回路は、

ドレイン端子が前記差動増幅回路の反転入力端子に接続され、ソース端子が接地端子に接続された第一N MOSトランジスタと、

ゲート端子が前記差動増幅回路の非反転入力端子に接続され、ドレイン端子が前記第一N MOSトランジスタのゲート端子及び前記抵抗を介して前記差動増幅回路の非反転入力端子に接続され、ソース端子が接地端子に接続された第二N MOSトランジスタと、を備えた

ことを特徴とする請求項2に記載の定電流回路。

【請求項5】

請求項1から4のいずれかに記載の定電流回路と、

前記定電流回路の出力端子に設けられた電圧発生回路と、  
を備えた基準電圧回路。

【請求項6】

前記電圧発生回路は、直列に接続されたPMOSTランジスタと抵抗とダイオードを備え、

前記電圧発生回路の抵抗と前記定電流生成回路の抵抗は、温度係数が等しいことを特徴とする請求項5に記載の基準電圧回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、定電流回路及びそれを用いた基準電圧回路に関し、より詳しくは定電流回路の安定動作に関する。

【背景技術】

【0002】

従来の定電流回路について説明する。図9は、従来のK値（駆動能力）の差を用いた定電流回路を示す回路図である。K値は、 $K = W / L \cdot (\mu C_{ox} / 2)$ で求められる。ここで、Wはゲート幅、Lはゲート長、 $\mu$ はキャリアの移動度、 $C_{ox}$ は単位面積あたりのゲート端子酸化膜容量を示す。

【0003】

従来の定電流回路は、K値の異なるエンハンスメント型N MOSトランジスタのトランジスタ91及び92と、エンハンスメント型PMOSTランジスタのトランジスタ93及び94と、抵抗95とからなる。

【0004】

エンハンスメント型N MOSトランジスタ91は、ソース端子が最低電位の接地端子100に接続され、ドレイン端子とゲート端子がともにエンハンスメント型N MOSトランジスタ92のゲート端子とエンハンスメント型PMOSTランジスタ93のドレイン端子に接続されている。エンハンスメント型N MOSトランジスタ92は、ソース端子が抵抗95を介して接地端子100と接続され、ドレイン端子はエンハンスメント型PMOSTランジスタ94のゲート端子及びドレイン端子とエンハンスメント型PMOSTランジスタ93のゲート端子に接続されている。エンハンスメント型PMOSTランジスタ93及び94のソース端子は、ともに最高電位の電源端子101と接続されている。

【0005】

次に従来の定電流回路の動作について説明する。エンハンスメント型N MOSトランジスタ91のK値は、エンハンスメント型N MOSトランジスタ92のK値よりも小さい。エンハンスメント型N MOSトランジスタ91とエンハンスメント型N MOSトランジスタ

10

20

30

40

50

タ 9 2 とのゲート端子ソース端子間電圧差が抵抗 9 5 に発生し、抵抗 9 5 に流れる電流をエンハンスメント型 P M O S トランジスタ 9 3 及び 9 4 でカレントミラーし、バイアス電流を生成する。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特開平 3 - 2 3 8 5 1 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

10

しかしながら、従来の定電流回路は動作点が 2 つある。一方はバイアス電流が流れる通常の動作点、他方はバイアス電流が 0 になる動作点である。接続点 2 9 1 の電位が電源端子 1 0 1 になり、接続点 2 9 0 の電位が接地端子 1 0 0 の最低電位になると、バイアス電流が 0 になる動作点で固定され、定電流回路は動作しなくなる。従って、従来の定電流回路は起動時にスタートアップ回路が別途必要となる、という課題がある。

【 0 0 0 8 】

また、電源端子 1 0 1 の上昇に伴い、接続点 2 9 1 の電位が上昇すると、エンハンスメント型 N M O S トランジスタ 9 2 のチャネル長変調効果の影響で、エンハンスメント型 N M O S トランジスタ 9 1 及び 9 2 の特性が変わり、バイアス電流が変動してしまう。即ち、従来の定電流回路は入力安定度が悪いという課題がある。

20

【 0 0 0 9 】

本発明は、上記の課題に鑑みてなされ、スタートアップ回路を必要とせず、入力安定度の良い定電流回路を提供する。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の定電流回路は、上記の課題を解決するために、N M O S トランジスタと抵抗を備えた定電流生成回路と、前記定電流生成回路の電流を流す、互いのゲート端子が接続された、一対のデプレッション N M O S トランジスタで構成されたカレントミラー回路と、前記一対のデプレッション N M O S トランジスタのソース端子の電圧を一定に保持する帰還回路と、を備えた構成とした。

30

【発明の効果】

【 0 0 1 1 】

本発明の定電流回路によれば、カレントミラー回路にデプレッション型 N M O S トランジスタを用いることで、チャネルが形成されている状態で起動するので、バイアス電流が 0 になる動作点で安定することなく確実に起動する。従って、定電流回路はスタートアップ回路を必要としない。また、差動増幅回路を設けたことで、エンハンスメント型 N M O S トランジスタのドレイン電圧の変化の帰還が等しく掛かるようになるため、デプレッション型 N M O S トランジスタのドレイン電流が  $W/L$  の比のみで決まるようになる。従って、帰還ループのゲイン特性を上げることで、更に入力安定度が改善することが出来る。

【図面の簡単な説明】

40

【 0 0 1 2 】

【図 1】本発明の定電流回路を示すブロック図である。

【図 2】定電流源ブロック回路の具体例を示した定電流回路の回路図である。

【図 3】定電流源ブロック回路の他の具体例を示した定電流回路の回路図である。

【図 4】差動増幅回路の具体的な構成例を示した定電流回路の回路図である。

【図 5】差動増幅回路の他の構成例を示した定電流回路の回路図である。

【図 6】差動増幅回路の他の構成例を示した定電流回路の回路図である。

【図 7】差動増幅回路の他の構成例を示した定電流回路の回路図である。

【図 8】本発明の定電流回路を用いた基準電圧回の一例を示す回路図である。

【図 9】従来の定電流回路の構成例を示す回路図である。

50

## 【発明を実施するための形態】

## 【0013】

図1は、本発明の定電流回路を示すブロック図である。

本発明の定電流回路は、定電流生成ブロック回路112と、差動増幅回路111と、デプレッション型NMOSトランジスタ13及び14で構成される。

## 【0014】

差動増幅回路111は、出力端子をデプレッション型NMOSトランジスタ13及び14のゲート端子に接続され、反転入力端子をデプレッション型NMOSトランジスタ13のソース端子と定電流生成ブロック回路112に接続され、非反転入力端子をデプレッション型NMOSトランジスタ14のソース端子と定電流生成ブロック回路112に接続される。定電流生成ブロック回路112は、デプレッション型NMOSトランジスタ13及び14のソース端子と接地端子100の間に接続される。デプレッション型NMOSトランジスタ13及び14は、ドレイン端子が電源端子101に接続される。デプレッション型NMOSトランジスタ14のソース端子が定電流回路の定電流出力端子102に接続される。

10

## 【0015】

定電流生成ブロック回路112は、エンハンスメント型NMOSトランジスタと抵抗で構成される定電流回路である。例えば、図2や図3のような回路で構成される。

## 【0016】

図2の定電流源ブロック回路112は、ゲート端子同士を接続したエンハンスメント型NMOSトランジスタ11及び12と、抵抗15を備えている。エンハンスメント型NMOSトランジスタ11は、ドレイン端子が第一のデプレッション型NMOSトランジスタ13のソース端子に接続され、ソース端子が抵抗15を介して接地端子100に接続される。エンハンスメント型NMOSトランジスタ12は、ゲート端子とドレイン端子が第二のデプレッション型NMOSトランジスタ14のソース端子に接続され、ソース端子が接地端子100に接続される。

20

## 【0017】

エンハンスメント型NMOSトランジスタ11に流れる電流は、デプレッション型NMOSトランジスタ13に流れる電流と等しい。エンハンスメント型NMOSトランジスタ12に流れる電流は、デプレッション型NMOSトランジスタ14に流れる電流と等しい。また、エンハンスメント型NMOSトランジスタ11のK値とエンハンスメント型NMOSトランジスタ12のK値の比は、デプレッション型NMOSトランジスタ13のK値とデプレッション型NMOSトランジスタ14のK値との比と異なる。従って、エンハンスメント型NMOSトランジスタ11のゲート端子ソース端子間電圧とエンハンスメント型NMOSトランジスタ12のゲート端子ソース端子間電圧の差電圧を抵抗に印加することでバイアス電流を生成する。

30

## 【0018】

図3の定電流源ブロック回路112は、エンハンスメント型NMOSトランジスタ11及び12と、抵抗18を備えている。エンハンスメント型NMOSトランジスタ11は、ゲート端子がエンハンスメント型NMOSトランジスタ12のドレイン端子に接続され、ドレイン端子が第一のデプレッション型NMOSトランジスタ13のソース端子に接続され、ソース端子が接地端子100に接続される。エンハンスメント型NMOSトランジスタ12は、ゲート端子が第二のデプレッション型NMOSトランジスタ14のソース端子に接続され、ドレイン端子が抵抗18を介して第二のデプレッション型NMOSトランジスタ14のソース端子に接続され、ソース端子が接地端子100に接続される。

40

## 【0019】

図2の定電流源ブロック回路112との違いは、エンハンスメント型NMOSトランジスタ11とエンハンスメント型NMOSトランジスタ12のゲート・ドレイン間電圧差が抵抗18に発生し、バイアス電流を生成する回路構成になった点である。

## 【0020】

50

ここで、エンハンスメント型NMOSトランジスタ11及び12は、複数のトランジスタを並列に接続して構成されてもよい。

【0021】

次に、本実施形態の定電流回路の動作について説明する。

デプレッション型NMOSトランジスタ13及び14は、カレントミラー回路を構成する。デプレッショントランジスタ13とデプレッショントランジスタ14は、ゲート端子ソース端子間に閾値電圧以上の電圧が掛かると、定電流生成ブロック回路112にドレイン電流を流す。カレントミラー回路に、デプレッション型NMOSトランジスタを用いることで、チャンネルが形成されている状態で起動するため、バイアス電流が0になる動作点で安定することがなくなる。

10

【0022】

また、差動増幅回路111は、バイアス電流を流すデプレッション型NMOSトランジスタ13及び14のソース電圧が等しくなるようにデプレッション型NMOSトランジスタ13のゲート端子に負帰還をかけている。従って、電源端子の電圧変化に伴い、デプレッション型NMOSトランジスタ13のソース電圧が上昇しバイアス電流が増加すると、差動増幅回路111によって負帰還が掛かり、デプレッション型NMOSトランジスタ13のゲート電圧を下げ、バイアス電流が減少する。つまり、差動増幅回路を用いたことにより、入力安定度を高く保つことができる。

【0023】

上述したように、本発明の定電流回路は、カレントミラー回路にデプレッション型NMOSトランジスタを用いたことで、バイアス電流が0になる動作点で安定することなく、確実に起動することが可能になる。従って、スタートアップ回路を必要としない。また、差動増幅回路111を用いたことにより、接続点211と接続点212の電位は同電位となるので、入力安定度を高く保つことができる。

20

【0024】

図4は、差動増幅回路111の具体的な構成例を示した定電流回路の回路図である。

図4の定電流回路は、定電流源ブロック回路112を構成するエンハンスメント型NMOSトランジスタ11、12及び抵抗15と、デプレッション型NMOSトランジスタ13及び14と、差動増幅回路111を構成するエンハンスメント型NMOSトランジスタ20及び21と、エンハンスメント型PMOSトランジスタ22及び23と、を備えている。

30

【0025】

定電流源ブロック回路112は、図2と同じ構成である。差動増幅回路111は、以下のように構成される。

【0026】

エンハンスメント型PMOSトランジスタ22は、ゲート端子がエンハンスメント型PMOSトランジスタ23のゲート端子に接続され、ドレイン端子がエンハンスメント型NMOSトランジスタ20のドレイン端子に接続される。エンハンスメント型PMOSトランジスタ23は、ドレイン端子とゲート端子がエンハンスメント型NMOSトランジスタ21のドレイン端子に接続される。エンハンスメント型NMOSトランジスタ20は、ゲート端子が接続点242に接続される。エンハンスメント型NMOSトランジスタ21は、ゲート端子が接続点243に接続される。エンハンスメント型NMOSトランジスタ20及び21は、ソース端子と基板が接地端子100に接続される。エンハンスメント型PMOSトランジスタ22及び23は、ソース端子と基板が電源端子101に接続される。

40

【0027】

接続点241は、差動増幅回路111の出力端子に対応している。接続点242は、差動増幅回路111の反転入力端子に対応している。接続点243は、差動増幅回路111の非反転入力端子212に対応している。エンハンスメント型NMOSトランジスタ20は非反転入力端子段トランジスタ、エンハンスメント型NMOSトランジスタ21は反転入力段トランジスタ、エンハンスメント型PMOSトランジスタ22及び23はカレント

50

ミラー回路である。

【 0 0 2 8 】

次に、図 4 の定電流回路の動作について説明する。

電源端子 1 0 1 の電位変動により、反転入力端子の接続点 2 4 2 の電位が上昇すると、エンハンスメント型 N M O S トランジスタ 2 0 は、ゲート端子ソース端子間電圧が上昇し、ドレイン電流が増加する。これにより、エンハンスメント型 N M O S トランジスタ 2 0 のドレイン端子と差動増幅回路の出力端子にあたる接続点 2 4 1 の電位が下がり、デプレッション型 N M O S トランジスタ 1 3 及び 1 4 のゲート電圧を下げる。つまり、デプレッション型 N M O S トランジスタ 1 3 及び 1 4 に負帰還がかかり、接続点 2 4 3 と接続点 2 4 2 の電位を同電位に保つことができる。

10

【 0 0 2 9 】

以上により、図 4 に示した差動増幅回路を備えたことにより、接続点 2 4 2 と接続点 2 4 3 の電位は同電位となり、入力安定度を高く保つことができる。また、デプレッション型 N M O S トランジスタをカレントミラー回路として用いたため、スタートアップ回路が無くとも、確実に起動することが可能となる。

【 0 0 3 0 】

図 5 は、差動増幅回路 1 1 1 の他の構成例を示した定電流回路の回路図である。

図 5 の定電流回路は、定電流源ブロック回路 1 1 2 を構成するエンハンスメント型 N M O S トランジスタ 1 1 、 1 2 及び抵抗 1 5 と、デプレッション型 N M O S トランジスタ 1 3 及び 1 4 と、差動増幅回路 1 1 1 を構成するエンハンスメント型 N M O S トランジスタ 2 0 、 2 1 及び 3 1 と、エンハンスメント型 P M O S トランジスタ 2 2 、 2 3 及び 3 2 と、を備えている。

20

【 0 0 3 1 】

定電流源ブロック回路 1 1 2 は、図 2 と同じ構成である。差動増幅回路 1 1 1 は、図 4 の差動増幅回路 1 1 1 にエンハンスメント型 N M O S トランジスタ 3 1 とエンハンスメント型 P M O S トランジスタ 3 2 のカスコード回路が追加されている。

【 0 0 3 2 】

エンハンスメント型 P M O S トランジスタ 3 2 は、エンハンスメント型 P M O S トランジスタ 2 2 のドレイン端子とエンハンスメント型 N M O S トランジスタ 2 0 のドレイン端子の間に設けられ、ゲート端子は P c h カスコード端子 1 0 3 に接続されている。エンハンスメント型 N M O S トランジスタ 3 1 は、エンハンスメント型 P M O S トランジスタ 2 3 のドレイン端子とエンハンスメント型 N M O S トランジスタ 2 1 ドレイン端子の間に設けられ、ゲート端子は N チャネルカスコード端子 1 0 4 に接続されている。P c h カスコード端子 1 0 3 には電源電位基準で一定電圧を印加され、N チャネルカスコード端子 1 0 4 には接地電位基準で一定電圧を印加される。

30

【 0 0 3 3 】

次に、図 5 の定電流回路の動作について説明する。

電源端子 1 0 1 の電位変動により、反転入力端子の接続点 2 4 2 の電位が上昇すると図 4 の定電流回路と同様の動作をするが、エンハンスメント型 P M O S トランジスタ 3 2 のカスコード回路によりエンハンスメント型 P M O S トランジスタ 2 2 のチャネル変調効果が抑えられ、エンハンスメント型 N M O S トランジスタ 3 1 のカスコード回路によりエンハンスメント型 N M O S トランジスタ 2 1 のチャネル変調効果が抑えられる。従って、差動増幅回路 1 1 1 のゲイン特性が向上され、図 4 の定電流回路よりも、入力安定度が改善される。

40

【 0 0 3 4 】

図 6 は、差動増幅回路 1 1 1 の他の構成例を示した定電流回路の回路図である。

図 6 の定電流回路は、定電流源ブロック回路 1 1 2 を構成するエンハンスメント型 N M O S トランジスタ 1 1 、 1 2 及び抵抗 1 5 と、デプレッション型 N M O S トランジスタ 1 3 及び 1 4 と、差動増幅回路 1 1 1 を構成するエンハンスメント型 N M O S トランジスタ 2 0 及び 2 1 と、エンハンスメント型 P M O S トランジスタ 2 2 及び 2 3 と、定電流源 1

50

13を備えている。

【0035】

図4の定電流回路との違いは、差動増幅回路111の入力段のエンハンスメント型NMOSTランジスタ20及び21のソース端子が定電流源113に接続された点である。定電流源113を用いたことにより、差動増幅回路111の消費電流値を制御させることが可能となる。

【0036】

図7は、差動増幅回路111の他の構成例を示した定電流回路の回路図である。

図7の定電流回路は、デプレッション型NMOSTランジスタ13及び14のドレイン端子が電源端子101と接続され、エンハンスメント型PMOSTランジスタ22及び23のソース端子が第二電源端子105に接続されている。

10

【0037】

差動増幅回路111の電源とバイアス電流を生成する回路は、デプレッション型NMOSTランジスタ13及び14のゲート端子ソース端子間電圧にデプレッション型NMOSTランジスタ13及び14の閾値電圧未満の電位が掛からない限り、電源を分けることも可能である。

【0038】

図7のように構成した定電流回路は、電源端子101に対して、第二電源端子105の電位を定電圧化することにより、入力安定度を向上することが可能となる。

【0039】

20

図8は、本発明の定電流回路を用いた基準電圧回路の一例を示す回路図である。図8の基準電圧回路は、図4の定電流回路を用いた回路を例に示している。なお、定電圧回路は他の例に示した回路であってもよい。

【0040】

図8の基準電圧回路は、定電流源ブロック回路112を構成するエンハンスメント型NMOSTランジスタ11、12及び抵抗15と、デプレッション型NMOSTランジスタ13及び14と、差動増幅回路111を構成するエンハンスメント型NMOSTランジスタ20及び21と、エンハンスメント型PMOSTランジスタ22及び23と、エンハンスメント型PMOSTランジスタ24と、抵抗16とダイオード40を備えている。エンハンスメント型PMOSTランジスタ24と、抵抗16及びダイオード40は、電圧発生回路を構成している。

30

【0041】

定電流源ブロック回路112は、図2と同じ構成である。差動増幅回路111は、図4と同じ構成である。

【0042】

エンハンスメント型PMOSTランジスタ23は、ゲート端子を接続点244に接続され、ドレイン端子は基準電圧出力端子106に接続され、ソース端子と基板は電源端子101に接続される。抵抗16は、一方の端子を基準電圧出力端子106に接続され、他方の端子をダイオード40のアノードに接続される。ダイオード40は、カソードは接地端子100に接続される。

40

【0043】

次に、図8の基準電圧回路の動作について説明する。

定電流回路の動作は、図4の説明と同様である。従って、差動増幅回路111により、接続点242と接続点243の電位は同電位となり、入力変動に対する安定性を高く保つことができる。また、カレントミラー回路にデプレッション型NMOSTランジスタ13及び14を用いたため、スタートアップ回路が無くとも、確実に起動することが可能となる。

【0044】

定電流回路のバイアス電流は、エンハンスメント型PMOSTランジスタ24を介して、抵抗16とダイオード40に流れる。ここで、抵抗15を抵抗16と同種の抵抗で構成

50

すると、抵抗の温度係数はキャンセルされる。従って、抵抗 16 の両端には、 $n k T / q$  に比例した正の温度係数を有する電圧が発生する。 $q$  は電子の電荷量、 $k$  はボルツマン定数、 $T$  は温度、 $n$  はプロセスによって定まる定数である。

【 0 0 4 5 】

一方で、ダイオード 40 の両端の電圧は概ね  $-2 \text{ mV}$  程度の負の温度係数を有する。ここで、抵抗 16 の両端の電圧の温度係数とダイオード 40 の両端の電圧の温度係数が相殺されるように、抵抗 15 及び抵抗 16 の抵抗比を設定することで、基準電圧出力端子 106 と接地端子 100 の両端からは、温度に依存しない基準電圧を得ることが可能である。

【符号の説明】

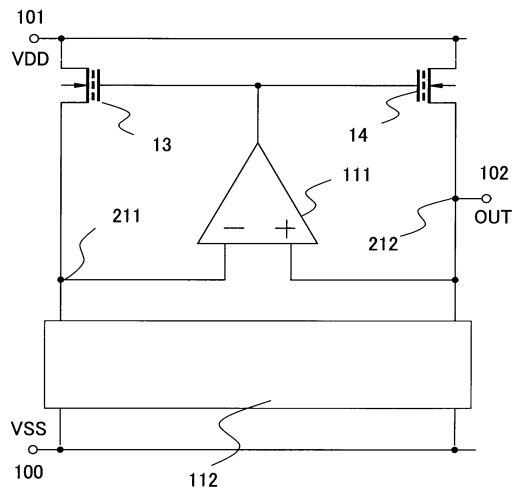
【 0 0 4 6 】

- 1 0 0 接地端子
- 1 0 1 電源端子
- 1 0 2 定電流出力端子
- 1 0 3 Pチャネルカスコード端子
- 1 0 4 Nチャネルカスコード端子
- 1 0 5 第二電源端子
- 1 0 6 基準電圧出力端子
- 1 1 1 差動増幅回路
- 1 1 2 定電流生成ブロック回路
- 1 1 3 定電流源

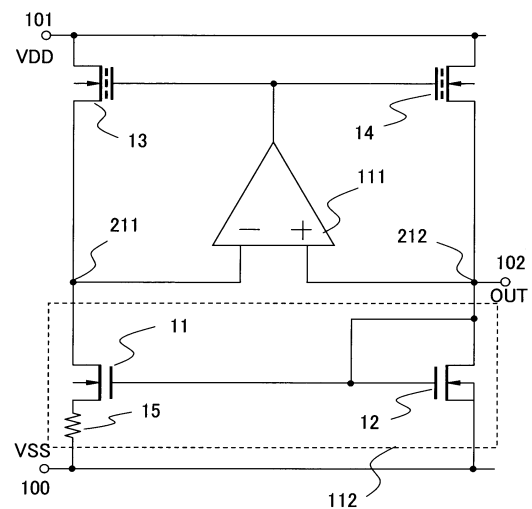
10

20

【図 1】

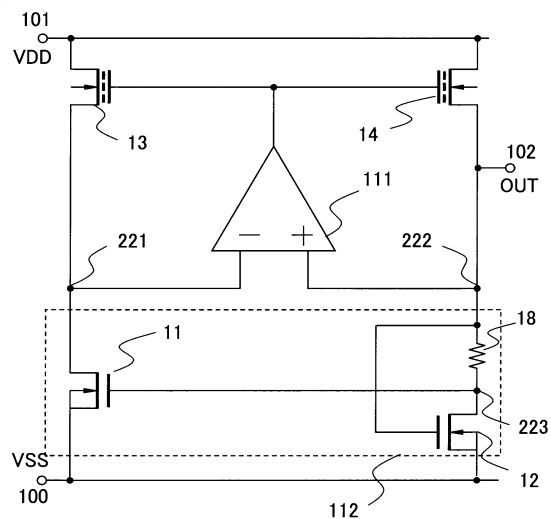


【図 2】

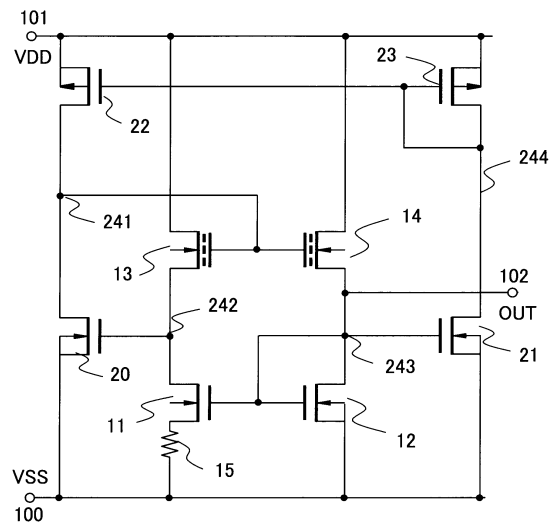




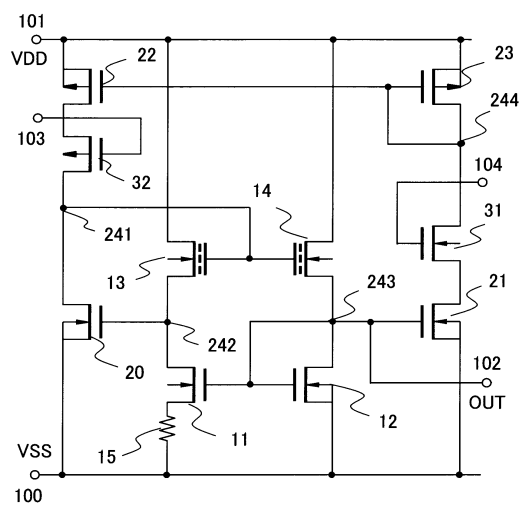
【図 3】



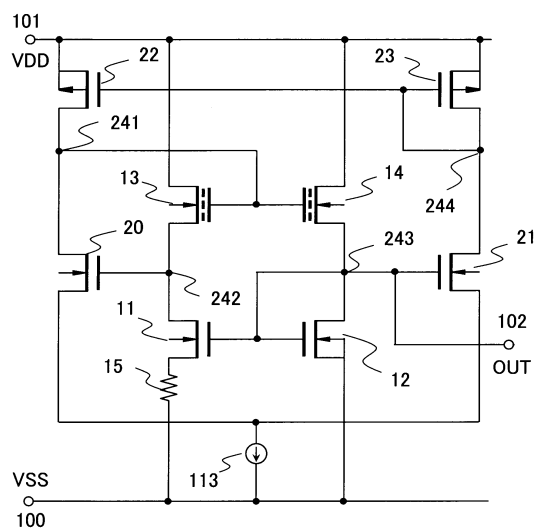
【図 4】



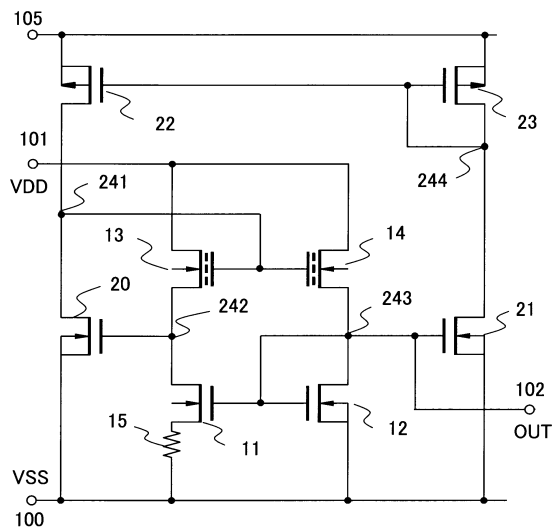
【図 5】



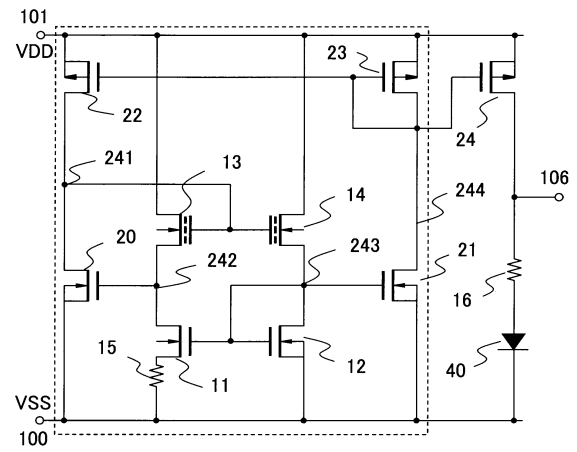
【図 6】



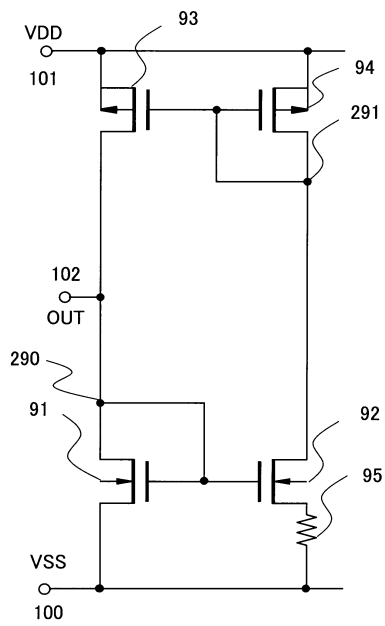
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(72)発明者 杉浦 正一

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内

(72)発明者 五十嵐 敦史

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内

審査官 松本 泰典

(56)参考文献 特開 2 0 0 7 - 1 4 0 7 9 9 ( J P , A )

特開 2 0 0 7 - 1 8 8 2 4 5 ( J P , A )

特開平 0 5 - 3 3 5 8 3 9 ( J P , A )

特開平 0 4 - 1 1 1 0 0 8 ( J P , A )

特開 2 0 1 0 - 1 5 2 5 1 0 ( J P , A )

特開平 0 5 - 2 0 4 4 8 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 5 F 3 / 2 6