(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0128022
(43) 공개일자 2023년09월01일

(51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) *H01L 29/10* (2006.01)
H01L 29/16 (2006.01) *H01L 29/66* (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 29/0696 (2013.01)
H01L 29/1045 (2013.01)
(21) 출원번호 10-2023-7023429
(22) 출원일자(국제) 2022년01월07일
심사청구일자 없음
(85) 번역문제출일자 2023년07월10일
(86) 국제출원번호 PCT/US2022/070083
(87) 국제공개번호 WO 2022/155630
국제공개일자 2022년07월21일
(30) 우선권주장
17/248,160 2021년01월12일 미국(US)

(71) 출원인
세미컨덕터 콤포넌츠 인더스트리즈 엘엘씨
미국 85250 아리조나 스카츠데일 엔. 피마 로드 5701
(72) 발명자
조 케빈
경기도 부천시 중동로 71번길 39 105-206 (우:14487)
이봉용
서울 중구 10길 동호로 30 (우: 04593)
(뒷면에 계속)
(74) 대리인
유미특허법인

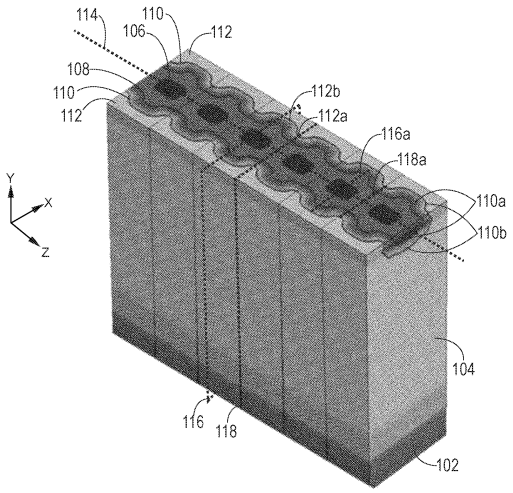
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **언듈레이팅 채널을 갖는 mosfet 디바이스**

(57) 요 약

언듈레이팅(undulating) 채널(110, 110a, 110b)을 포함하는 교번하는 p-웰(well) 폭(116a, 118a)을 갖는 SiC MOSFET 디바이스가 기술된다. 언듈레이팅 채널(110, 110a, 110b)은 온-저항(on-resistance), 트랜스컨덕턴스, 임계 전압, 및 채널 길이의 최적화를 가능하게 하는 다중 폭의 전류 경로를 제공한다. 다중 폭 p-웰 영역은 대응하는 다중 폭 접합 FET(JFET)(112a, 112b)를 추가로 정의한다. 다중 폭 JFET(112a, 112b)는 회로 단락 이벤트에 대한 응답을 개선할 수 있다. 높은 항복 전압은 제1 폭(112a)의 JFET에서의 높은 전계(electric field)를 제2 폭(112b)의 JFET 내로 분배함으로써 얻어진다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/1095 (2013.01)
H01L 29/1608 (2013.01)
H01L 29/66068 (2013.01)
H01L 29/66712 (2013.01)
H01L 29/7802 (2013.01)
(72) 발명자
박경석
부천시 원미구 도약로 149 (우: 14536)
최두진
경기도 김포시 유현로 51 (우: 10120)
니어 토마스
독일 81547 뮌헨 망팔스츠 2
김기민
서울 서초구 논현로 7번길 25 (우: 04593)

명 세 서

청구범위

청구항 1

탄화규소(SiC) 반도체 디바이스로서,

제1 전도성 유형의 기판(102);

상기 기판(102) 상에 배치된 상기 제1 전도성 유형의 드리프트 영역(104);

상기 드리프트 영역(104) 내에 있고 길이방향 축(114)을 따라 배치된 제2 전도성 유형의 채널 영역(402, 404);

상기 채널 영역(402, 404) 내에 배치된 상기 제1 전도성 유형의 소스 영역(108);

상기 채널 영역(402, 404)과 상기 드리프트 영역(104) 사이의 복수의 접합 전계 효과 트랜지스터(JFET) 영역(112a, 112b);

상기 길이방향 축(114)을 따라 그리고 상기 소스 영역(108), 상기 채널 영역(402, 404), 및 상기 복수의 JFET 영역(112a, 112b)의 적어도 일부 상에 배치된 게이트(306);

상기 채널 영역(402, 404)이 제1 폭을 갖는, 상기 길이방향 축(114)에 직교하는 제1 단면 구역; 및

상기 채널 영역(402, 404)이 상기 제1 폭보다 작은 제2 폭을 갖는, 상기 길이방향 축(114)에 직교하는 제2 단면 구역을 포함하는, SiC 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 채널 영역(402, 404)은 상기 소스 영역(108)과 상기 채널 영역의 저농도로 도핑된 채널 영역(402) 사이에 고농도로 도핑된 채널 영역(404)을 포함하고, 상기 저농도로 도핑된 채널 영역(402)은 상기 고농도로 도핑된 채널 영역(404)과 상기 복수의 JFET 영역(112a, 112b)의 JFET 영역 사이에 있는, SiC 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 복수의 JFET 영역(112a, 112b)은,

제1 JFET 폭을 갖는 상기 제1 단면 구역 내의 제1 JFET 영역(112b); 및

상기 제1 JFET 폭보다 더 넓은 제2 JFET 폭을 갖는 상기 제2 단면 구역 내의 제2 JFET 영역(112a)을 포함하는, SiC 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 채널 영역(402, 404)은 상기 길이방향 축(114)의 방향을 따라 언듈레이팅(undulating) 채널 에지(110)를 포함하는, SiC 반도체 디바이스.

청구항 5

제1항에 있어서,

상기 소스 영역(108) 내에 그리고 상기 길이방향 축(114)을 따라 배치된 상기 제2 전도성 유형의 복수의 바디 접촉 영역(106)을 포함하는, SiC 반도체 디바이스.

청구항 6

탄화규소(SiC) 반도체 디바이스로서,

제1 전도성 유형의 기판(102);

상기 기판(102) 상에 배치된 상기 제1 전도성 유형의 드리프트 영역(104);

상기 드리프트 영역(104) 내의 제2 전도성 유형의 채널 영역(402, 404)으로서, 언듈레이팅 채널 에지를 갖는, 채널 영역(402, 404);

상기 채널 영역(402, 404)에 배치된 소스 영역(108);

상기 채널 영역(402, 404)과 상기 드리프트 영역(104) 사이에 배치된, 복수의 JFET 영역(112a, 112b)이 상기 언듈레이팅 채널 에지의 언듈레이션에 대응하여 교번하는 폭을 갖는, 복수의 접합 전계 효과 트랜지스터(JFET) 영역; 및

상기 소스 영역(108), 상기 채널 영역(402, 404), 및 상기 복수의 JFET 영역(112a, 112b)의 적어도 일부 상에 배치된 적어도 하나의 게이트를 포함하는, SiC 반도체 디바이스.

청구항 7

제6항에 있어서, 상기 SiC 반도체 디바이스의 동작 동안, 상기 복수의 JFET 영역(112a)의 JFET 영역의 전계(electric field)는 상기 복수의 JFET 영역(112b)의 인접한 JFET 영역 내로 분배되는, SiC 반도체 디바이스.

청구항 8

SiC 반도체 디바이스를 제조하는 방법으로서,

기판(102) 상에 드리프트 영역(104)을 제공하는 단계;

상기 드리프트 영역(104)에 그리고 길이방향 축(114)을 따라 채널 영역(402, 404)을 주입하는 단계 - 상기 채널 영역(402, 404)은 상기 길이방향 축(114)에 대해 교번하는 웰(well) 폭을 갖음 - ;

상기 채널 영역(402, 404)에 소스 영역(108)을 주입하는 단계; 및

상기 소스 영역(108)의 적어도 일부, 상기 채널 영역(402, 404)의 적어도 일부, 및 상기 채널 영역(402, 404)과 상기 드리프트 영역(104) 사이에 배치된 복수의 접합 전계 효과 트랜지스터(JFET) 영역(112a, 112b) 상에 적어도 하나의 게이트를 제공하는 단계 - 상기 복수의 JFET 영역(112a, 112b)은 상기 교번하는 웰 폭에 대응하여 교번하는 교번 JFET 폭을 갖음 - 를 포함하는, 방법.

청구항 9

제8항에 있어서, 상기 채널 영역(402, 404)을 주입하는 단계는,

상기 드리프트 영역(104) 상에 마스크를 제공하는 단계 - 상기 마스크는 상기 채널 영역(402, 404)의 교번하는 웰 폭에 대응하는 개구부를 갖음 - ; 및

상기 마스크를 사용하여 제1 도핑 농도로 상기 드리프트 영역(104)에 도펀트를 주입하는 단계를 포함하는, 방법.

청구항 10

제9항에 있어서,

상기 채널 영역(402, 404)의 일부를 노출시키기 위해 상기 마스크의 개구부를 따라 스페이서를 제공하는 단계; 및 및

제2 도핑 농도를 제공하기 위해 상기 채널 영역(402, 404)의 일부에 추가적인 도펀트를 주입하는 단계를 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 본 설명은 탄화규소(SiC) 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함하는 수직 MOSFET에 관한 것이다.

배 경 기 술

[0002] 탄화규소(SiC) 금속-산화물-반도체 전계 효과 트랜지스터(MOSFET)는, 이러한 SiC MOSFET이 손상 없이 동작할 것으로 예상되는 전압 및/또는 전류 범위를 지칭하는, 안전 동작 구역(safe operating area; SOA)에 대해 특성지어질 수 있다. 예를 들어, 유사한 전압 레이팅의 규소 전력 디바이스와 비교하여, 더 작은 사이즈, 더 낮은 전력 손실, 및 더 빠른 스위칭 속도와 같은 유리한 특징을 갖는 SiC MOSFET을 만드는 것이 가능하다.

[0003] 그러나, 이러한 특징을 완전히 이용하는 것은 어려울 수 있다. 예를 들어, 스위칭 애플리케이션에 사용되는 SiC MOSFET은 낮은 온-저항(on-resistance)과 높은 트랜스컨덕턴스의 이점을 누릴 수 있지만, 이러한 파라미터에 대한 SiC MOSFET을 최적화는 SiC MOSFET의 대응하는 SOA를 줄일 수 있다. 다른 예에서, 작은 사이즈의 SiC MOSFET은 회로 단락 이벤트에 응답하여 견고성을 감소시킬 수도 있다.

발명의 내용

[0004] 하나의 일반적인 양태에 따르면, 탄화규소(SiC) 반도체 디바이스는 제1 전도성 유형의 기판, 기판 상에 배치된 제1 전도성 유형의 드리프트 영역, 드리프트 영역 내에 있고 길이방향 축을 따라 배치된 제2 전도성 유형의 채널 영역, 및 채널 영역 내에 배치된 제1 전도성 유형의 소스 영역을 포함한다. SiC 반도체 디바이스는 채널 영역과 드리프트 영역 사이의 복수의 접합 전계 효과 트랜지스터(JFET) 영역, 및 길이방향 축을 따라 그리고 소스 영역, 채널 영역, 및 복수의 JFET 영역의 적어도 일부 상에 배치된 게이트를 추가로 포함한다. SiC 반도체 디바이스는, 채널 영역이 제1 폭을 갖는, 길이방향 축에 직교하는 제1 단면 구역, 및 채널 영역이 제1 폭보다 작은 제2 폭을 갖는, 길이방향 축에 직교하는 제2 단면 구역을 포함한다.

[0005] 또 다른 일반적인 양태에 따르면, 탄화규소(SiC) 반도체 디바이스는 제1 전도성 유형의 기판, 기판 상에 배치된 제1 전도성 유형의 드리프트 영역, 및 드리프트 영역 내의 제2 전도성 유형의 채널 영역으로서, 언듈레이팅(undulating) 채널 에지를 갖는, 채널 영역을 포함한다. SiC 반도체 디바이스는, 채널 영역에 배치된 소스 영역, 채널 영역과 드리프트 영역 사이에 배치된 복수의 접합 전계 효과 트랜지스터(JFET) 영역으로서, 언듈레이팅 채널 에지의 언듈레이션에 대응하여 교번하는 폭을 갖는, 복수의 JFET 영역, 및 소스 영역, 채널 영역, 및 복수의 JFET 영역의 적어도 일부 상에 배치된 적어도 하나의 게이트를 포함한다.

[0006] 또 다른 일반적인 양태에 따르면, SiC 반도체 디바이스를 제조하는 방법은 기판 상에 드리프트 영역을 제공하는 단계, 및 드리프트 영역에 그리고 길이방향 축을 따라 채널 영역을 주입하는 단계로서, 채널 영역은 길이방향 축에 대해 교번하는 웰(well)(예컨대, p-웰) 폭을 갖는, 단계를 포함한다. 방법은, 채널 영역에 소스 영역을 주입하는 단계, 및 소스 영역의 적어도 일부, 채널 영역의 적어도 일부, 및 채널 영역과 드리프트 영역 사이에 배치된 복수의 접합 전계 효과 트랜지스터(JFET) 영역 상에 적어도 하나의 게이트를 제공하는 단계로서, 복수의 JFET 영역은 교번하는 웰(예를 들어, p-웰) 폭에 대응하여 교번하는, 교번 JFET 폭을 갖는, 단계를 추가로 포함한다.

[0007] 하나 이상의 구현의 세부 사항은 첨부 도면 및 아래의 설명에서 기술된다. 다른 특징은 설명, 도면, 및 청구범위로부터 명백해질 것이다.

도면의 간단한 설명

[0008] 도 1은 언듈레이팅 채널 에지를 갖는 MOSFET 디바이스의 등각 측면도이다.

도 2는 도 1의 MOSFET 디바이스의 구현의 평면도이다.

도 3은 도 1의 MOSFET 디바이스의 2개의 간략화된 단면도를 예시한다.

도 4는 도 1의 MOSFET 디바이스의 보다 상세한 단면도이다.

도 5는 도 1의 MOSFET 디바이스의 보다 상세한 예시적인 구현의 평면도이다.

도 6a 내지 도 6d는 도 1의 MOSFET 디바이스를 제조하기 위한 예시적인 프로세스 흐름을 예시한다.

도 7은 제1 전류 밀도 분포를 포함하는 도 1의 MOSFET 디바이스의 구현의 등각도를 예시한다.

도 8은 제2 전류 밀도 분포를 포함하는 도 17의 MOSFET 디바이스의 구현의 등각도를 예시한다.

도 9는 도 7의 예의 전류-전압 특성을 예시하는 그래프이다.

도 10은 도 8의 예의 전류-전압 특성을 예시하는 그래프이다.

도 11은 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 임계 전압의 예시적인 변화를 예시하는 그래프이다.

도 12는 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 비 온-저항(specific on-resistance)의 예시적인 변화를 예시하는 그래프이다.

도 13은 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 회로 단락 전류 I_{sc}의 예시적인 변화를 예시하는 그래프이다.

도 14는 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 항복 전압(BV)의 예시적인 변화를 예시하는 그래프이다.

도 15는 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 대한 다수의 프로세싱 단계 및 그 변형에서의 예시적인 도핑 프로파일을 예시한다.

도 16은 언듈레이팅 채널에서 델타 $L_{pull-back}$ 에 대한 도 15의 예시적인 값을 사용하여, 도 1의 구조체의 예시적인 구현에서 결과적인 도핑 농도를 예시하는 그래프이다.

도 17은 도 1의 예시적인 구현에 대한 임계 전압의 함수로서 비 온-저항을 예시하는 그래프이다.

도 18은 도 1의 예시적인 구현에 대한 온도의 함수로서 임계 전압을 예시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 개시내용은 SiC MOSFET 디바이스의 임계 전압 V_{TH} 또는 채널 길이에서 대응하는 트레이드 오프(trade-off)를 요구하지 않으면서(또는 최소화하면서) 원하는 온-저항 및 트랜스컨덕턴스 값을 갖는 SiC MOSFET 디바이스를 기술한다. 위에서 언급한 바와 같이, 낮은 온-저항 및 높은 트랜스컨덕턴스는 SiC MOSFET에 바람직한 특성일 수 있지만, 종래의 디바이스에서 이는 SOA 감소와 연관된다. 원하는 SOA를 유지하기 위해 V_{TH} 를 증가시키거나/시키고 SiC MOSFET의 채널 길이를 증가시킬 수 있지만, 그렇게 하면 전형적으로 원하는 온-저항 및 트랜스컨덕턴스 값이 상쇄된다.

[0010] 대조적으로, 본 개시내용은 언듈레이팅 또는 진동 채널을 갖는 SiC MOSFET 디바이스를 포함하는, 다수의, 예를 들어, 교번하는 p-웰 폭을 갖는 SiC MOSFET 디바이스를 기술한다. 결과적인 채널은 다수의 폭의 전류 경로를 제공하며, 이는 한편으로는 온-저항과 트랜스컨덕턴스, 다른 한편으로는 V_{TH} 와 채널 길이 사이에서 이전에 요구되었던 트레이드 오프를 우회한다. 그 결과, 예를 들어, SiC MOSFET 디바이스의 SOA는, 낮은 온-저항 및 높은 트랜스컨덕턴스뿐만 아니라 작은 사이즈 및 높은 스위칭 속도를 제공하면서, 유지되거나 개선될 수 있다.

[0011] 다중 폭 p-웰 영역은 대응하는 다중 폭, 예를 들어, 교번하는 접합 FET(JFET)를 추가로 정의한다. 다중 폭 JFET는 회로 단락 이벤트에 대한 응답(예를 들어, 회로 단락 전류 제어)을 개선할 수 있다. 높은 항복 전압은 제1 폭의 JFET에 높은 전계(electric field)를 제2 폭의 JFET로 분배함으로써 얻어진다.

[0012] 기술된 SiC MOSFET 디바이스는 저렴하고, 처리량이 높은 기술을 사용하여 제조될 수 있다. 이러한 기술은 원하는 특성을 얻을 수 있도록 미세 조정되거나 다른 방식으로 최적화될 수 있다. 특히, 제1 p-웰 폭과 제2 p-웰 폭 사이의 델타는 원하는 특성을 얻기 위해 조정될 수 있다. 예를 들어, 이 델타는 V_{TH}, 온-저항 및 항복 전압에 정비례하고 동시에 회로 단락 전류에는 반비례할 수 있다.

[0013] 따라서, 기술된 SiC MOSFET 디바이스는 견고성 및 신뢰성을 제공하는 동시에, 소형 폼 팩터 및 감소된 시스템 비용으로 전력 스위칭 동안 우수한 성능 특성 또한 제공한다. 이러한 특징은, 예를 들어, 전기 모터 제어를 포함하는 많은 애플리케이션에서 매우 바람직하다.

[0014] 도 1은 언듈레이팅 채널을 갖는 MOSFET 디바이스의 등각 측면도이다. 도 1에 도시된 바와 같이, 기판(102)은 그 위에 배치되는 드리프트 영역(104)을 가질 수 있다. 예를 들어, 기판(102) 상에 형성된 에피택셜(epitaxial) 층의 적어도 일부는 드리프트 영역을 제공하며, 이는, 예를 들어 저농도로 도핑된(low-doped) n-형일 수 있다. 드리프트 영역(104)은 원하는 MOSFET 동작 특성을 지원하도록 선택된 두께 및 도핑 값을 가질 수 있다.

[0015] 고농도로 도핑된(heavily-doped) p-영역(106)은 저농도로 도핑된 p-영역(110)에 형성된다. 소스 영역(108)은, 예를 들어, 도 3 및 도 4의 단면도에서 더 쉽게 알 수 있는 바와 같이, 고농도로 도핑된 p-영역(106) 및 저농도로 도핑된 p-영역(110) 내에 배치된다. 소스 영역(108)은, 예를 들어, 고농도로 도핑된 n-형 영역일 수 있다.

[0016] 따라서, 통상적으로 수직형 MOSFET 구조체로 지칭되는 MOSFET 구조체가 형성되고, 여기서 전류는 소스 영역(108)으로부터, 고농도로 도핑된 p-영역(106), 저농도로 도핑된 p-영역(110) 및 저농도로 도핑된 p-영역(110)에 인접하게 형성된 접합 전계 효과 트랜지스터(JFET) 영역(112)을 통해 흐른다. MOSFET 전류는 드리프트 영역(104)을 통해 기판(102)으로 진행되며, 기판에는 전형적으로 드레인 단자(도 1에 도시되지 않음)가 제공된다. 또한, 전류 흐름을 제어하기 위해 다양한 유형의 게이트 또는 게이트 구조체(및 연관된 게이트 접촉부)가 사용될 수 있으며, 여기서 이러한 게이트 구조체 및 접촉부의 예는, 예를 들어, 도 3, 도 4, 및 도 5와 관련하여 아래에 제공되지만, 본원에 설명된 다양한 특징을 보다 더 잘 예시하기 위해(예를 들어, 모호함을 피하기 위해) 도 1 및 도 2에는 도시되지 않는다.

[0017] 저농도로 도핑된 p-영역(110)이 그 내부에 형성된 고농도로 도핑된 p-영역(106)을 가짐에 따라, 그들 사이에 에지 또는 경계(110a)가 존재하며, 저농도로 도핑된 영역(110)의 외부 에지(110b)와 경계(110a) 사이의 거리 또는 폭을 정의한다. 이러한 에지(110a, 110b)는 설명을 위해 도 3에서 간략화된 형태로 예시되어 있지만, 실제로 그리고 반도체 프로세싱의 성질로 인해, 이러한 에지는 도 1 및 도 4의 보다 상세한 예에서와 같이 개별적으로 정의되지 않는다는 것이 이해될 수 있을 것이다.

[0018] 따라서, 도 3 및 도 4 와 관련하여 아래에 도시되고 기술된 바와 같이, 채널 영역은 소스 영역(108)과 저농도로 도핑된 영역(110)의 경계(110a) 사이의 고농도로 도핑된 p-영역(106)의 일부에 의해 정의되는 고농도로 도핑된 전류 채널 부분뿐만 아니라 에지(110a, 110b) 사이에 정의되는 저농도로 도핑된 전류 채널 부분을 포함할 수 있다. 고농도로 도핑된 p-영역(106)은 소스 영역(들)(108)내에서 접근 가능한 바디 접촉부를 제공할 수 있으며, 도 6a 내지 도 6d와 관련하여 기술된 바와 같이, 다수의 프로세싱 단계로 제공될 수 있다.

[0019] 따라서, 도 1에서, 수직형 MOSFET 구조체에서의 전류 흐름의 수직 방향은, 포함된 범례에 도시된 y축의 방향으로 발생하는 것으로 이해된다. 또한, y축에 수직인 x축을 따라 측방향이 예시되어 있고, z축은 고농도로 도핑된 p-영역(들)(106)을 통과하는 길이방향 축(114)을 따른 방향을 정의한다. 단면(116)은 길이방향 축(114)에 직교하는 x-y 단면으로서 취해지고, 도 3 및 도 4에 보다 상세히 예시되어 있으며, 단면(118)은 길이방향 축(114)에 직교하는 x-y 단면으로서 취해지고, 도 3에 보다 상세히 예시되어 있다.

[0020] 도 1에서, 채널 에지(110b)는 x축을 따라 그리고 길이방향 축(114)에 수직으로 다양한 거리로 연장된다. 따라서, 채널 에지(110)는 언듈레이팅 또는 진동 채널 에지를 제공하는 것으로 기술될 수 있다. 본원에 기술된 바와 같이, 언듈레이팅 채널 에지(110b)는, 예를 들어, 직선 또는 스트라이프 채널 에지에 비해, 추가적인 전류 경로를 제공한다. 추가적인 전류 경로는 SOA를 희생하지 않고 낮은 비 온-저항(R_{sp})을 가능하게 한다.

[0021] 특히, 언듈레이팅 채널 에지(110)는 넓은 JFET 영역(112a) 및 좁은 JFET 영역(112b)을 갖는 JFET 영역(112)을 초래한다. 즉, 예를 들어, 도 2에서 더 쉽게 알 수 있는 바와 같이, 도 1의 MOSFET 디바이스는 도 1의 구조체의 적어도 2개의 인접한 구현을 사용하여 형성될 수 있으며, 그에 따라 그들 사이에 형성된 n-형 영역이 드리프트 영역(104)에 n-형 JFET 영역을 효과적으로 제공하고, 주변 p-형 영역이 이러한 JFET 영역에 대한 게이팅 기능을 제공한다. 높은 전류 흐름의 기간 동안, 특히 회로 단락 이벤트 동안 갑자기 높은 전류 흐름이 발생하는 경우, 이러한 JFET 영역의 이중 게이팅 기능은 도 1의 MOSFET 디바이스를 달리 손상시킬 수 있는 대응하는 회로 단락 전류를 제한, 방해, 또는 방지하는 핀치-오프 효과(pinch-off effect)를 야기한다. 또한, 교번하는 넓은 JFET 영역(112a) 및 좁은 JFET 영역(112b)은 원하는 낮은 비 온-저항(R_{sp})을 희생하지 않고 이러한 회로 단락 전류 제한 효과를 제공한다.

[0022] 채널 에지(110b)의 언듈레이팅 성질에 대응하고 그에 의해 정의되는 교번하는 넓은 JFET 영역(112a) 및 좁은 JFET 영역(112b)은 추가적인 이점을 또한 제공한다. 따라서, 복수의 접합 전계 효과 트랜지스터(JFET) 영역(112a, 112b)이 채널 영역과 드리프트 영역 사이에 배치되고, 복수의 JFET 영역(112a, 112b)은 언듈레이팅 채널 에지(110b)의 언듈레이션에 대응하여 교번하는 폭을 갖는다. 그 결과, 예를 들어, 넓은 JFET 영역(112a)의 전계가 좁은 JFET 영역(112b) 내로 분배되어 디바이스 항복 전압이 증가될 수 있다.

[0023] 본 설명에서, 넓은/좁은이라는 상대적인 용어는, 넓은 JFET 영역(112a)이 좁은 JFET 영역(112b)보다 더 넓도록, 서로에 대한 것으로 이해되어야 한다. 예를 들어, 파라미터($L_{pull-back}$)의 접촉부에서, 넓은 JFET 영역(112a)과

좁은 JFET 영역(112b) 사이의 차이(델타)의 범위의 예는 아래에 제공된다.

[0024] 도 2는 도 1의 구조체의 2개의 인접한 구현의 평면도를 예시하고, 따라서 도 1의 참조 번호(1xx 계열에서)는 그의 대응하는(하부) 평면도와 관련하여 반복된다. 2xx 계열에서의 참조 번호는 제2 구현에서의 동일하거나 유사한 양태에 대응한다. 결과적으로, 도 2는 고농도로 도핑된 p-영역(206), 저농도로 도핑된 p-영역(210), JFET 영역(212)(넓은 JFET 영역(212a) 및 좁은 JFET 영역(212b)을 포함함), 및 길이방향 축(214)(소스 영역(108) 및 대응하는 소스 영역(208)은 간략화를 위해 도 2에 예시되지 않음)을 예시한다.

[0025] 따라서, 도 2는 넓은 JFET 영역(112a) 및 좁은 JFET 영역이 인접한 MOSFET 디바이스의 2개의 인접한 저농도로 도핑된 p-영역들(110, 210) 사이에 정의된 것을 예시한다. 또한, 도 1에 도시된 바와 같이, 에지-대-에지 거리(116a)는 단면(116)(좁은 JFET 영역(112b)에 인접함)의 x 방향을 따라 저농도로 도핑된 p-영역(110)의 외부 에지들 사이에 정의될 수 있고, 에지-대-에지 거리(118a)는 단면(118)(넓은 JFET 영역(112a)에 인접함)의 x 방향을 따라 저농도로 도핑된 p-영역(110)의 외부 에지들 사이에 정의될 수 있다.

[0026] 도 3은 도 1의 단면(116, 118)에 대응하는 도 1의 MOSFET 디바이스의 2개의 간략화된 단면도를 예시한다. 도 3에서, 드레인 단자(302)뿐만 아니라 게이트 산화물(304) 및 게이트(306)를 예시한다. 접촉 라인(308)도 단면에서 예시되어 있다. 게이트 구조체(304, 306) 및 접촉 라인(308)의 예시적인 구현의 추가 세부 사항은, 예를 들어 도 5와 관련하여, 아래에 제공된다.

[0027] 도 3은 단면(116)에서의 채널 에지(110b)의 거리(에지-대-에지 폭)(116a)가 단면(118)에서의 채널 에지(110b)의 거리(에지-대-에지 폭)(118a)보다 크다는 것을 예시한다. 이에 대응하여, 길이방향 축(114)으로부터의 거리(중심-대-에지 폭)(116b)는 길이방향 축(114)으로부터의 거리(중심-대-에지 폭)(118b)보다 더 크다.

[0028] 특히, $L_{pull-back}$ 으로 표시된 거리는 거리(116b)와 거리(118b) 사이의 델타를 나타낸다. 이에 대응하여, $L_{pull-back}$ 은 도 3에 도시된 바와 같이, 그리고 도 2를 참조하여, 넓은 JFET 영역(112a)의 절반-폭과 좁은 JFET 영역(112b)의 절반-폭 사이의 델타로 지칭될 수 있다.

[0029] 도 4는 도 1의 MOSFET 디바이스의 단면도(116)의 보다 상세한 예시이다. 도 4는 경계(110a)와 채널 에지(110b) 사이에 저농도로 도핑된 채널 영역(402)이 존재하고, 경계(110a)와 소스 영역(108) 사이에 고농도로 도핑된 채널 영역(404)이 존재하는 것을 예시한다. 위에서 언급한 바와 같이, 도 4는 또한 저농도로 도핑된 채널 영역(402), 고농도로 도핑된 채널 영역(404), 및 그들 사이의 경계(110a)의 확산 성질을 예시한다.

[0030] 도 5는 도 1의 MOSFET 디바이스의 보다 상세한 예시적인 구현의 평면도이다. 도 5는, 도 3 및 도 4와 관련하여 이미 예시되고 기술된 바와 같이, 게이트(306)가 길이방향 축(114)을 따라 배치되고 그들 사이에 게이트 접촉부(308)가 배치된 것을 예시한다. 유전체(502)는 게이트(306)와 접촉부(308) 사이에 배치된다.

[0031] 도 5는 넓은 JFET 영역(112a) 및 좁은 JFET 영역(112b)을 추가로 예시한다. 또한 이미 기술된 바와 같이, 이들 값들 사이의 델타는 예시된 $L_{pull-back}$ 파라미터로서 참조될 수 있다. 추가적인 특성 파라미터는 넓은 JFET 영역(112a)의 길이방향 JFET 길이(504) 및 좁은 JFET 영역(112b)의 길이방향 JFET 길이(506)를 포함한다.

[0032] 도 6a 내지 도 6d는 도 1의 MOSFET 디바이스를 제조하기 위한 예시적인 프로세스 흐름을 예시한다. 도 6a에서, 예시된 프로세스 흐름은, 예를 들어, 이온 주입(IIP)을 사용하여 p-웰 채널 주입(602)을 수행하는 것으로 시작한다. 도시된 바와 같이, 위에서 기술되고 예시된 바와 같이, 원하는 $L_{pull-back}$을 포함하여 결과적인 p-주입 웰(602b)에 대한 원하는 파라미터에 대응하는 개구부를 갖는 하드 마스크 산화물(602a)이 사용될 수 있다.

[0033] 도 6b에서, 포켓 주입은 스페이서(예컨대, 폴리실리콘 스페이서(604a))(604)를 사용하여 수행된다. 그 결과, 더 낮은 농도로 도핑된 p-웰 영역(602b)에 비해 더 높은 농도로 도핑된 p-웰 영역(604b)이 형성된다. p-웰 영역(들)(604b)은 포켓 주입 영역으로 지칭될 수 있고, 도 4의 저농도로 도핑된 채널 영역(402)(p-영역(602b)에 의해 제공됨)에 비해 도 4의 고농도로 도핑된 채널 영역(404)에 기여한다.

[0034] 도 6c에서, 주입은 영역(602b, 604b)과 반대의 전도성 유형, 예를 들어, n-형 전도성의 소스 영역(606a(606))에 대해 수행된다. 업데이트된 스페이서(606b)는 소스 영역(606a)의 원하는 사이즈 및 형상을 얻는 데 사용될 수 있다.

[0035] 도 6d에서, p-형 아일랜드 영역(608a)이 형성되고, 하드 마스크 산화물(602a) 및 스페이서(들)(604a/606b)가 제거되어 도 1의 최종 구조체(608)가 얻어진다. 위에서 언급한 바와 같이, p-형 아일랜드 영역(608a)은 도 1의 고농도로 도핑된 p-영역(들)(106) 내에 바디 접촉부를 제공할 수 있다.

[0036] 도 7은 제1 전류 밀도 분포를 포함하는 도 1의 MOSFET 디바이스의 구현의 등각도를 예시한다. 도 8은 제2 전류 밀도 분포를 포함하는 도 17의 MOSFET 디바이스의 구현의 등각도를 예시한다. 도 7 및 도 8 둘 모두에서, V_{GS}는 일정하게 유지되지만(예를 들어, 18V에서), 도 7에서 V_{DS}는 낮은 값(예를 들어, 1V 이하에서)인 반면, 도 8에서 V_{DS}는 상대적으로 더 높은 전압(예를 들어, 10 내지 80V 이상, 예컨대, 65V)에 있다.

[0037] 도 7은 공핍 영역(702)을 예시하고, 도 8은 공핍 영역(802)을 예시한다. 도시된 바와 같이, 도 7의 공핍 영역(702)에 비해 도 8의 공핍 영역(802)은 상대적으로 높은 V_{DS} 값으로 인해 상당히 확장되어 있다. 그 결과, 공핍 영역(802)은 영역(804)까지 확장되어 영역(804)에서의 전류 흐름을 방지한다. 따라서, 위에서 언급한 바와 같이, 공핍 영역(802)의 확장으로 인해 전류가 영역(804)에서 흐를 수 없기 때문에, 회로 단락 전류 보호가 제공된다. 다시 말해, 영역(804)은 회로 단락 항복 전에 전류 포화에 도달하는 좁은 JFET 영역에 대응한다.

[0038] 도 9는 도 7의 예의 전류-전압 특성을 예시하는 그래프이다. 도 10은 도 8의 예의 전류-전압 특성을 예시하는 그래프이다.

[0039] 도 9에서, 라인(902)은 도 7의 구현을 위한 전류-전압 특성을 나타내며, 드레인 전류는, 예를 들어 1V 미만과 같이, V_{DS}의 낮고, 작은 전압 범위에 걸쳐 변화한다. 라인(904)은 도 1, 도 7 및 도 8의 언듈레이팅 채널과 비교하여 직선 또는 균일한 채널을 갖는 비교 디바이스에 대해 유사한 유형의 전류-전압 특성을 제공한다.

[0040] 도시된 바와 같이, 전류/전압 관계에 의해 정의된 결과적인 R_{DS-ON} 특성은, 도 7의 구현에 대해 R_{DS-ON}의 값(906)을 제공하고, 이는 비교 디바이스의 값보다 낮다.

[0041] 한편, 도 10에서, 라인(1002)은 도 8의 구현에 대응하고, 라인(1004)은 위에서 언급한 비교 디바이스에 대응한다. 도시된 바와 같이, 공핍 영역(802)이 영역(804)으로 확장된 결과, 라인(1002)의 전류는 기준 디바이스보다 더 빠르고 훨씬 더 낮은 값의 V_{DS} 에서 포화된다.

[0042] 도 11은 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 임계 전압의 예시적인 변화를 예시하는 그래프이다. 도 11은 $L_{pull-back}$의 증가가 임계 전압의 증가에 대응하는 것을 예시한다.

[0043] 도 12는 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 비 온-저항의 예시적인 변화를 예시하는 그래프이다. 도 12는 $L_{pull-back}$의 증가가 R_{DS-ON}의 증가에 대응하는 것을 예시한다.

[0044] 도 13은 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 회로 단락 전류 I_{sc}의 예시적인 변화를 예시하는 그래프이다. 도 13은 $L_{pull-back}$의 증가가 회로 단락 전류 I_{sc}의 감소에 대응하는 것을 나타낸다.

[0045] 도 14는 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 따른 항복 전압(BV)의 예시적인 변화를 예시하는 그래프이다. 도 14는 $L_{pull-back}$의 증가가 안정적인 항복 전압에 대응하는 것을 예시하는데, 그렇지 않으면 항복 이벤트를 야기할 수 있는 넓은 JFET 영역의 높은 전계가 인접한 좁은 JFET 영역으로 분배될 수 있기 때문이다.

[0046] 도 15는 도 1의 예시적인 구현의 언듈레이팅 채널에서 델타 $L_{pull-back}$의 범위에 대한 다수의 프로세싱 단계 및 그 변형에서의 예시적인 도핑 프로파일을 예시한다. 특히, 도 15는 도 6a 및 도 6b의 프로세싱 단계(602, 604)의 예를, 3개의 상이한, 증가하는 $L_{pull-back}$의 값에 대해 예시한다.

[0047] $L_{pull-back}$(1500a)의 제1 값에서, 영역(1502 및 1504)은 도펀트 농도의 정도를 나타낸다. 예를 들어, 주입된 p-형 도펀트(예를 들어, 알루미늄(Al) 도펀트)는 좁은 JFET 영역에 인접한 영역에서 예시된 농도의 정도를 나타낸다. 예를 들어, 영역(1502)에서의 도펀트 농도는 하드 마스크 산화물(602a)로부터의 주입된 도펀트의 산란 및 반사의 결과로 발생할 수 있다.

[0048] (1500a)로부터 증가된 $L_{pull-back}$ (1500b)의 제2 값에서, 영역(1506 및 1508)에서의 증가된 도핑 농도의 이러한 효과가 증가된다. (1500b)로부터 증가된 $L_{pull-back}$(1500c)의 제3 값에서, 영역(1510 및 1512)에서의 증가된 도핑 농도의 이러한 효과가 더욱 증가된다.

[0049] 따라서, 일반적으로, $L_{pull-back}$의 증가된 값 또는 확장은 표시된 영역에서 도핑 농도의 증가를 초래한다. 이러한 증가된 도핑 농도는, 도 4의 고농도로 도핑된 채널 영역(404)과 같이 위에서 논의된 고농도로 도핑된 채널 영역을 증가시키며, 위에서 기술한 바와 같이 도 11 내지 도 14에 각각 도시된 $L_{pull-back}$과 V_{th}, R_{DSon}, I_{sc}와 BV 사이의 특성 관계와 일치한다.

[0050] 도 16은 언듈레이팅 채널에서 델타 $L_{pull-back}$ 에 대한 도 15의 예시적인 값(1500a, 1500b, 1500c)을 사용하여, 도 1의 구조체의 예시적인 구현에서 결과적인 도핑 농도를 예시하는 그래프이다. 도 16은 도 15에 예시된 절단 평면을 가로질러 취해진 것이며, $L_{pull-back}$의 가장 높은 값(1500c)에 대한 고농도로 도핑된 채널 영역 내의 도핑 농도의 상대적인 증가를 보여준다.

[0051] 도 17은 도 1의 예시적인 구현에 대한 임계 전압의 함수로서 비 온-저항을 예시하는 그래프이다. 도 17에서, 라인(1702)은 도 1의 구현에 대한 R_{Spon}의 값을 예시하고, 라인(1704)은 동시에 언듈레이팅 채널이 아닌 직선 채널을 갖는 비교 디바이스에 대한 R_{Spon}의 값을 예시한다. 도시된 바와 같이, 라인(1702)은 도 1의 구현에 대한 임계 전압의 범위에 걸쳐 R_{Spon} 값이 더 낮은 것을 나타낸다.

[0052] 도 18은 도 1의 예시적인 구현에 대한 온도의 함수로서 임계 전압을 예시하는 그래프이다. 도시된 바와 같이, 도 1의 구현에 대응하는 라인(1802)은 도 17의 비교 디바이스에 대한 라인(1804)과 일치한다. 따라서, 도 18은 도 1의 구현이 온도 성능의 감소를 겪지 않는 것을 예시한다.

[0053] 다양한 예시적인 구현에서, 탄화규소(SiC) 반도체 디바이스는 제1전도성 유형의 기판, 기판 상에 배치된 제1 전도성 유형의 드리프트 영역, 및 드리프트 내에 있고 길이방향 축을 따라 배치된 제2 전도성 유형의 채널 영역을 포함한다. SiC 반도체 디바이스는 채널 영역 내에 배치된 제1 전도성 유형의 소스 영역, 채널 영역과 드리프트 영역 사이의 복수의 접합 전계 효과 트랜지스터(JFET) 영역, 길이방향 축을 따라 그리고 소스 영역, 채널 영역, 및 복수의 JFET 영역의 적어도 일부 상에 배치된 게이트를 포함한다. SiC 반도체 디바이스는, 채널 영역이 제1 폭을 갖는, 길이방향 축에 직교하는 제1 단면 구역, 및 채널 영역이 제1 폭보다 작은 제2 폭을 갖는, 길이방향 축에 직교하는 제2 단면 구역을 포함한다.

[0054] 다양한 예시적인 구현에서, SiC 반도체 디바이스에서, 채널 영역은 소스 영역과 채널 영역의 저농도로 도핑된 채널 영역 사이에 고농도로 도핑된 채널 영역을 포함하고, 저농도로 도핑된 채널 영역은 고농도로 도핑된 채널 영역과 복수의 JFET 영역의 JFET 영역 사이에 있다. 추가적인 또는 대안적인 구현에서, 복수의 JFET 영역은 제1 JFET 폭을 갖는 제1 단면 구역 내의 제1 JFET 영역 및 제1 JFET 폭보다 더 넓은 제2 JFET 폭을 갖는 제2 단면 구역 내의 제2 JFET 영역을 포함한다. SiC 반도체 디바이스의 동작 동안, 제2 JFET 영역의 전계는 제1 JFET 영역 내로 분배될 수 있다. 채널 영역은 길이방향 축의 방향을 따라 언듈레이팅 채널 에지를 포함할 수 있다. 제2 전도성 유형의 복수의 바디 접촉 영역은 소스 영역 내에 그리고 길이방향 축을 따라 배치될 수 있다. SiC 반도체 디바이스의 제1 폭과 제2 폭 사이의 델타는 적어도 0.5 미크론일 수 있다. SiC 반도체 디바이스는 적어도 하나의 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함할 수 있으며, 기판이 배치되는 MOSFET의 드레인 단자를 포함할 수 있다.

[0055] 다른 예시적인 구현에서, 탄화규소(SiC) 반도체 디바이스는 제1 전도성 유형의 기판, 기판 상에 배치된 제1 전도성 유형의 드리프트 영역, 및 드리프트 영역 내의 제2 전도성 유형의 채널 영역으로서, 언듈레이팅 채널 에지를 갖는 채널 영역을 포함할 수 있다. SiC 반도체 디바이스는 채널 영역에 배치된 소스 영역, 및 채널 영역과 드리프트 영역 사이에 배치된 복수의 접합 전계 효과 트랜지스터(JFET) 영역으로서, 언듈레이팅 채널 에지의 언듈레이션에 대응하여 교번하는 폭을 갖는 복수의 JFET 영역을 포함할 수 있다. 적어도 하나의 게이트는 소스 영역, 채널 영역, 및 복수의 JFET 영역의 적어도 일부 상에 배치될 수 있다.

[0056] 다양한 예시적인 구현에서, 채널 영역은 소스 영역과 채널 영역의 저농도로 도핑된 채널 영역 사이에 고농도로 도핑된 채널 영역을 포함할 수 있고, 저농도로 도핑된 채널 영역은 고농도로 도핑된 채널 영역과 복수의 JFET 영역의 JFET 영역 사이에 있을 수 있다. SiC 반도체 디바이스의 동작 동안, 복수의 JFET 영역의 JFET 영역의 전계는 복수의 JFET 영역의 인접한 JFET 영역 내로 분배될 수 있다. 복수의 JFET 영역의 교번하는 폭 중 인접한 것들 사이의 델타는 적어도 0.5 미크론일 수 있다. SiC 반도체 디바이스는 적어도 하나의 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함할 수 있으며, 기판이 배치되는 MOSFET의 드레인 단자를 포함할 수 있다.

[0057] 다른 예시적인 구현에서, SiC 반도체 디바이스를 제조하는 방법은 기판 상에 드리프트 영역을 제공하는 단계, 및 드리프트 영역에 그리고 길이방향 축을 따라 채널 영역을 주입하는 단계로서, 채널 영역은 길이방향 축에 대해 교번하는 웰 폭을 갖는, 단계를 포함할 수 있다. 방법은 채널 영역에 소스 영역을 주입하는 단계, 및 소스 영역의 적어도 일부, 채널 영역의 적어도 일부, 및 채널 영역과 드리프트 영역 사이에 배치된 복수의 접합 전계 효과 트랜지스터(JFET) 영역 상에 적어도 하나의 게이트를 제공하는 단계로서, 복수의 JFET 영역은 교번하는 웰 폭에 대응하여 교번하는, 교번 JFET 폭을 갖는, 단계를 포함할 수 있다.

[0058] 예시적인 구현에서, 채널 영역을 주입하는 단계는 드리프트 영역 상에 마스크를 제공하는 단계로서, 마스크가 채널 영역의 교번하는 웰 폭에 대응하는 개구부를 갖는, 단계, 및 마스크를 사용하여 제1 도핑 농도로 드리프트 영역에 도펀트를 주입하는 단계를 포함할 수 있다. 방법은 채널 영역의 일부를 노출시키기 위해 마스크의 개구부를 따라 스페이서를 제공하는 단계, 및 제2 도핑 농도를 제공하기 위해 채널 영역의 일부에 추가적인 도펀트를 주입하는 단계를 포함할 수 있다. 방법은 인접한 폭이 적어도 0.5 미크론만큼 상이한 교번하는 폭을 갖는 마스크 개구부를 제공하는 단계를 포함할 수 있다. SiC 반도체 디바이스는 적어도 하나의 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 포함할 수 있으며, 방법은 MOSFET의 드레인 단자 상에 기판을 제공하는 단계를 포함할 수 있다. 방법은 소스 영역 내에 그리고 길이방향 축을 따라 바디 접촉 영역을 주입하는 단계를 포함할 수 있다. 교번하는 웰 폭은 제1 채널 폭 및 제1 채널 폭보다 큰 제2 채널 폭을 포함할 수 있고, 바디 접촉 영역을 주입하는 단계는 채널 영역 내 및 제2 채널 폭 내에 바디 접촉 영역을 주입하는 단계를 포함할 수 있다.

[0059] 전술한 설명에서, 층, 영역, 기판, 또는 컴포넌트와 같은 요소가 또 다른 요소 상에 존재하거나, 그에 연결되거나, 그에 전기적으로 연결되거나, 그에 결합되거나, 그에 전기적으로 결합되는 것으로 지칭되는 경우, 이는 다른 요소의 바로 위에, 그에 접속 또는 연결될 수 있거나, 하나 이상의 개재하는 요소가 존재할 수 있다는 것으로 이해될 것이다. 대조적으로, 요소가 또 다른 요소 또는 층의 바로 위에, 그에 바로 연결, 또는 그에 바로 결합되어 있다고 지칭될 때, 개재 요소들 또는 층은 존재하지 않는다. 상세한 설명 전반에 걸쳐서, 바로 위에, 바로 연결됨, 또는 바로 결합됨이라는 용어가 사용되지 않을 수 있지만, 바로 위에 존재하는, 바로 연결된, 또는 바로 결합된 것으로 도시된 요소가 이러한 것으로 간주될 수 있다. 만약 존재한다면, 본 출원의 청구범위는 명세서에 기술되거나 도면에 도시된 예시적인 관계를 열거하도록 보정될 수 있다.

[0060] 명세서 및 청구범위에서 사용되는 바와 같이, 단수 형태는, 문맥의 관점에서 특정 경우를 명확하게 지시하지 않는 한, 복수 형태를 포함할 수 있다. 공간적으로 상대적인 용어(예를 들어, 위로, 위, 상부, 아래에, 밑에, 아래(below), 하부 등)은 도면에 도시되어 있는 배향에 더하여 사용 또는 작동 중인 디바이스의 상이한 배향을 포괄하는 것으로 의도된다. 일부 구현에서, 위 및 아래의 상대적인 용어는 각각 수직 위 및 수직 아래를 포함할 수 있다. 일부 구현에서, 인접하다는 용어는 측방향으로 인접하거나 수평으로 인접한 것을 포함할 수 있다.

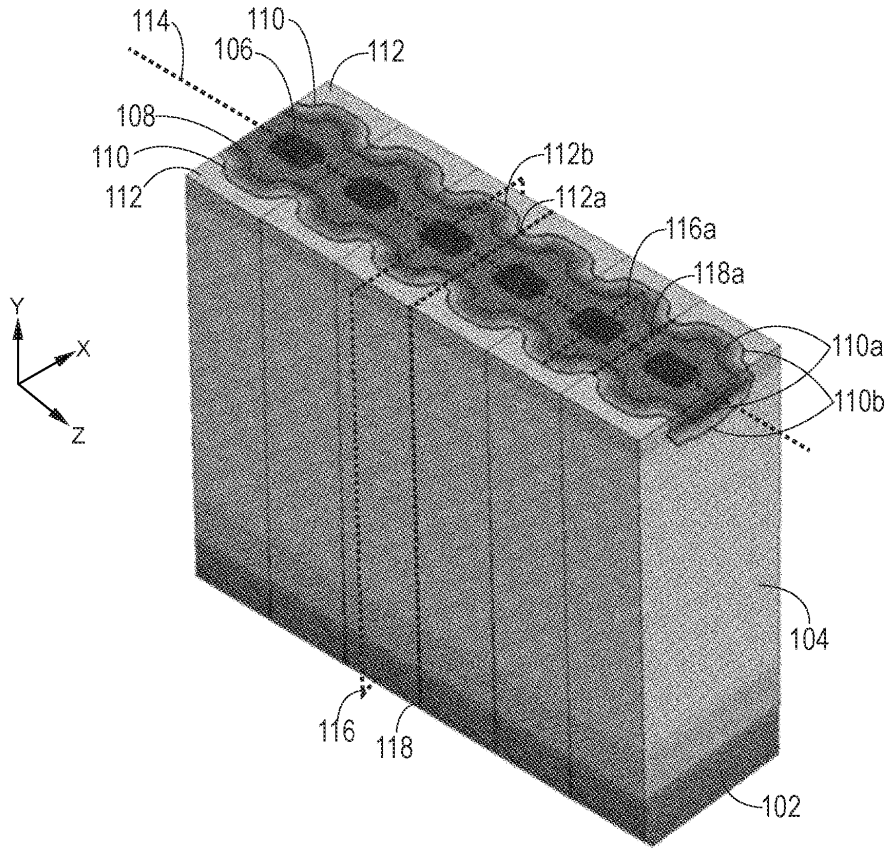
[0061] 일부 구현은 다양한 반도체 프로세싱 및/또는 패키징 기술을 사용해서 구현될 수 있다. 일부 구현은, 예를 들어, 규소(Si), 갈륨 비화물(GaAs), 갈륨 질화물(GaN), 탄화규소(SiC) 등을 포함하지만 이로 제한되지는 않는 반도체 기판과 관련된 다양한 유형의 반도체 가공 기법을 사용하여 구현될 수 있다.

[0062] 기술된 구현의 특정 특징이 본원에 기술된 바와 같이 예시되었지만, 이제 통상의 기술자에게는 많은 수정, 치환, 변형 및 균등물이 발생할 것이다. 따라서, 첨부된 청구범위는 구현의 범위 내에 속하는 모든 이러한 수정 및 변경을 포함하도록 의도된다는 것이 이해되어야 한다. 이는 이들이 제한이 아닌 예시로서 제시된 것이며, 형태 및 세부 사항에 있어서 다양한 변경이 이루어질 수 있음을 이해해야 한다. 본원에 기술된 장치 및/또는 방법의 임의의 부분은 상호 배타적인 조합을 제외하면 임의의 조합으로 조합될 수 있다. 본원에 기술된 구현은 기술된 상이한 구현의 기능, 컴포넌트 및/또는 특징의 다양한 조합 및/또는 하위 조합을 포함할 수 있다.

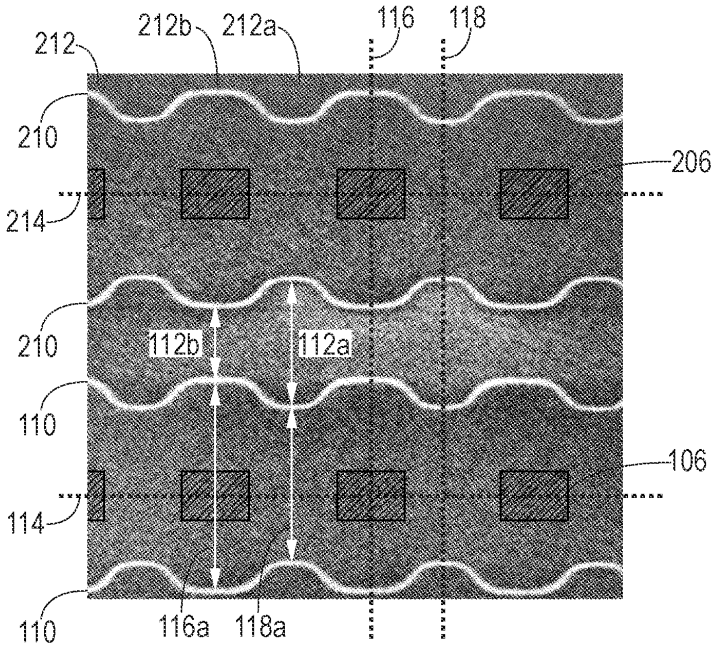
[0063] 기술된 구현의 특정 특징이 본원에 기술된 바와 같이 예시되었지만, 이제 통상의 기술자에게는 많은 수정, 치환, 변형 및 균등물이 발생할 것이다. 따라서, 첨부된 청구범위는 실시예의 범위 내에 속하는 모든 이러한 수정 및 변경을 포함하도록 의도된다는 것이 이해되어야 한다.

도면

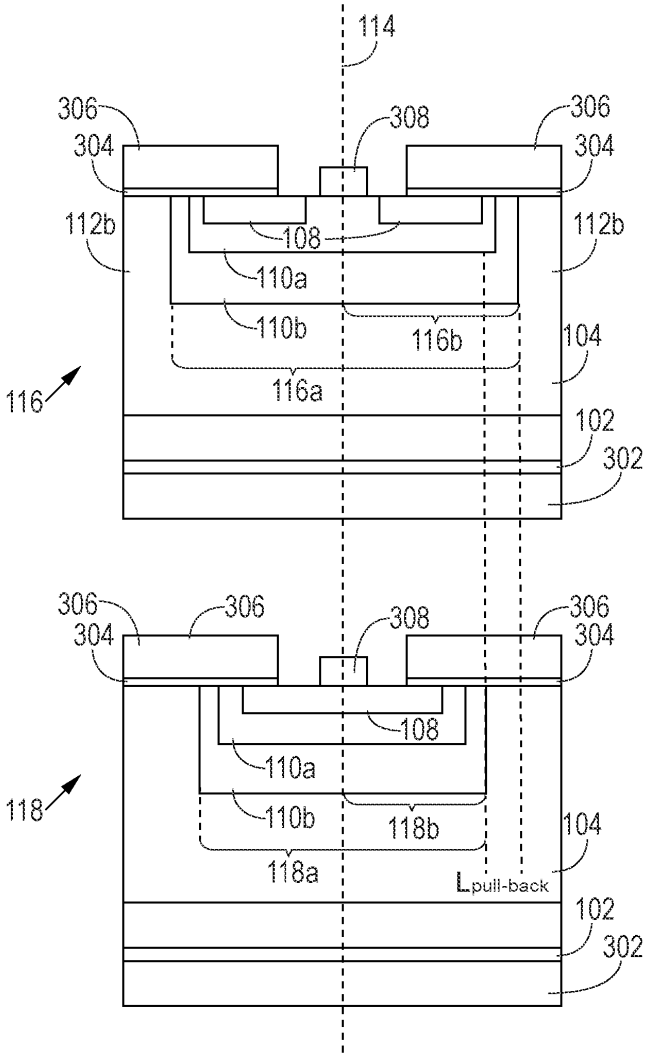
도면1


114
110
106
112
108
110
112
112b
112a
116a
118a
110a
110b
Y
X
Z
104
116
118
102

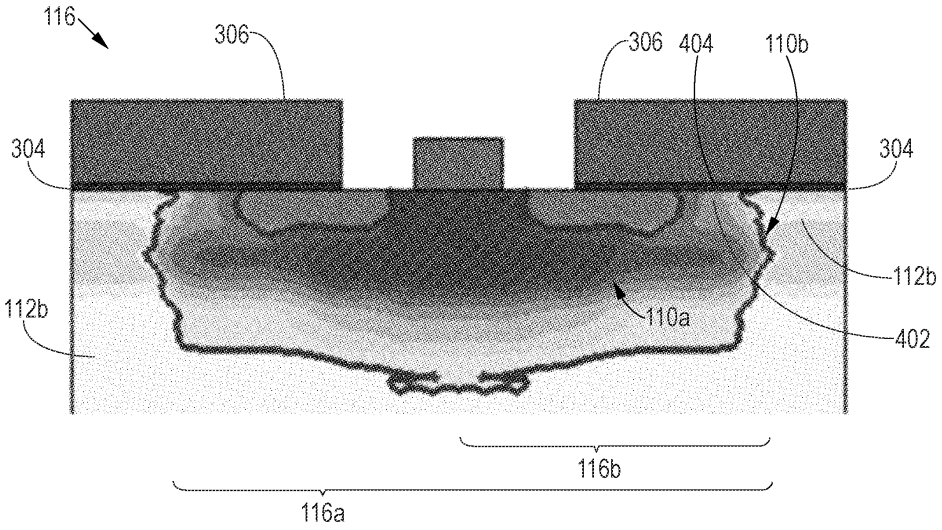
도면2


212
212b
212a
116
118
210
206
214
210
112b
112a
110
106
114
110
116a
118a

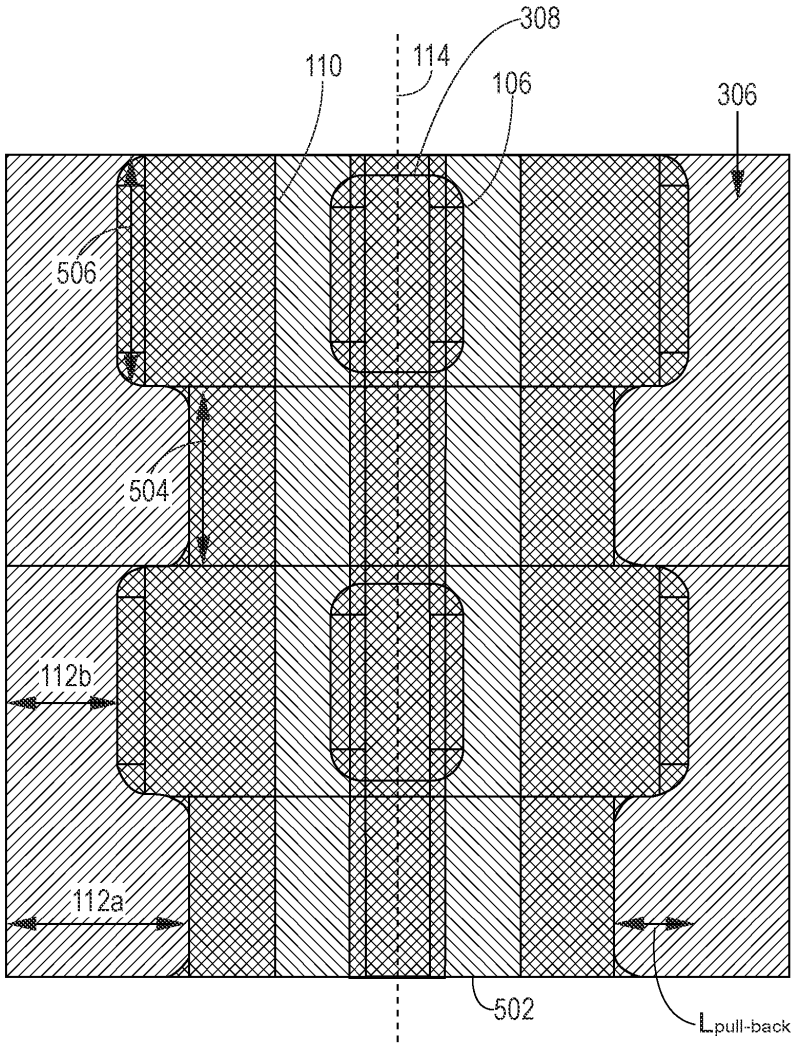
도면3


114
306
304
308
306
304
112b
108
112b
110a
110b
116b
104
116
116a
102
302
306
306
304
308
306
304
108
110a
118
110b
118b
104
118a
Lpull-back
102
302

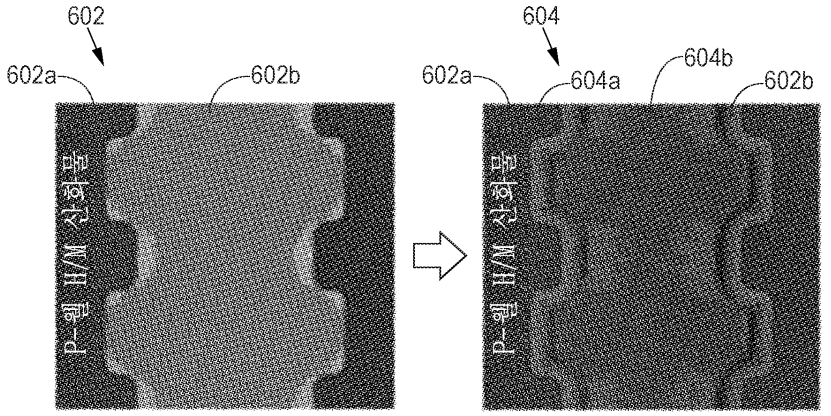
도면4


116
306
306
404
110b
304
304
112b
110a
112b
402
116b
116a

도면5


308
110
114
106
306
506
504
112b
112a
502
Lpull-back

도면6

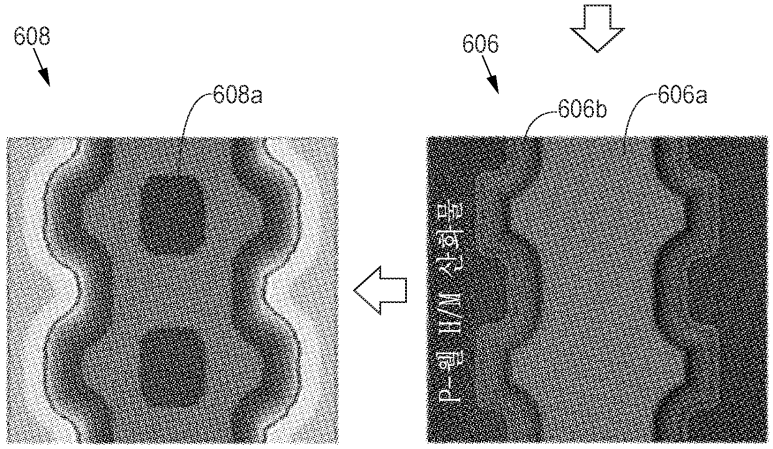


P-웰 주입을 수행함

도 6a

폴리 스페이서를 사용하여 포켓 주입을 수행함

도 6b



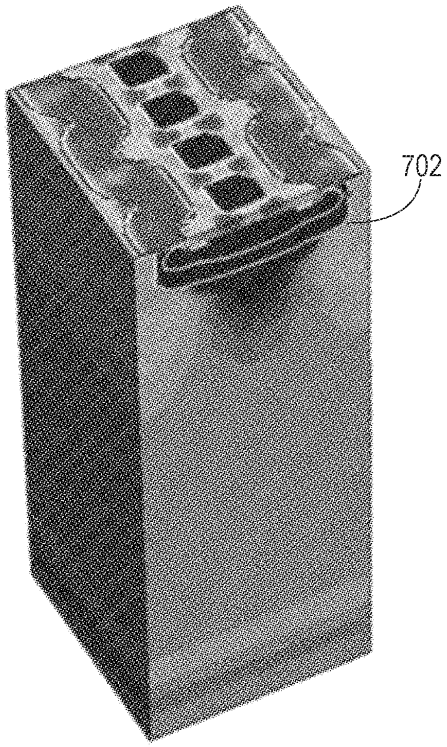
아일랜드 주입을 수행하고 마스크/스페이서를 제거함

도 6d

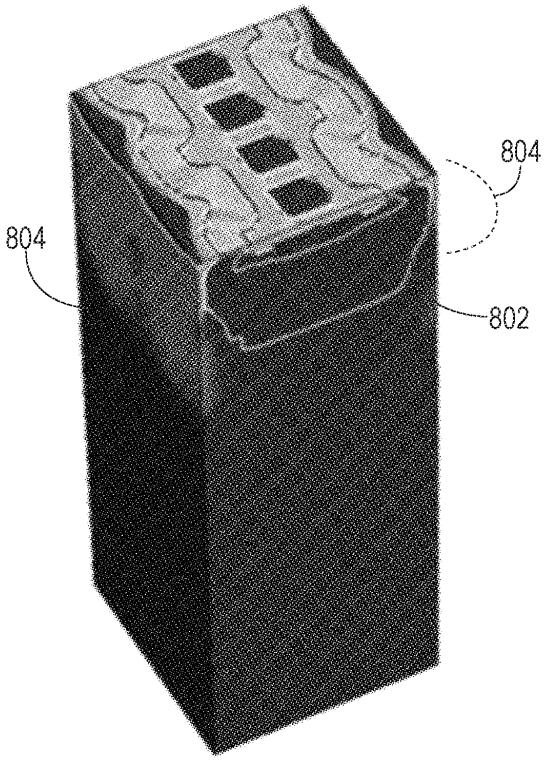
소스 영역 주입을 수행함

도 6c

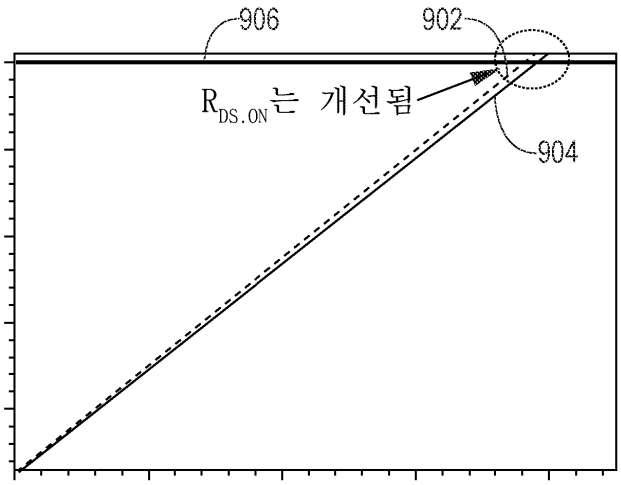
도면7



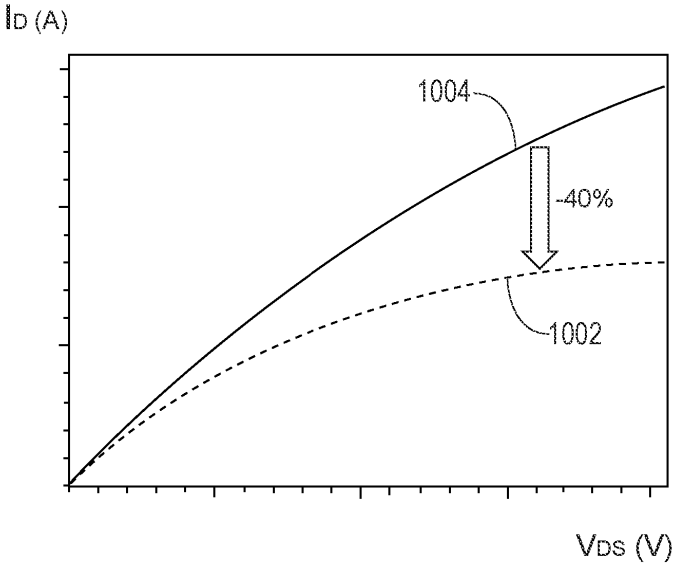
도면8



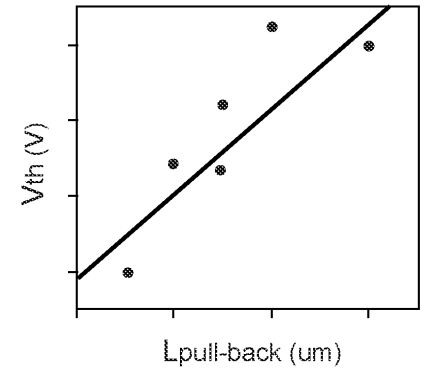
도면9



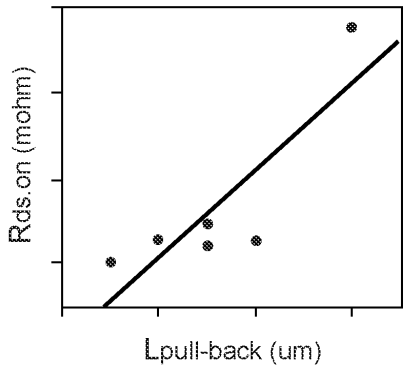
도면10



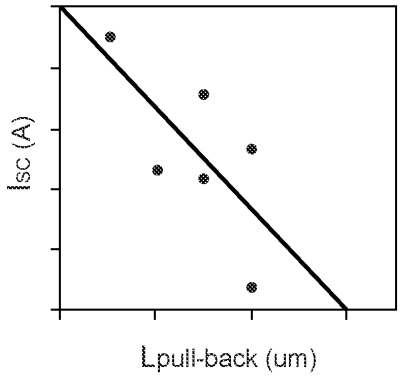
도면11



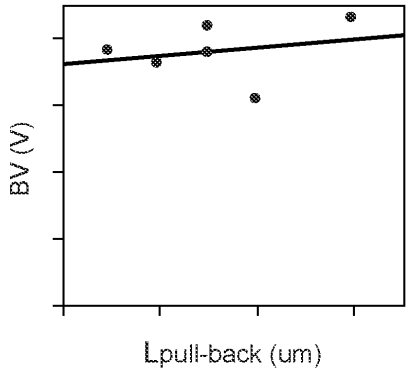
도면12



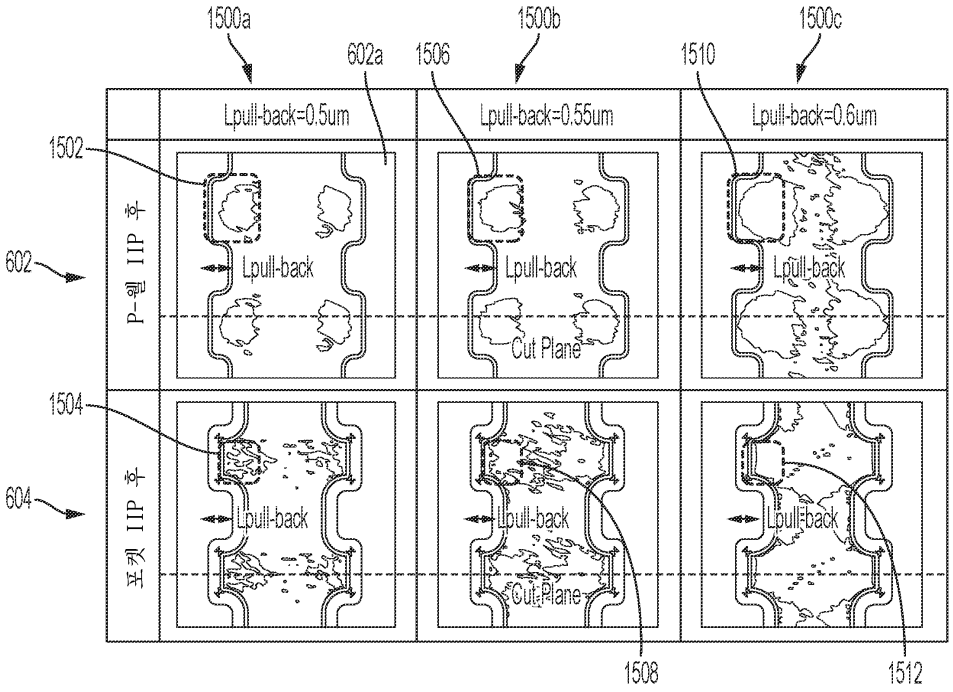
도면13



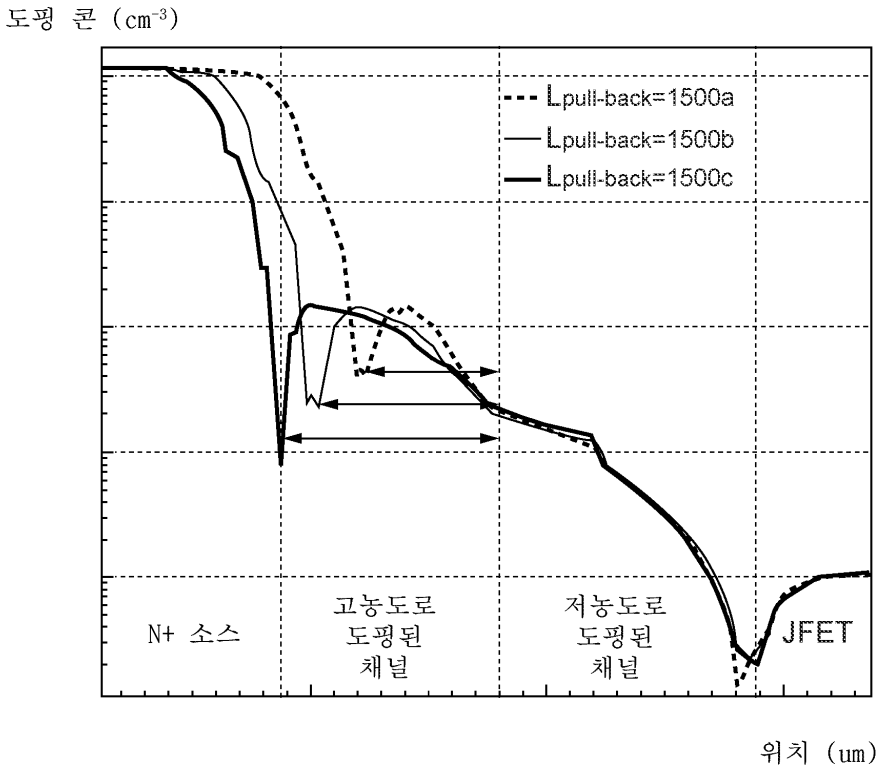
도면14


BV (V)
Lpull-back (um)

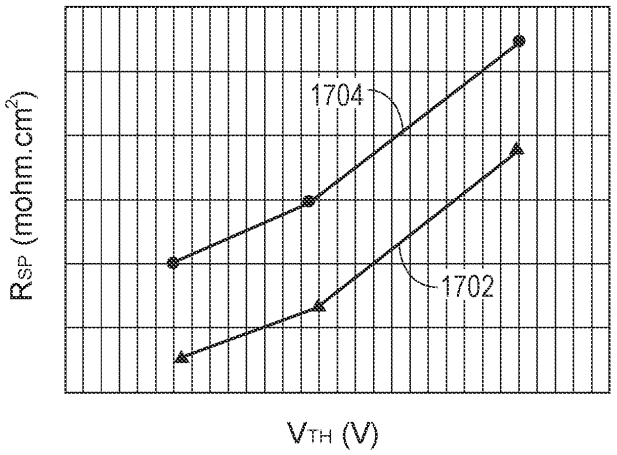
도면15


1500a
602a
1506
1500b
1510
1500c
Lpull-back=0.5um
Lpull-back=0.55um
Lpull-back=0.6um
1502
602
P-웰 IIP 후
Lpull-back
Cut Plane
1504
604
포켓 IIP 후
1508
1512

도면16


도핑 콘 (cm-3)
Lpull-back=1500a
Lpull-back=1500b
Lpull-back=1500c
N+ 소스
고농도로 도핑된 채널
저농도로 도핑된 채널
JFET
위치 (um)

도면17


1704
1702
RSP (mohm.cm2)
VTH (V)

도면18

