

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4921723号  
(P4921723)

(45) 発行日 平成24年4月25日(2012.4.25)

(24) 登録日 平成24年2月10日(2012.2.10)

(51) Int.Cl.

F I

HO 1 L 21/3213 (2006.01)	HO 1 L 21/88	C
HO 1 L 27/115 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78	3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10	4 8 1
HO 1 L 29/792 (2006.01)		

請求項の数 3 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2005-119864 (P2005-119864)  
 (22) 出願日 平成17年4月18日(2005.4.18)  
 (65) 公開番号 特開2006-303022 (P2006-303022A)  
 (43) 公開日 平成18年11月2日(2006.11.2)  
 審査請求日 平成20年2月19日(2008.2.19)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100084618  
 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

下地領域上にマスク膜を形成する工程と、  
前記マスク膜をパターンニングして、第1のマスクパターン及び第1のピッチで配置された複数のダミーラインパターンを、別の位置に同時に形成する工程と、  
前記ダミーラインパターンを覆う被覆膜を形成する工程と、  
前記被覆膜を異方性エッチングして、前記ダミーラインパターンの両長側面に形成された所定マスク部分を有する第2のマスクパターンを形成する工程と、  
 前記ダミーラインパターンを除去する工程と、  
 前記第1のマスクパターン及び前記所定マスク部分をマスクとして用いて前記下地領域をエッチングする工程と、  
 を備え、  
前記第1のマスクパターンは、第1のマスクパターン上に形成された保護マスクパターンをマスクとして用いて形成され、  
前記ダミーラインパターンを除去する工程において、前記第1のマスクパターンは前記保護マスクパターンによって保護される  
 ことを特徴とする半導体装置の製造方法。

【請求項2】

前記所定マスク部分は、前記第1のピッチの半分の第2のピッチで配置されることを特徴とする請求項1に記載の半導体装置の製造方法。

## 【請求項 3】

前記ダミーラインパターンを形成する工程は、  
前記マスク膜上に前記ダミーラインパターンよりも幅の広い予備パターンを形成する工程と、

前記予備パターンの幅を減少させる工程と、

前記幅の減少した予備パターンをマスクとして用いて前記マスク膜をパターンニングする工程と、

を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

半導体装置の微細化は、リソグラフィ技術に大きく依存する。そのため、リソグラフィの解像限界を下回る幅を有するラインアンドスペースパターンを形成することは、一般的には困難である。

## 【0003】

このような問題に対して、ダミーパターンの側壁に側壁パターンを形成し、この側壁パターンをマスクとしてエッチングを行う方法が提案されている（例えば、特許文献 1 参照）。この方法によれば、ダミーパターンのピッチの半分のピッチでラインアンドスペースパターンを形成することが一応可能である。

20

## 【0004】

しかしながら、上述した提案では、ラインアンドスペースパターン以外のパターンについては何ら考慮されていない。したがって、ラインアンドスペースパターン及び他のパターンを含んだ全体的なパターンを的確かつ効果的に形成することはできない。

## 【0005】

このように、従来は、的確かつ効果的にパターンを形成することが困難であり、優れた半導体装置を得ることが困難であった。

## 【特許文献 1】米国特許第 6063688 号明細書

30

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

本発明は、的確かつ効果的にパターンを形成することが可能な半導体装置の製造方法を提供することを目的としている。

## 【課題を解決するための手段】

## 【0007】

本発明第 1 の視点に係る半導体装置の製造方法は、下地領域上に第 1 のマスクパターンを形成する工程と、前記下地領域上に、第 1 のピッチで配置された複数のダミーラインパターンを形成する工程と、前記ダミーラインパターンの両長側面に形成された所定マスク部分を有する第 2 のマスクパターンを形成する工程と、前記ダミーラインパターンを除去する工程と、前記第 1 のマスクパターン及び前記所定マスク部分をマスクとして用いて前記下地領域をエッチングする工程と、を備える。

40

## 【0008】

本発明第 1 の視点に係る半導体装置の製造方法は、下地領域上に、第 1 のピッチで配置された複数のダミーラインパターンを形成する工程と、前記ダミーラインパターンの両長側面に形成された所定マスク部分を有し、前記ダミーラインパターンを囲む閉ループ形状のマスクパターンを形成する工程と、前記ダミーラインパターンを除去する工程と、前記マスクパターンの両端部分を除去して前記所定マスク部分を残す工程と、前記所定マスク部分をマスクとして用いて前記下地領域をエッチングする工程と、を備える。

50

## 【発明の効果】

## 【0009】

本発明によれば、的確かつ効果的にパターンを形成することが可能であり、特性や信頼性に優れた半導体装置を得ることが可能となる。

## 【発明を実施するための最良の形態】

## 【0010】

以下、本発明の実施形態を図面を参照して説明する。以下では、本実施形態に係る半導体装置の製造方法を、NAND型フラッシュメモリ（不揮発性半導体メモリ）に適用した例を説明する。

## 【0011】

図1は、NAND型フラッシュメモリの等価回路を示した図である。各NANDセルユニットは、選択トランジスタST間に、直列接続された複数のメモリセルMCを設けた構成となっている。選択トランジスタSTには選択ゲート線SGが接続されており、メモリセルMCにはコントロールゲート線（ワード線）CGが接続されている。また、一方の選択トランジスタSTにはビット線（BL1、BL2、・・・）が接続されており、他方の選択トランジスタSTにはソース線SLが接続されている。なお、ここでは、各NANDセルユニットのメモリセル数が8個の場合を示したが、メモリセルの数は限定されるものではない。

## 【0012】

以下、本実施形態の製造方法を説明する。

## 【0013】

まず、図2及び図3に示したような構造を形成する。図2はビット線の延伸方向（以下、ビット線方向という）の断面図であり、図3はワード線の延伸方向（以下、ワード線方向という）の断面図である。以下、概略を説明する。

## 【0014】

まず、半導体基板（例えば、シリコン基板）11上に、トンネル絶縁膜12及びフローティングゲート電極膜13を順次形成する。続いて、半導体基板11、トンネル絶縁膜12及びフローティングゲート電極膜13をパターンニングして、ビット線方向に延伸した複数の素子領域11a及び素子分離溝を形成する。続いて、素子分離溝内に絶縁物を形成して素子分離領域14を形成する。さらに、電極間絶縁膜15及びコントロールゲート電極膜16を順次形成する。このようにして、図2及び図3に示すような下地領域が形成される。

## 【0015】

次に、図4（ビット線方向の断面図）に示すように、下地領域上に、BSG等の材料で形成されたマスク膜21を形成する。さらに、マスク膜21上に、アモルファスシリコン等の材料で形成されたハードマスク膜22を形成する。

## 【0016】

次に、図5に示すように、ワード線形成領域以外の非ワード線形成領域のパターンを形成するために、通常のリソグラフィを用いて、ハードマスク膜22上にフォトリソグロスタパターン23a及び23bを形成する。フォトリソグロスタパターン23aは選択ゲート線パターンを形成するために用いられ、フォトリソグロスタパターン23bは周辺回路パターン（例えば、周辺回路トランジスタのゲートパターン）を形成するために用いられる。

## 【0017】

次に、図6に示すように、フォトリソグロスタパターン23a及び23bをマスクとして用いて、ハードマスク膜22をRIE（reactive ion etching）によってパターンニングし、ハードマスクパターン（保護マスクパターン）22a及び22bを形成する。さらに、フォトリソグロスタパターン23a及び23bを除去する。

## 【0018】

次に、図7に示すように、ワード線形成領域にラインアンドスペースパターンを形成するために、通常のリソグラフィを用いて、マスク膜21上に複数のフォトリソグロ

10

20

30

40

50

パターン（予備パターン）24を形成する。これらのフォトレジストパターン24は、ビット線方向に同一ピッチP1（第1のピッチ）で配置される。

【0019】

次に、図8に示すように、通常のスリミング技術を用いて、フォトレジストパターン24をスリミングする。これにより、フォトレジストパターン24の幅が減少したフォトレジストパターン24cが得られる。このように、スリミング技術を用いることで、フォトレジストパターン24の幅がフォトリソグラフィの解像限界幅以上であっても、フォトリソグラフィの解像限界幅よりも幅の狭いフォトレジストパターン24cを得ることが可能である。

【0020】

次に、図9に示すように、ハードマスクパターン22a、22b及びフォトレジストパターン24cをマスクとして用いて、RIEによってマスク膜21をパターンニングする。これにより、非ワード線形成領域には、マスクパターン（第1のマスクパターン）21a及び21bが形成される。また、ワード線形成領域には、ダミーラインパターン21cが形成される。

【0021】

なお、上述した工程では、フォトレジストパターン24をスリミングしているが、マスク膜21を直接スリミングしてもよい。例えば、マスク膜21がBSGで形成されている場合、フォトレジストパターン24をマスクとして、低パワーのRIEでマスク膜21を加工することにより、マスク膜21を直接スリミングすることが可能である。

【0022】

次に、図10に示すように、CVDにより全面にシリコン窒化膜を形成し、このシリコン窒化膜によって、マスクパターン21a及び21bと、ダミーラインパターン21cと、ハードマスクパターン22a及び22bとを覆う。続いて、RIE等の異方性エッチングによってシリコン窒化膜をエッチングする。その結果、ダミーラインパターン21cの側壁（側面）には、側壁マスクパターン（第2のマスクパターン）25cが形成される。また、マスクパターン21a及び21bの側壁には、側壁マスクパターン（第3のマスクパターン）25a及び25bが形成される。

【0023】

次に、図11に示すように、フッ酸（HF）系のウェットエッチング液を用いて、ダミーラインパターン21cを除去する。このとき、マスクパターン21a及び21bの上面はハードマスクパターン22a及び22bによって覆われているため、マスクパターン21a及び21bは除去されない。

【0024】

このようにして得られた側壁マスクパターン25cは、ビット線方向に同一ピッチP2（第2のピッチ）で配置される。ピッチP2は、フォトレジストパターン24のピッチP1の半分、すなわちダミーラインパターン21cのピッチP1の半分である。ダミーラインパターン21cの幅及び側壁マスクパターン25cの幅（膜厚）を制御することで、側壁マスクパターン25c間のスペース幅を互いに等しくすることができ、側壁マスクパターン25c間のピッチP2を互いに等しくすることができる。側壁マスクパターン25cは、フォトリソグラフィを用いずに形成されるため、フォトリソグラフィの解像限界で決まるピッチよりも小さいピッチで、側壁マスクパターン25cを形成することが可能である。

【0025】

ここで注意すべきことは、図10の工程において、側壁マスクパターン25cがダミーラインパターン21cの全側面に形成されてしまうことである。すなわち、ダミーラインパターン21cを囲む閉ループ形状の側壁マスクパターン25cが形成されることになる。このような閉ループ形状の側壁マスクパターン25cをマスクとして用いて下地領域をエッチングすると、閉ループ形状の下地パターンが形成されることになる。特に、下地パターンとしてワード線等の配線を形成する場合には、隣接する配線がつながってしまうた

10

20

30

40

50

め、正常な動作が妨げられてしまう。

【0026】

そこで、図12(平面図)に示すように、通常のリソグラフィを用いてフォトレジストパターン26を形成する。このフォトレジストパターン26は、側壁マスクパターン25cのうち、ダミーラインパターン21cの両長側面(ダミーラインパターン21cの長手方向に沿った両側面)に形成された所定マスク部分25cpを覆うものである。非ワード線形成領域の側壁マスクパターン25a及び25bについても、側壁マスクパターン25cと同様に、所定マスク部分25ap及び25bpをフォトレジストパターン26で覆う。

【0027】

次に、図13に示すように、フォトレジストパターン26をマスクとして用いて、側壁マスクパターン25a、25b及び25cをエッチングする。これにより、側壁マスクパターン25cの両端部分が除去され、所定マスク部分25cpが残る。非ワード線形成領域の側壁マスクパターン25a及び25bについても同様に、所定マスク部分25ap及び25bpが残る。さらに、フォトレジストパターン26を除去する。

【0028】

次に、図14(断面図)に示すように、ハードマスクパターン22a及び22bを除去した後、下地領域のエッチングを同一工程で行う。すなわち、ワード線形成領域では、所定マスク部分25cpをマスクとして、コントロールゲート電極膜16、電極間絶縁膜15及びフローティングゲート電極膜13がエッチングされる。非ワード線形成領域では、所定マスク部分25ap及び25bpとマスクパターン21a及び21bをマスクとして、コントロールゲート電極膜16、電極間絶縁膜15及びフローティングゲート電極膜13がエッチングされる。このように、ワード線形成領域及び非ワード線形成領域で同時にエッチングを行うため、効率的にパターンを形成することができる。

【0029】

次に、図15に示すように、所定マスク部分25ap、25bp及び25cpとマスクパターン21a及び21bを除去する。これにより、ワード線形成領域では、メモリセル及びワード線のパターンが形成される。非ワード線形成領域では、選択トランジスタ及び選択ゲート線のパターン、さらに周辺回路パターン(例えば、周辺回路トランジスタのゲートパターン)が形成される。

【0030】

図16は、このようにして得られたワード線形成領域のパターン配置を示した図である。図に示すように、各ワード線(コントロールゲート線)の線幅Wは同一であり、ワード線間のスペース幅Sも同一である。線幅Wとスペース幅Sとは、同一であってもよいし、異なってもよい。ワード線のピッチP2はダミーラインパターン21cのピッチP1の半分となっている。

【0031】

以上のように、本実施形態では、ダミーラインパターンの側壁に形成されたパターンをマスクとして下地領域をエッチングすることにより、リソグラフィの解像限界で決まるピッチよりも小さいピッチでラインアンドスペースパターンを形成することができる。また、このようなラインアンドスペースパターンを形成する際に、解像限界幅以上の幅を有するパターン(選択ゲートパターンや周辺回路パターン等)も同一工程でエッチングするため、効率的にパターンを形成することができる。したがって、本実施形態によれば、的確かつ効果的に所望のパターンを形成することが可能である。

【0032】

また、本実施形態では、ダミーラインパターンの側壁に形成された閉ループ形状のマスクパターンの両端部分を除去する。したがって、閉ループ形状の下地パターンが形成されることが防止でき、的確かつ効果的に所望のパターンを形成することが可能である。特に、下地パターンとして配線を形成する場合、隣接する配線を確実に分離することができ、正常な動作を確実に確保することができる。

10

20

30

40

50

## 【 0 0 3 3 】

なお、上述した実施形態では、ラインアンドスペースパターンとして不揮発性半導体メモリのワード線を例に説明したが、ワード線以外のラインアンドスペースパターンに対しても、上述した実施形態の方法は適用可能である。例えば、図 2 及び図 3 で説明したような素子領域及び素子分離溝のパターンを形成する場合にも、上述した実施形態の方法と同様の方法を適用可能である。

## 【 0 0 3 4 】

また、上述した実施形態では、図 1 4 の工程で下地パターンを形成する際に、非ワード線形成領域においても側壁パターン（所定マスク部分 2 5 a p 及び 2 5 b p に対応）をマスクの一部として用いたが、非ワード線形成領域では必ずしもこのような側壁パターンを用いる必要はない。例えば、図 1 4 の工程よりも前の適当な段階で、非ワード線形成領域の側壁パターンを除去しておけばよい。

10

## 【 0 0 3 5 】

また、上述した実施形態で示した工程の順序は適宜変更してもよい。例えば、上述した実施形態では、ダミーラインパターン 2 1 c を除去した後に側壁マスクパターン 2 5 c の両端部分を除去するようにしたが、逆に、側壁マスクパターン 2 5 c の両端部分を除去した後にダミーラインパターン 2 1 c を除去するようにしてもよい。

## 【 0 0 3 6 】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

20

## 【 図面の簡単な説明 】

## 【 0 0 3 7 】

【 図 1 】本発明の実施形態に係り、NAND型フラッシュメモリの等価回路を示した図である。

【 図 2 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

30

【 図 3 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 4 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 5 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 6 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 7 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

40

【 図 8 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 9 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 1 0 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 1 1 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【 図 1 2 】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した平面図である。

50

【図13】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した平面図である。

【図14】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【図15】本発明の実施形態に係り、不揮発性半導体記憶装置の製造工程の一部を示した断面図である。

【図16】本発明の実施形態に係り、ラインアンドスペースパターンのパターン配置を示した図である。

【符号の説明】

【0038】

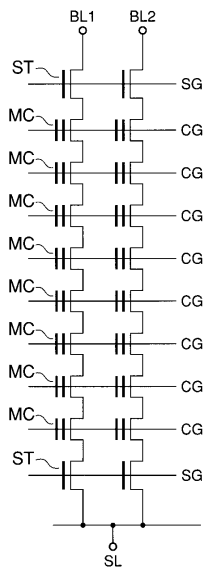
- 11 ... 半導体基板
- 12 ... トンネル絶縁膜
- 13 ... フローティングゲート電極膜
- 14 ... 素子分離領域
- 15 ... 電極間絶縁膜
- 16 ... コントロールゲート電極膜
- 21 ... マスク膜
- 21a、21b ... マスクパターン（第1のマスクパターン）
- 21c ... ダミーラインパターン
- 22 ... ハードマスク膜
- 22a、22b ... ハードマスクパターン
- 23a、23b、24、24c、26 ... フォトレジストパターン
- 25c ... 側壁マスクパターン（第2のマスクパターン）
- 25a、25b ... 側壁マスクパターン
- 25ap、25bp、25cp ... 所定マスク部分

10

20

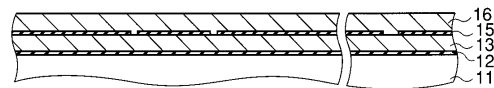
【図1】

図1



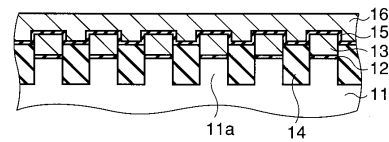
【図2】

図2



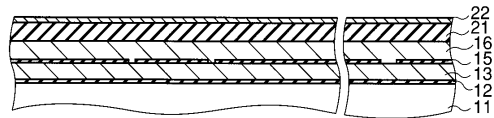
【図3】

図3



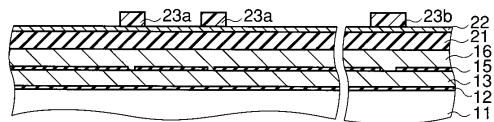
【図4】

図4

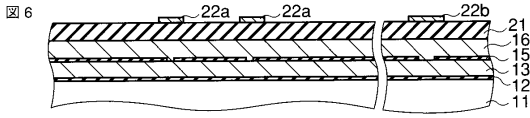


【図5】

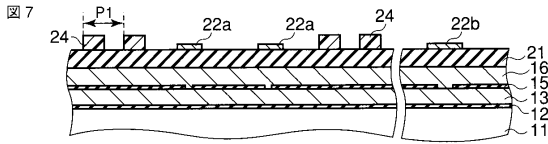
図5



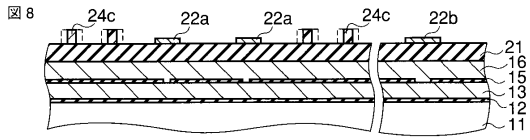
【図 6】



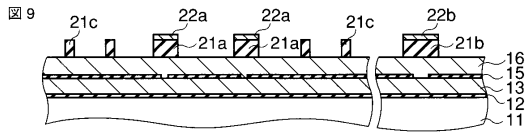
【図 7】



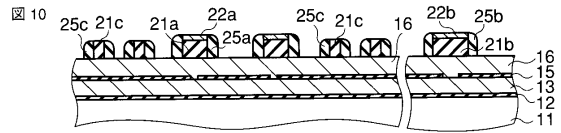
【図 8】



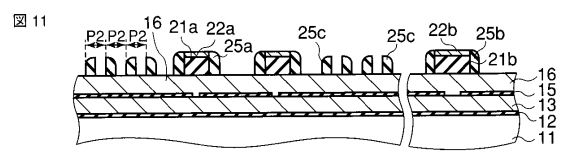
【図 9】



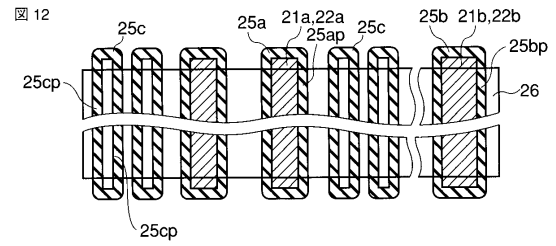
【図 10】



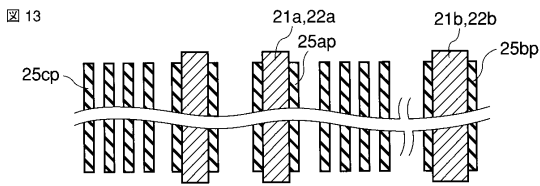
【図 11】



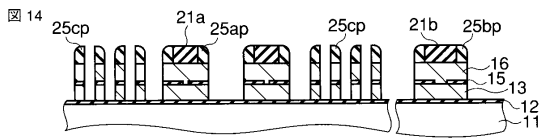
【図 12】



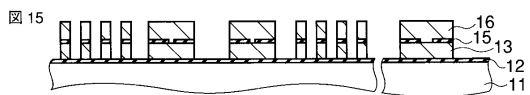
【図 13】



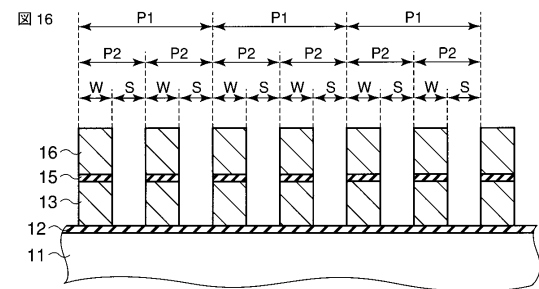
【図 14】



【図 15】



【図 16】





フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/10 (2006.01)

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 神垣 哲也

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 伊藤 永二

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 橋本 耕治

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 木下 英之

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

審査官 安田 雅彦

(56)参考文献 米国特許第 0 6 0 6 3 6 8 8 ( U S , A )

特開 2 0 0 2 - 2 8 0 3 8 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 3 2 1 3

H 0 1 L 2 1 / 0 2 7

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2

H 0 1 L 2 7 / 1 1 5

H 0 1 L 2 1 / 8 2 4 7

H 0 1 L 2 9 / 7 8

H 0 1 L 2 1 / 3 3 6