

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年3月16日(2017.3.16)

【公表番号】特表2016-514330(P2016-514330A)

【公表日】平成28年5月19日(2016.5.19)

【年通号数】公開・登録公報2016-030

【出願番号】特願2016-500848(P2016-500848)

【国際特許分類】

G 06 F 17/16 (2006.01)

G 06 F 17/14 (2006.01)

【F I】

G 06 F 17/16 M

G 06 F 17/14 Z

【手続補正書】

【提出日】平成29年2月9日(2017.2.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも1つのマルチモード基數 $2^x$ のバタフライベクトル処理回路を装備するよう構成されたベクトル処理エンジン(VPE)であって、前記ベクトル処理エンジンは下記を備える、

少なくとも1つの乗算ベクトル処理段階であって、

複数の入力データパスの中の第1の入力データパスから、複数の基數ベクトルデータ入力のサンプルセットからの基數ベクトルデータ入力のサンプルセットを受け取り、

前記少なくとも1つの乗算ベクトル処理段階によって実行される基數バタフライベクトル命令に従って、プログラマブルな乗算データパス構成に基づいて複数の乗算出力データパスにおいて基數ベクトル乗算出力のサンプルセットを与えるように、前記基數ベクトルデータ入力のサンプルセットを回転因子成分と乗算する、

ように構成された少なくとも1つの乗算器ブロックを備える乗算ベクトル処理段階と、

複数の累算器ブロックを備える少なくとも1つの累算ベクトル処理段階であって、前記複数の累算器ブロックの中の各累算器ブロックは、

累算器プログラマブルな累算器データパス構成に基づいて、前記複数の乗算出力データパスの中の乗算出力データパスから複数の基數ベクトル乗算出力のサンプルセットを受け取り、

前記累算器プログラマブルな累算器データパス構成に基づいて、基數ベクトル累算結果のサンプルセットを与えるように、前記受け取られた複数の基數ベクトル乗算出力のサンプルセットを累算し、

複数の出力データパスの中の出力データパスにおいて前記基數ベクトル累算結果のサンプルセットを与えるように構成される、

前記累算ベクトル処理段階と、

前記複数の累算器ブロックの各々から前記複数の基數ベクトル累算結果のサンプルセットを受け取るように構成された出力処理段階

ここにおいて、前記複数の乗算出力データパスは、前記少なくとも1つのマルチモード基數 $2^x$ のバタフライベクトル処理回路を形成するために、少なくとも1つの乗算器ブロ

ックを前記複数の累算器ブロックと融合するようにプログラマブルである。

【請求項 2】

前記基數バタフライベクトル命令についての基數バタフライ結果を与えるように、前記複数の基數ベクトル累算結果のサンプルセットを加えるように構成された少なくとも1つの加算器をさらに備える、請求項1に記載のVPE。

【請求項 3】

前記回転因子成分が「e」である、請求項1に記載のVPE。

【請求項 4】

前記複数の累算器ブロックの中の各累算器ブロックは、前記基數バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて前記受け取られた複数の基數ベクトル乗算出力のサンプルセットに回転因子入力を適用するようにさらに構成され、  
前記複数の累算器ブロックの中の各累算器ブロックは、好ましくは、前記基數バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいてマイナス1(-1)の前記回転因子入力を適用するように、前記複数の基數ベクトル乗算出力のサンプルセットの中の受け取られた基數ベクトル乗算出力のサンプルセットを否定するように構成された否定回路をさらに備える、請求項1に記載のVPE。

【請求項 5】

前記複数の累算器ブロックの中の各累算器ブロックは、前記基數バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、「-j」の前記回転因子入力を適用するように、前記否定された基數ベクトル乗算出力のサンプルセットを、否定された複素基數ベクトル乗算出力のサンプルセットに変換するように構成されたスワップ回路をさらに備える、請求項4に記載のVPE。

【請求項 6】

前記複数の累算器ブロックの中の各累算器ブロックは、前記基數バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、「j」の前記回転因子入力を適用するように、前記複数の基數ベクトル乗算出力のサンプルセットの中の受け取られた基數ベクトル乗算出力のサンプルセットを複素基數ベクトル乗算出力のサンプルセットに変換するように構成されたスワップ回路をさらに備え、  
および/または、前記複数の累算器ブロックの中の各累算器ブロックは、基數2のバタフライベクトル命令に従って構成された各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、基數2のバタフライ回転因子入力として、前記回転因子入力を前記受け取られた複数の基數ベクトル乗算出力のサンプルセットに適用するように構成される、請求項4に記載のVPE。

【請求項 7】

前記複数の累算器ブロックの中の各累算器ブロックは、基數4のバタフライベクトル命令に従って構成された各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、基數4のバタフライ回転因子入力として、前記回転因子入力を前記受け取られた複数の基數ベクトル乗算出力のサンプルセットに適用するように構成され、  
および/または、前記回転因子入力を生成するように構成された回転因子ジェネレータをさらに備える、請求項4に記載のVPE。

【請求項 8】

前記少なくとも1つの乗算器ブロックは、複数のマルチモード基數 $2^x$ のバタフライベクトル処理回路を装備するための複数の乗算器ブロックからなる、請求項1に記載のVPE。

【請求項 9】

前記プログラマブルな乗算データパス構成および前記プログラマブルな累算器データパス構成は各々、前記実行される基數バタフライベクトル命令に基づいて再構成されるように構成され、  
前記プログラマブルな乗算データパス構成および前記プログラマブルな累算

器データパス構成は各々、好ましくは、前記 VPE によって実行される各基数バタフライベクトル命令用に再構成されるように構成され、前記プログラマブルな乗算データパス構成および前記プログラマブルな累算器データパス構成は各々、好ましくは、前記 VPE によって実行される前記基数バタフライベクトル命令の各クロック周期において再構成されるように構成される、請求項 1 に記載の VPE。

#### 【請求項 10】

前記複数の累算器ブロックの中の各累算器ブロックは、

前記複数の基数ベクトル乗算出力のサンプルセットを、各々が少なくとも 1 つの基数ベクトル入力和と少なくとも 1 つの基数ベクトル入力桁上げとを備えるものとして受け取り、

少なくとも 1 つの以前の累算された基数ベクトル出力和と少なくとも 1 つの以前の累算された基数ベクトル出力桁上げとを受け取り、

前記少なくとも 1 つの現在の基数ベクトル累算された出力和として、前記少なくとも 1 つの以前の累算された基数ベクトル出力和に累算された前記少なくとも 1 つの基数ベクトル入力和からなる少なくとも 1 つの現在の累算された基数ベクトル出力和を累算し、

前記少なくとも 1 つの現在の累算された基数ベクトル出力桁上げとして、前記少なくとも 1 つの以前の累算された基数ベクトル出力桁上げに累算された前記少なくとも 1 つの基数ベクトル入力桁上げからなる少なくとも 1 つの現在の累算された基数ベクトル出力桁上げを累算し、

前記少なくとも 1 つの現在の累算された基数ベクトル出力和と前記少なくとも 1 つの現在の累算された基数ベクトル出力桁上げとを、前記複数の出力データパスの中の前記出力データパスにおいて、前記基数ベクトル累算結果のサンプルセットの中の少なくとも 1 つの基数ベクトル累算結果のサンプルセットとして与える、

ように各々が構成された少なくとも 1 つの桁上げ保存累算器を備え、

前記少なくとも 1 つの桁上げ保存累算器は、好ましくは、前記少なくとも 1 つの以前の累算された基数ベクトル出力桁上げを、前記少なくとも 1 つの基数ベクトル入力和および前記少なくとも 1 つの基数ベクトル入力桁上げに伝搬しないように構成され、または、前記少なくとも 1 つの桁上げ保存累算器は、前記少なくとも 1 つの現在の累算された基数ベクトル出力和を第 1 のベクトル累算データパスにおいて、および前記少なくとも 1 つの現在の累算された基数ベクトル出力桁上げを、前記第 1 のベクトル累算データパスとは別個の第 2 のベクトル累算データパスにおいて維持するようにさらに構成される、請求項 1 に記載の VPE。

#### 【請求項 11】

前記少なくとも 1 つの桁上げ保存累算器は、

前記少なくとも 1 つの基数ベクトル入力和と前記少なくとも 1 つの基数ベクトル入力桁上げとを受け取り、

前記少なくとも 1 つの以前の累算された基数ベクトル出力和と前記少なくとも 1 つの以前の累算された基数ベクトル出力桁上げとを受け取り、

前記少なくとも 1 つの現在の基数ベクトル累算された出力和として、前記少なくとも 1 つの以前の累算された基数ベクトル出力和に累算された前記少なくとも 1 つの基数ベクトル入力和からなる前記少なくとも 1 つの現在の累算された基数ベクトル出力和を生成し、

前記少なくとも 1 つの現在の累算された基数ベクトル出力桁上げとして、前記少なくとも 1 つの以前の累算された基数ベクトル出力桁上げに累算された前記少なくとも 1 つの基数ベクトル入力桁上げからなる前記少なくとも 1 つの現在の累算された基数ベクトル出力桁上げを生成する、

ように構成された少なくとも 1 つの圧縮器を備え、

前記少なくとも 1 つの圧縮器は、好ましくは、少なくとも 1 つの 4 : 2 圧縮器からなる、請求項 10 に記載の VPE。

#### 【請求項 12】

前記複数の入力データパスの中の入力データパスにおいて、ベクトルアレイの幅の前記

複数の基數ベクトルデータ入力のサンプルセットを与えるように構成された入力読み取り段階をさらに備え、および／または、前記複数の累算器ブロックは、前記受け取られた複数の基數ベクトル乗算出力のサンプルセットをベクトルレジスタに記憶するように構成されない、請求項1に記載のVPE。

【請求項13】

前記少なくとも1つのマルチモード基數 $2^x$ のバタフライベクトル処理回路は、高速フーリエ変換(FFT)ベクトル命令を実行するように構成され、または、前記少なくとも1つの基數 $2^x$ のバタフライベクトル処理回路は、補間FFTベクトル命令を実行するように構成される、請求項1に記載のVPE。

【請求項14】

少なくとも1つのマルチモード基數 $2^x$ のバタフライベクトル処理回路を装備するように構成されたベクトル処理エンジン(VPE)であって、前記ベクトル処理エンジンは下記を備える、

少なくとも1つの乗算ベクトル処理段階手段であって、

複数の入力データバスの中の第1の入力データバスから、複数の基數ベクトルデータ入力のサンプルセットからの基數ベクトルデータ入力のサンプルセットを受け取り、

前記少なくとも1つの乗算ベクトル処理段階手段によって実行される基數バタフライベクトル命令に従って、プログラマブルな乗算データバス構成に基づいて複数の乗算出力データバスにおいて基數ベクトル乗算出力のサンプルセットを与えるように、前記基數ベクトルデータ入力のサンプルセットを回転因子成分と乗算する、

よう構成された少なくとも1つの乗算器ブロック手段を備える乗算ベクトル処理段階手段と、

複数の累算器ブロック手段を備える少なくとも1つの累算ベクトル処理段階手段であって、前記複数の累算器ブロック手段の中の各累算器ブロック手段は、

プログラマブルな累算器データバス構成に基づいて、前記複数の乗算出力データバスの中の乗算出力データバスから複数の基數ベクトル乗算出力のサンプルセットを受け取り、

前記プログラマブルな累算器データバス構成に基づいて基數ベクトル累算結果のサンプルセットを与えるように、前記受け取られた複数の基數ベクトル乗算出力のサンプルセットを累算し、

複数の出力データバスの中の出力データバスにおいて前記基數ベクトル累算結果のサンプルセットを与える、

よう構成される、前記累算ベクトル処理段階手段と、

前記複数の累算器ブロックの各々から複数の基數ベクトル累算結果のサンプルセットを受け取るよう構成された出力処理段階手段と、

前記マルチモード基數 $2^x$ のバタフライベクトル処理回路を形成するために、前記複数の乗算出力データバスを使用して、少なくとも1つの乗算器ブロックを前記複数の累算器ブロックと融合するための手段。

【請求項15】

ベクトル処理エンジン(VPE)におけるマルチモード基數 $2^x$ のバタフライベクトル処理回路において基數 $2^x$ のベクトルデータを処理する方法であって、前記方法は下記を備える、

少なくとも1つの乗算ベクトル処理段階における少なくとも1つの乗算器ブロック中の複数の入力データバスの中の第1の入力データバスから、複数の基數ベクトルデータ入力のサンプルセットからの基數ベクトルデータ入力のサンプルセットを受け取ることと、

前記少なくとも1つの乗算器ブロック中で、前記少なくとも1つの乗算ベクトル処理段階によって実行される基數バタフライベクトル命令に従って、プログラマブルな乗算データバス構成に基づいて複数の乗算出力データバスにおいて基數ベクトル乗算出力のサンプルセットを与えるように、前記基數ベクトルデータ入力のサンプルセットを回転因子成分と乗算することと、

少なくとも1つの累算ベクトル処理段階における複数の累算器ブロックの中の各累算器ブロック中の累算器プログラマブルな累算器データパス構成に基づいて、前記複数の乗算出力データパスの中の乗算出力データパスから複数の基数ベクトル乗算出力のサンプルセットを受け取ることと、

前記累算器プログラマブルな累算器データパス構成に基づいて基数ベクトル累算結果のサンプルセットを与えるように、前記受け取られた複数の基数ベクトル乗算出力のサンプルセットを累算することと、

複数の出力データパスの中の出力データパスにおいて前記基数ベクトル累算結果のサンプルセットを与えることと、

出力処理段階において、前記複数の累算器ブロックの各々から複数の基数ベクトル累算結果のサンプルセットを受け取ることと、

前記マルチモード基数 $2^x$ のバタフライベクトル処理回路を形成するために、前記複数の乗算出力データパスを使用して、少なくとも1つの乗算器ブロックを前記複数の累算器ブロックと融合すること。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正の内容】

【0103】

[00116]本開示の前の記載は、当業者が本開示を製造または使用することを可能にするように提供される。本開示に対する様々な変更形態が、当業者には容易に明らかとなり、本明細書に規定の一般的な原理が、本開示の精神または範囲から逸脱することなく、他の変形形態に適用され得る。したがって、本開示は、本明細書に記載される例および設計に限定することを意図しておらず、本明細書に開示される、原理および新規の特徴と一致する最も広い範囲が与えられるべきである。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1] 少なくとも1つのマルチモード基数 $2^x$ のバタフライベクトル処理回路を装備するように構成されたベクトル処理エンジン（VPE）であって、前記ベクトル処理エンジンは下記を備える、

少なくとも1つの乗算ベクトル処理段階であって、

複数の入力データパスの中の第1の入力データパスから、複数の基数ベクトルデータ入力のサンプルセットからの基数ベクトルデータ入力のサンプルセットを受け取り、

前記少なくとも1つの乗算ベクトル処理段階によって実行される基数バタフライベクトル命令に従って、プログラマブルな乗算データパス構成に基づいて複数の乗算出力データパスにおいて基数ベクトル乗算出力のサンプルセットを与えるように、前記基数ベクトルデータ入力のサンプルセットを回転因子成分と乗算する、

よう構成された少なくとも1つの乗算器ブロックを備える乗算ベクトル処理段階と、複数の累算器ブロックを備える少なくとも1つの累算ベクトル処理段階であって、前記複数の累算器ブロックの中の各累算器ブロックは、

累算器プログラマブルな累算器データパス構成に基づいて、前記複数の乗算出力データパスの中の乗算出力データパスから複数の基数ベクトル乗算出力のサンプルセットを受け取り、

前記累算器プログラマブルな累算器データパス構成に基づいて、基数ベクトル累算結果のサンプルセットを与えるように、前記受け取られた複数の基数ベクトル乗算出力のサンプルセットを累算し、

複数の出力データパスの中の出力データパスにおいて前記基数ベクトル累算結果のサンプルセットを与えるように構成される、

前記累算ベクトル処理段階と、

前記複数の累算器ブロックの各々から前記複数の基数ベクトル累算結果のサンプルセッ

トを受け取るように構成された出力処理段階。

[C 2] 前記基数バタフライベクトル命令についての基数バタフライ結果を与えるように、前記複数の基数ベクトル累算結果のサンプルセットを加えるように構成された少なくとも1つの加算器をさらに備える、C 1に記載のVPE。

[C 3] 前記回転因子成分が「e」である、C 1に記載のVPE。

[C 4] 前記複数の累算器ブロックの中の各累算器ブロックは、前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて前記受け取られた複数の基数ベクトル乗算出力のサンプルセットに回転因子入力を適用するようにさらに構成される、C 1に記載のVPE。

[C 5] 前記複数の累算器ブロックの中の各累算器ブロックは、前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいてマイナス1(-1)の前記回転因子入力を適用するように、前記複数の基数ベクトル乗算出力のサンプルセットの中の受け取られた基数ベクトル乗算出力のサンプルセットを否定するように構成された否定回路をさらに備える、C 4に記載のVPE。

[C 6] 前記複数の累算器ブロックの中の各累算器ブロックは、前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、「-j」の前記回転因子入力を適用するように、前記否定された基数ベクトル乗算出力のサンプルセットを、否定された複素基数ベクトル乗算出力のサンプルセットに変換するように構成されたスワップ回路をさらに備える、C 5に記載のVPE。

[C 7] 前記複数の累算器ブロックの中の各累算器ブロックは、前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、「j」の前記回転因子入力を適用するように、前記複数の基数ベクトル乗算出力のサンプルセットの中の受け取られた基数ベクトル乗算出力のサンプルセットを複素基数ベクトル乗算出力のサンプルセットに変換するように構成されたスワップ回路をさらに備える、C 4に記載のVPE。

[C 8] 前記複数の累算器ブロックの中の各累算器ブロックは、基數2のバタフライベクトル命令に従って構成された各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、基數2のバタフライ回転因子入力として、前記回転因子入力を前記受け取られた複数の基数ベクトル乗算出力のサンプルセットに適用するように構成される、C 4に記載のVPE。

[C 9] 前記複数の累算器ブロックの中の各累算器ブロックは、基數4のバタフライベクトル命令に従って構成された各累算器ブロック用の前記プログラマブルな累算器データパス構成に基づいて、基數4のバタフライ回転因子入力として、前記回転因子入力を前記受け取られた複数の基数ベクトル乗算出力のサンプルセットに適用するように構成される、C 4に記載のVPE。

[C 10] 前記回転因子入力を生成するように構成された回転因子ジェネレータをさらに備える、C 4に記載のVPE。

[C 11] 前記少なくとも1つの乗算器ブロックは、複数のマルチモード基數 $2^x$ のバタフライベクトル処理回路を装備するための複数の乗算器ブロックからなる、C 1に記載のVPE。

[C 12] 前記プログラマブルな乗算データパス構成および前記プログラマブルな累算器データパス構成は各々、前記実行される基数バタフライベクトル命令に基づいて再構成されるように構成される、C 1に記載のVPE。

[C 13] 前記プログラマブルな乗算データパス構成および前記プログラマブルな累算器データパス構成は各々、前記VPEによって実行される各基数のバタフライベクトル命令用に再構成されるように構成される、C 12に記載のVPE。

[C 14] 前記プログラマブルな乗算データパス構成および前記プログラマブルな累算器データパス構成は各々、前記VPEによって実行される前記基数バタフライベクトル命令の各クロック周期において再構成されるように構成される、C 13に記載のVPE。

[C 15] 前記複数の累算器ブロックの中の各累算器ブロックは、

前記複数の基數ベクトル乗算出力のサンプルセットを、各々が少なくとも1つの基數ベクトル入力和と少なくとも1つの基數ベクトル入力桁上げとを備えるものとして受け取り、

少なくとも1つの以前の累算された基數ベクトル出力和と少なくとも1つの以前の累算された基數ベクトル出力桁上げとを受け取り、

前記少なくとも1つの現在の基數ベクトル累算出力和として、前記少なくとも1つの以前の累算された基數ベクトル出力和に累算された前記少なくとも1つの基數ベクトル入力和からなる少なくとも1つの現在の累算された基數ベクトル出力和を累算し、

前記少なくとも1つの現在の累算された基數ベクトル出力桁上げとして、前記少なくとも1つの以前の累算された基數ベクトル出力桁上げに累算された前記少なくとも1つの基數ベクトル入力桁上げからなる少なくとも1つの現在の累算された基數ベクトル出力桁上げを累算し、

前記少なくとも1つの現在の累算された基數ベクトル出力和と前記少なくとも1つの現在の累算された基數ベクトル出力桁上げとを、前記複数の出力データパスの中の前記出力データパスにおいて、前記基數ベクトル累算結果のサンプルセットの中の少なくとも1つの基數ベクトル累算結果のサンプルセットとして与える、

ように各々が構成された少なくとも1つの桁上げ保存累算器を備える、C 1に記載のVPE。

[C 16] 前記少なくとも1つの桁上げ保存累算器は、前記少なくとも1つの以前の累算された基數ベクトル出力桁上げを、前記少なくとも1つの基數ベクトル入力和および前記少なくとも1つの基數ベクトル入力桁上げに伝搬しないように構成される、C 15に記載のVPE。

[C 17] 前記少なくとも1つの桁上げ保存累算器は、前記少なくとも1つの現在の累算された基數ベクトル出力和を第1のベクトル累算データパスにおいて、および前記少なくとも1つの現在の累算された基數ベクトル出力桁上げを、前記第1のベクトル累算データパスとは別個の第2のベクトル累算データパスにおいて維持するようにさらに構成される、C 15に記載のVPE。

[C 18] 前記少なくとも1つの桁上げ保存累算器は、

前記少なくとも1つの基數ベクトル入力和と前記少なくとも1つの基數ベクトル入力桁上げとを受け取り、

前記少なくとも1つの以前の累算された基數ベクトル出力和と前記少なくとも1つの以前の累算された基數ベクトル出力桁上げとを受け取り、

前記少なくとも1つの現在の基數ベクトル累算された出力和として、前記少なくとも1つの以前の累算された基數ベクトル出力和に累算された前記少なくとも1つの基數ベクトル入力和からなる前記少なくとも1つの現在の累算された基數ベクトル出力和を生成し、

前記少なくとも1つの現在の累算された基數ベクトル出力桁上げとして、前記少なくとも1つの以前の累算された基數ベクトル出力桁上げに累算された前記少なくとも1つの基數ベクトル入力桁上げからなる前記少なくとも1つの現在の累算された基數ベクトル出力桁上げを生成する、

ように構成された少なくとも1つの圧縮器を備える、C 15に記載のVPE。

[C 19] 前記少なくとも1つの圧縮器は少なくとも1つの4:2圧縮器からなる、C 18に記載のVPE。

[C 20] 前記複数の入力データパスの中の入力データパスにおいて、ベクトルアレイの幅の前記複数の基數ベクトルデータ入力のサンプルセットを与えるように構成された入力読み取り段階をさらに備える、C 1に記載のVPE。

[C 21] 前記複数の累算器ブロックは、前記受け取られた複数の基數ベクトル乗算出力のサンプルセットをベクトルレジスタに記憶するように構成されない、C 1に記載のVPE。

[C 22] 前記少なくとも1つのマルチモード基數 $2^X$ のバタフライベクトル処理回路は、高速フーリエ変換(FFT)ベクトル命令を実行するように構成される、C 1に記載の

V P E。

[C 2 3] 前記少なくとも 1 つの基數  $2^x$  のバタフライベクトル処理回路は、補間 F F T ベクトル命令を実行するように構成される、C 1 に記載の V P E。

[C 2 4] 少なくとも 1 つのマルチモード基數  $2^x$  のバタフライベクトル処理回路を装備するように構成されたベクトル処理エンジン（V P E）であって、前記ベクトル処理エンジンは下記を備える、

少なくとも 1 つの乗算ベクトル処理段階手段であって、

複数の入力データパスの中の第 1 の入力データパスから、複数の基數ベクトルデータ入力のサンプルセットからの基數ベクトルデータ入力のサンプルセットを受け取り、

前記少なくとも 1 つの乗算ベクトル処理段階手段によって実行される基數バタフライベクトル命令に従って、プログラマブルな乗算データパス構成に基づいて複数の乗算出力データパスにおいて基數ベクトル乗算出力のサンプルセットを与えるように、前記基數ベクトルデータ入力のサンプルセットを回転因子成分と乗算する、

ようく構成された少なくとも 1 つの乗算器ブロック手段を備える乗算ベクトル処理段階手段と、

複数の累算器ブロック手段を備える少なくとも 1 つの累算ベクトル処理段階手段であって、前記複数の累算器ブロック手段の中の各累算器ブロック手段は、

プログラマブルな累算器データパス構成に基づいて、前記複数の乗算出力データパスの中の乗算出力データパスから複数の基數ベクトル乗算出力のサンプルセットを受け取り、

前記プログラマブルな累算器データパス構成に基づいて基數ベクトル累算結果のサンプルセットを与えるように、前記受け取られた複数の基數ベクトル乗算出力のサンプルセットを累算し、

複数の出力データパスの中の出力データパスにおいて前記基數ベクトル累算結果のサンプルセットを与える、

ようく構成される、前記累算ベクトル処理段階手段と、

前記複数の累算器ブロックの各々から複数の基數ベクトル累算結果のサンプルセットを受け取るようく構成された出力処理段階手段。

[C 2 5] ベクトル処理エンジン（V P E）におけるマルチモード基數  $2^x$  のバタフライベクトル処理回路において基數  $2^x$  のベクトルデータを処理する方法であって、前記方法は下記を備える、

少なくとも 1 つの乗算ベクトル処理段階における少なくとも 1 つの乗算器ブロック中の複数の入力データパスの中の第 1 の入力データパスから、複数の基數ベクトルデータ入力のサンプルセットからの基數ベクトルデータ入力のサンプルセットを受け取ることと、

前記少なくとも 1 つの乗算器ブロック中で、前記少なくとも 1 つの乗算ベクトル処理段階によって実行される基數バタフライベクトル命令に従って、プログラマブルな乗算データパス構成に基づいて複数の乗算出力データパスにおいて基數ベクトル乗算出力のサンプルセットを与えるように、前記基數ベクトルデータ入力のサンプルセットを回転因子成分と乗算することと、

少なくとも 1 つの累算ベクトル処理段階における複数の累算器ブロックの中の各累算器ブロック中の累算器プログラマブルな累算器データパス構成に基づいて、前記複数の乗算出力データパスの中の乗算出力データパスから複数の基數ベクトル乗算出力のサンプルセットを受け取ることと、

前記累算器プログラマブルな累算器データパス構成に基づいて基數ベクトル累算結果のサンプルセットを与えるように、前記受け取られた複数の基數ベクトル乗算出力のサンプルセットを累算することと、

複数の出力データパスの中の出力データパスにおいて前記基數ベクトル累算結果のサンプルセットを与えることと、

出力処理段階において、前記複数の累算器ブロックの各々から複数の基數ベクトル累算結果のサンプルセットを受け取ること。

[C 2 6] 前記基数バタフライベクトル命令についての基数バタフライ結果を与えるように、前記複数の基数ベクトル累算結果のサンプルセットを加えることをさらに備える、C 2 5 に記載の方法。

[C 2 7] 前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データバス構成に基づいて、前記受け取られた複数の基数ベクトル乗算出力のサンプルセットに回転因子入力を適用することをさらに備える、C 2 5 に記載の方法。

[C 2 8] 前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データバス構成に基づいてマイナス 1 (- 1) の前記回転因子入力を適用するように、前記複数の基数ベクトル乗算出力のサンプルセットの中の受け取られた基数ベクトル乗算出力のサンプルセットを否定することをさらに備える、C 2 7 に記載の方法。

[C 2 9] 前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データバス構成に基づいて「 - j 」の前記回転因子入力を適用するために、前記否定された基数ベクトル乗算出力のサンプルセットを、否定された複素基数ベクトル乗算出力のサンプルセットに変換するように、前記受け取られた基数ベクトル乗算出力のサンプルセットをスワップすることをさらに備える、C 2 8 に記載の方法。

[C 3 0] 前記基数バタフライベクトル命令に従って、各累算器ブロック用の前記プログラマブルな累算器データバス構成に基づいて「 j 」の前記回転因子入力を適用するために、前記複数の基数ベクトル乗算出力のサンプルセットの中の前記受け取られた基数ベクトル乗算出力のサンプルセットを複素基数ベクトル乗算出力のサンプルセットに変換するように、前記基数ベクトル乗算出力のサンプルセットをスワップすることをさらに備える、C 2 7 に記載の方法。

[C 3 1] 前記受け取られた複数の基数ベクトル乗算出力のサンプルセットをベクトルレジスタに記憶しないことをさらに備える、C 2 5 に記載の方法。