

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4746912号
(P4746912)

(45) 発行日 平成23年8月10日 (2011. 8. 10)

(24) 登録日 平成23年5月20日 (2011. 5. 20)

(51) Int. Cl.

F I

G09G 5/00 (2006.01)

G06T 1/60 (2006.01)

G09G 3/20 (2006.01)

G09G 3/22 (2006.01)

G09G 5/36 (2006.01)

G09G 5/00 550M

G09G 5/00 550P

G09G 5/00 550R

G06T 1/60 450C

G09G 3/20 631B

請求項の数 4 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2005-131186 (P2005-131186)
 (22) 出願日 平成17年4月28日 (2005. 4. 28)
 (65) 公開番号 特開2005-346044 (P2005-346044A)
 (43) 公開日 平成17年12月15日 (2005. 12. 15)
 審査請求日 平成19年6月27日 (2007. 6. 27)
 (31) 優先権主張番号 特願2004-137627 (P2004-137627)
 (32) 優先日 平成16年5月6日 (2004. 5. 6)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100085006
 弁理士 世良 和信
 (74) 代理人 100100549
 弁理士 川口 嘉之
 (74) 代理人 100106622
 弁理士 和久田 純一
 (72) 発明者 井上 健治
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社 内
 (72) 発明者 小野 研一郎
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社 内

最終頁に続く

(54) 【発明の名称】 画像信号処理回路および画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

順次入力される画像信号をライン単位に格納する第1のメモリ部と、
 前記第1のメモリ部から出力される画像信号を複数ライン分格納することが可能な第2のメモリ部と、
 前記第1のメモリ部および前記第2のメモリ部を制御する制御回路と、を有し、
 前記制御回路は、前記第1のメモリ部にライン単位に格納された画像信号のうち、前記第1のメモリ部の先頭アドレスから任意に設定された列反転位置に対応するアドレスまでの画像信号を前記第1のメモリ部に入力された第1の順序で前記第2のメモリ部に出力した後、前記列反転位置に対応するアドレスから前記先頭アドレスまでの画像信号を前記第1のメモリ部に入力された順序とは逆の第2の順序で出力し、当該出力された画像信号を前記第2のメモリ部に順次入力して複数のライン分の画像信号が格納されるように制御するとともに、前記第2のメモリ部に複数ライン分格納された画像信号のうち、前記第1の順序で前記第1のメモリ部から出力された画像信号は前記第2のメモリ部に入力されたライン順で出力するとともに、前記第2の順序で前記第1のメモリ部から出力された画像信号は前記第2のメモリ部に格納されたライン順とは逆の順序で出力する制御を行う

ことを特徴とする画像信号処理回路。

【請求項 2】

請求項1に記載の画像信号処理回路と、

前記画像信号処理回路から出力される画像信号に基づいて表示を実行する表示器とを有

することを特徴とする画像表示装置。

【請求項 3】

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、

前記第 1 のメモリ部から出力される画像信号を複数ライン分格納することが可能な第 2 のメモリ部と、

前記第 1 のメモリ部および前記第 2 のメモリ部を制御する制御回路と、を有し、

前記制御回路は、前記第 1 のメモリ部にライン単位に格納された画像信号を出力する際、格納された画像信号のうち、前記第 1 のメモリ部の先頭アドレスから任意に設定された列反転位置に対応するアドレスまでの画像信号を前記第 1 のメモリ部に入力された第 1 の順序で前記第 2 のメモリ部に出力した後、前記列反転位置に対応するアドレスから前記先頭アドレスまでの画像信号を前記第 1 のメモリ部に入力された順序とは逆の第 2 の順序で前記第 2 のメモリ部に出力するように制御し、当該出力された画像信号を前記第 2 のメモリ部にライン単位に複数ライン分格納する際に、前記第 1 の順序で前記第 1 のメモリ部から出力された画像信号は前記第 2 のメモリ部に入力されたライン順で格納するとともに、前記第 2 の順序で前記第 1 のメモリ部から出力された画像信号は前記第 2 のメモリ部に入力されたライン順とは逆の順序で格納する制御を行う

ことを特徴とする画像信号処理回路。

【請求項 4】

請求項 3 に記載の画像信号処理回路と、

前記画像信号処理回路から出力される画像信号に基づいて表示を実行する表示器とを有することを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、画像信号処理回路および画像表示装置に関し、特に、コンピュータから出力される画像データやテレビジョン信号を、画像表示装置に表示するための画像信号処理回路に適用して好適なものである。

【背景技術】

【0002】

従来、画像表示装置に表示する画像としては、コンピュータ画像、デジタルカメラの画像、およびテレビジョン信号の画像などの様々な種類が存在する。そして、これらの画像のフォーマットに関しても多数存在する。

【0003】

これらの画像フォーマットが固定された画像表示装置である場合には、画像フォーマットに合わせた画像表示装置を選択することにより、この画像フォーマットに対応させることができる。ところが、汎用の画像表示装置においては、画像表示装置に画像を表示させるためには、その画像に対しても画像処理を施す必要がある。

【0004】

この画像表示装置における画像処理として、代表的には、IP変換や、フレームレート変換、または解像度変換などがある。これらのうちのIP変換とは、テレビジョン信号のNTSC信号のようなインターレース信号をプログレッシブ信号に変換するものである。また、フレームレート変換とは、画面の切り換えレートの変換である。また、解像度変換とは、横方向の画素数および縦方向の走査線数を変換するものである。

【0005】

これらの画像処理を実行する場合において、フレームメモリを用いる構成が知られている。このフレームメモリは、1画面分の画像データを格納しておき、画像処理の必要に応じてデータを読み出して処理を行うものである。そして、このフレームメモリを採用することにより、上述した画像処理のみならず、特殊画像処理を実行することも可能となる。

【0006】

また、特許文献 1 には、フレームメモリへの書き込み順序または読み出し順序を制御することによって、画像の反転および回転と拡大および縮小とを行う技術が開示されている。

【 0 0 0 7 】

また、近年、1つの画像表示装置に複数の画面を表示するマルチ画面表示が一般に行われてきている。そして、特許文献 1 および特許文献 2 には、このようなマルチ画面表示に関して、複数のメモリ空間を使用することによりマルチ画面表示を行う手法が開示されている。

【 0 0 0 8 】

また、特許文献 3 においては、S D R A M (S y n c h r o n o u s D R A M) のバーストモードを使用して画像の反転、回転などの処理を行う手法が開示されている。この手法においては、画像データを縦横が所定の画素数で構成されたブロックに分割し、ブロック毎にバースト転送を行い、そのブロック内でデータの順番を入れ替えることによってブロック内データの反転、回転などの処理を行い、該当するブロックの書き込み、または読み出し順序を入れ替えることによって画像全体の反転や回転などの処理を実現する。

【 0 0 0 9 】

ところで、S D R A M などのフレームメモリを用いてリアルタイム処理を行う場合には、S D R A M のバーストモードを使用するのが好ましい。そして、図 1 1 に示すように、このバーストモードにおいては、パイプライン処理を利用して連続してデータ転送を行うことが可能となる。ただし、バーストモードにおけるアドレスカウンタは、シーケンシャルまたはインタリーブによるカウントアップとなる。

【 0 0 1 0 】

したがって、特許文献 1 および特許文献 2 に記載された技術に対しては、バーストモードを使用することが極めて困難である。具体的には、特許文献 1 および特許文献 2 に記載された方法においては、メモリへの 1 アクセスごとに、ロウアドレスおよびカラムアドレスを指定しなければならない。さらに、動画処理においては、メモリアクセスの処理速度を向上させる必要がある。

【特許文献 1】特開平 7 - 1 5 2 9 0 5 号公報

【特許文献 2】特開平 1 1 - 2 9 6 1 4 5 号公報

【特許文献 3】特開 2 0 0 1 - 3 4 3 9 6 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

したがって、この発明の目的は、比較的簡易な回路構成で反転表示を実行可能な画像処理装置およびこの画像処理装置を備えた画像表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 2 】

上記目的を達成するために、この発明の第 1 の発明は、

順次入力される画像信号をライン単位に格納する第 1 のメモリ部と、

第 1 のメモリ部から出力される画像信号を複数ライン分格納することが可能な第 2 のメモリ部と、

第 1 のメモリ部および第 2 のメモリ部を制御する制御回路と、を有することを特徴とする画像処理装置である。

制御回路は、第 1 のメモリ部にライン単位に格納された画像信号のうち、第 1 のメモリ部の先頭アドレスから任意に設定された列反転位置に対応するアドレスまでの画像信号を第 1 のメモリ部に入力された第 1 の順序で第 2 のメモリ部に出力した後、列反転位置に対応するアドレスから先頭アドレスまでの画像信号を第 1 のメモリ部に入力された順序とは逆の第 2 の順序で出力し、当該出力された画像信号を第 2 のメモリ部に順次入力して複数のライン分の画像信号が格納されるように制御するとともに、第 2 のメモリ部に複数ライン分格納された画像信号のうち、第 1 の順序で第 1 のメモリ部から出力された画像信号は

第 2 のメモリ部に入力されたライン順で出力するとともに、第 2 の順序で第 1 のメモリ部から出力された画像信号は第 2 のメモリ部に格納されたライン順とは逆の順序で出力する制御を行うことが好ましい。

又は、制御回路は、第 1 のメモリ部にライン単位に格納された画像信号を出力する際、格納された画像信号のうち、第 1 のメモリ部の先頭アドレスから任意に設定された列反転位置に対応するアドレスまでの画像信号を第 1 のメモリ部に入力された第 1 の順序で第 2 のメモリ部に出力した後、列反転位置に対応するアドレスから先頭アドレスまでの画像信号を第 1 のメモリ部に入力された順序とは逆の第 2 の順序で第 2 のメモリ部に出力するように制御し、当該出力された画像信号を第 2 のメモリ部にライン単位に複数ライン分格納する際に、第 1 の順序で第 1 のメモリ部から出力された画像信号は第 2 のメモリ部に入力されたライン順で格納するとともに、第 2 の順序で第 1 のメモリ部から出力された画像信号は第 2 のメモリに入力されたライン順とは逆の順序で格納する制御を行うことが好ましい。

10

【 0 0 1 3 】

また、この発明の第 2 の発明は、
第 1 の発明による画像信号処理回路と、
画像信号処理回路から出力される信号に基づいて表示を行う表示器とを有する
ことを特徴とする画像表示装置である。

【発明の効果】

【 0 0 1 4 】

20

この発明による画像信号処理回路および画像処理装置によれば、比較的簡易な回路構成で反転表示を実行することができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【 0 0 1 6 】

なお、この発明の実施形態としては、ラインバッファ、フレームメモリの読出アドレスまたは書き込みアドレスを監視して、ユーザにより任意に設定された値となった段階で「反転処理」を行うようにする場合について説明する。そして、画像データの書き込みおよび読み出しの構成が異なる、3通りの実施形態について説明する。

30

【 0 0 1 7 】

この発明において、1ラインとは、画像データに基づいて表示される画像を構成する一列に対応する画像データをいう。また、画像データに基づいて表示される画像の画素各々に対応する画像信号の集合により構成される。画像信号は、対応する画素の明るさに関する情報を有する信号である。すなわち、画像信号は画素信号ということもできる。また、本発明において、入力順とは逆の順序で第 1 のメモリ部から出力される画像信号は、1ライン分の画像信号または1ライン分より少ない画像信号であることが好ましい。

【 0 0 1 8 】

まず、図 1 に、以下に説明する実施形態における画像表示装置の全体構成を示す。すなわち、画像処理装置 1 1 0 1 から出力される信号に基づいて表示器 1 1 0 2 に画像が表示される。この画像処理装置 1 1 0 1 は、画像信号処理回路であり、以下のそれぞれの実施形態において詳細に説明する。

40

【 0 0 1 9 】

なお、この発明は、大画面表示装置を平置きにして少人数コラボレーションを行うシステムなどに適用して好適なものであり、表示器を平置きにした際に、上下方向から互いに同じ出力画像を見たときに視認性を向上させた反転マルチ表示が可能となる。このような表示器 1 1 0 2 としては、例えば CRT、プラズマディスプレイ、液晶ディスプレイ、ELディスプレイ、または電子放出素子を表示素子 1 1 0 2 として用いた、フラットパネルディスプレイを用いることができる。なお、表示器 1 1 0 2 を平置きするためには、表示

50

器に平置き可能なスタンド等の支持装置が備えられる。なお、平置きとは、表示器 1 1 0 2 の表示面の中心における法線が表示器 1 1 0 2 を設置する面の法線と交わる角度が $30^{\circ} \sim 90^{\circ}$ となるように、表示器 1 1 0 2 が設置されていることをいう。

【0020】

(第1の実施形態)

まず、この発明の第1の実施形態による画像処理装置について説明する。図2に、この発明の第1の実施形態による画像処理装置の構成を示す。なお、この第1の実施形態においては、フレームメモリへの画像データの書き込み時または読み込み時にアドレスが制御されて、ライン順反転制御が実行される場合について説明する。

【0021】

図2に示すように、この第1の実施形態による画像処理装置においては、ラインバッファ101、フレームメモリ102、FIFO(First-In First-Out)型バッファ(以下、FIFO)103、反転位置制御装置104、アドレス制御装置105および制御装置107を有して構成されている。第1の実施形態においてラインバッファ101が第1のメモリ部、フレームメモリ102が第2のメモリ部、制御装置107およびアドレス制御装置105が制御回路となる。なお、第1のメモリ部としては、列反転処理が可能なメモリであればよく、またハードウェア規模が小さくなるように容量の小さいメモリが好ましい。このようなメモリとしては、好適には、ラインバッファを用いることができる。

【0022】

また、図2中、反転位置制御装置104から制御装置107およびアドレス制御装置105に供給される信号が、列反転位置指示信号S11であり、アドレス制御装置105からフレームメモリ102に供給される信号が、書き込みアドレスS12および読み出しアドレスS13である。また、制御装置107からラインバッファ101に供給される信号が、アドレス指定信号S14である。

【0023】

また、この画像処理装置の内部において入出力されるデータとしては、入力画像データD11、ラインバッファ101から読み出された画像データD12、フレームメモリ102から読み出された画像データD13、およびFIFO103からの出力画像データD14などである。

【0024】

これらのデータのうち、入力画像データD11に基づいて、画像表示装置(図示せず)で表示したときの仮想画像を図3Aに示す。このように表示される入力画像データD11は、まず、図2に示すラインバッファ101に供給され、ラインごとに格納される。また、ユーザが外部から列反転位置の情報を入力すると、この列反転位置の情報データが反転位置制御装置104に入力される。このユーザにより設定された列反転位置の情報に基づいた列反転位置指示信号S11が制御装置107に供給されることにより、列反転処理のアドレス指定信号S14が、制御装置107からラインバッファ101へ供給される。

【0025】

次に、アドレス指定信号S14が供給されたラインバッファ101から、あらかじめユーザにより設定された列反転位置まで、画像データが順次カウントアップして出力される。そして、列反転位置になった段階で、ラインバッファ101に順次入力された画像データが、入力順とは逆の順序で出力されるようにラインバッファ101を制御する。すなわち、1ラインの出力画素数から既に出した画素数を引いた数の位置を基準として、順次カウントダウンされて出力される。

【0026】

このようにして、ラインバッファ101から読み出され、フレームメモリ102に供給される画像データD12に基づいて、画像表示装置(図示せず)において表示したときの仮想画像を、図3Bに示す。画像データD12をもとに、仮に画像表示装置で表示するとすれば、ラインバッファ101に入力される画像データに基づいて表示される画像の一部分と、該画像の一部分を画像のラインに対して垂直方向の軸中心で同じ面上に反転させた

10

20

30

40

50

画像とが表示される。

【 0 0 2 7 】

実際には、画像データ D 1 2 がフレームメモリ 1 0 2 に書き込まれるデータとなるため、複数画素転送が行われたり、一旦非同期 F I F O (いずれも図示せず) に格納されクロック周波数がアップされたりして、フレームメモリ 1 0 2 に転送される。なお、図 3 B においては、表示画面のほぼ中央が列反転位置となる場合を例として、この図 3 B 中「 A が示す部分」が入力画像データ D 1 1 の左側の画像、「 B が示す部分」が左側の画像を列反転させた画像、「 C が示す線」が、反転位置制御装置 1 0 4 から入力された列反転位置情報により決定される反転指示位置を示す。

【 0 0 2 8 】

他方、図 2 に示すように、列反転位置指示信号 S 1 1 は、アドレス制御装置 1 0 5 にも供給される。そして、アドレス制御装置 1 0 5 は、フレームメモリ 1 0 2 に入力される複数ライン分の画像信号のうち的一部分が、入力順で出力され、かつ他の部分がライン順が反転されて出力されるようにフレームメモリ 1 0 2 を制御する。すなわち、アドレス制御装置 1 0 5 は、列反転位置指示信号 S 1 1 に従って、フレームメモリ 1 0 2 への書き込みアドレス S 1 2 および読出アドレス S 1 3 のいずれか一方のアドレスに対して、列反転位置を基準としてライン順反転処理が実行される。

【 0 0 2 9 】

次に、入力画像データ D 1 1 の左上端の座標を (0 , 0)、右下端の座標を (x , y) とした場合における、フレームメモリ 1 0 2 から読み出される画像データ D 1 3 の画素データの並び方の一例を図 4 および図 5 に示す。なお、図 4 および図 5 中の矢印は、読み出される順番を示す。図 4 は、フレームメモリ 1 0 2 への書き込み制御時において、ライン順反転処理を実行することなく、読み出しのときにライン順反転処理を行う場合の例である。

【 0 0 3 0 】

すなわち、図 4 に示す画素データの並びに従うと、座標 (0 , 0) の位置から矢印の方向に沿って順次データが読み出され、列反転位置 C に達したところでライン順反転が行われる。他方、図 5 は、フレームメモリ 1 0 2 への書き込み制御時においてライン順反転処理が実行され、読み出し制御時においてライン順反転処理が実行されない場合の読み出し例を示す。すなわち、座標 (0 , 0) の位置から矢印の方向へ順にデータが読み出され、列反転位置 C に関係なく、そのまま順次データが読み出される。なお、どちらの構成を採用するかは、回路構成によって任意に決定することが可能である。

【 0 0 3 1 】

以上のように、ユーザにより決定され、反転位置制御装置 1 0 4 に入力された列反転位置情報に基づき、その列反転位置において、読み込み制御時または書き込み制御時にライン順反転処理が実行される。そして、フレームメモリ 1 0 2 から読み出された画像データ D 1 3 は、ラインごとに一旦 F I F O 1 0 3 に格納されて、出力のタイミングにあわせて出力されることになる。これにより、画像データ D 1 3 をもとに、仮に画像表示装置で表示するとすれば、フレームメモリ 1 0 2 に入力される画像データに基づいて表示される画像の一部分と、該画像の一部分を、画像のラインと平行方向の軸を中心に同じ面上に反転した画像とが表示される。

【 0 0 3 2 】

そして、出力される出力画像データ D 1 4 をもとに、画像表示装置 (図示せず) において表示されるとすれば、図 3 C に示すように、ラインバッファ 1 0 1 に入力される画像データに基づいて表示される画像の一部分が、他の部分に対して同じ面上で回転した状態であって逆の方向に表示される。すなわち、反転マルチ表示とすることが可能となる。

【 0 0 3 3 】

(第 2 の実施形態)

次に、この発明の第 2 の実施形態による画像処理装置について説明する。図 6 に、この第 2 の実施形態による画像処理装置を示す。なお、この第 2 の実施形態においては、フレ

10

20

30

40

50

ームメモリから画像データを読み出す時にライン順反転処理を実行する場合について説明する。

【 0 0 3 4 】

図 6 に示すように、この第 2 の実施形態による画像処理装置は、F I F O 7 0 1、フレームメモリ 7 0 2、ラインバッファ 7 0 3、反転位置制御装置 7 0 4、アドレス制御装置 7 0 5 および制御装置 7 0 7 を有して構成されている。この第 2 の実施形態においては、第 1 のメモリ部がラインバッファ 7 0 3、第 2 のメモリ部がフレームメモリ 7 0 2、制御回路が制御装置 7 0 7 およびアドレス制御装置 7 0 5 である。

【 0 0 3 5 】

また、図 6 中、外部から F I F O 7 0 1 に入力されるデータが入力画像データ D 7 1、この F I F O 7 0 1 から読み出されてフレームメモリ 7 0 2 に供給されるデータが画像データ D 7 2、フレームメモリ 7 0 2 から読み出されてラインバッファ 7 0 3 に供給されるデータが画像データ D 7 3、および、ラインバッファ 7 0 3 から出力されるデータが出力画像データ D 7 4 である。また、反転位置制御装置 7 0 4 から列反転位置指示信号 S 7 1 が出力されて、アドレス制御装置 7 0 5 および制御装置 7 0 7 に供給される。また、アドレス制御装置 7 0 5 から書き込みアドレス S 7 2 および読出アドレス S 7 3 が出力されて、フレームメモリ 7 0 2 に供給される。また、制御装置 7 0 7 から列反転処理のアドレス指定信号 S 7 4 が、ラインバッファ 7 0 3 に供給される。

【 0 0 3 6 】

まず、外部から供給される入力画像データ D 7 1 は、ラインごとに一旦 F I F O 7 0 1 に格納される。F I F O 7 0 1 からフレームメモリ 7 0 2 の書き込みタイミングに従って読み出された画像データ D 7 2 が、アドレス制御装置 7 0 5 から出力される書き込みアドレス S 7 2 に従ってフレームメモリ 7 0 2 に格納される。

【 0 0 3 7 】

このフレームメモリ 7 0 2 に格納される画像データとしては、図 7 に示すデータを一例として挙げるができる。この図 7 に示す例においては、入力画像データ D 7 1 の列反転位置 C から左側のデータだけがフレームメモリ 7 0 2 に格納される。フレームメモリ 7 0 2 の列反転位置の右側に格納されるデータは、入力画像データ D 7 1 の列反転位置の左側のデータを 2 度読むことによって生成され、フレームメモリ 7 0 2 に格納される。

【 0 0 3 8 】

そして、アドレス制御装置 7 0 5 は、フレームメモリ 7 0 2 に入力される複数ライン分の画像信号のうちの一部が、入力順で出力され、かつ他の部分がライン順が反転されて出力されるようにフレームメモリ 7 0 2 を制御する。すなわち、アドレス制御装置 7 0 5 は、列反転位置指示信号 S 7 1 に従って、フレームメモリ 7 0 2 への読み出しアドレス S 7 3 のアドレスに対して、列反転位置を基準としてライン順反転処理が実行される。

【 0 0 3 9 】

これにより、フレームメモリ 7 0 2 から読み出された画像データ D 7 3 をもとに、仮に画像表示装置で表示するとすれば、フレームメモリ 7 0 2 に入力される画像データに基づいて表示される画像の一部分と、該画像の一部分を、画像のラインと平行方向の軸を中心に同じ面上に反転した画像とが表示される。

【 0 0 4 0 】

図 8 に、以上のようにして読み出された画像データ D 7 3 に基づき、画像表示装置（図示せず）において表示する際の仮想画像の一例を示す。図 8 中「A が示す部分」が入力画像データ D 7 1 の左側部分を示し、「B が示す部分」が入力画像データの左側「A が示す部分」を縦方向に反転させた画像である。なお、「C が示す部分」は、ユーザにより設定され、反転位置制御装置 7 0 4 に記憶された列反転位置である。

【 0 0 4 1 】

そして、フレームメモリ 7 0 2 から読み出された画像データ D 7 3 が、ラインごとにラインバッファ 7 0 3 に供給されて、格納される。その後、制御装置 7 0 7 から出力されるアドレス指定信号 S 7 4 により、ラインバッファ 7 0 3 に格納されたデータが、出力のタ

10

20

30

40

50

イメージに従って読み出される。このとき、列反転位置情報を含むアドレス指定信号 S 7 4 に従って、列反転位置まで画像データを順次カウントアップして出力される。そして列反転位置になった段階で、ラインバッファ 7 0 3 に順次入力された画像データが、入力順とは逆の順序で出力されるようにラインバッファ 7 0 3 を制御する。

【 0 0 4 2 】

すなわち、1 ラインの出力画素数の位置を基準として、列反転位置まで順次カウントダウンされて出力される。以上のように、ラインバッファ 7 0 3 の制御装置により列反転処理が実行され、出力画像データ D 7 4 が出力される。

【 0 0 4 3 】

そして、出力される出力画像データ D 7 4 をもとに、画像表示装置において表示されるとすれば、ラインバッファ 7 0 3 に入力される画像データに基づいて表示される画像の一部分と、該画像の一部分を画像のラインに対して垂直方向の軸を中心に反転した画像とが同じ面上に表示される。

10

【 0 0 4 4 】

以上により、出力される出力画像データ D 7 4 をもとに、画像表示装置（図示せず）において表示されるとすれば、図 3 C に示すように、ラインバッファ 1 0 1 に入力される画像データに基づいて表示される画像の一部分が、他の部分に対して同じ面上で回転した状態であって逆の方向に表示される。すなわち、反転マルチ表示が可能なデータとして出力することが可能となる。

【 0 0 4 5 】

20

（第 3 の実施形態）

次に、この発明の第 3 の実施形態による画像処理装置について説明する。図 9 に、この第 3 の実施形態による画像処理装置を示す。なお、第 1 の実施形態における同様の構成要素については、同一の符号を付す。また、この第 3 の実施形態においては、フレームメモリへの画像データの書き込み時においてライン順反転処理を実行する場合について説明する。

【 0 0 4 6 】

図 9 に示すように、この第 3 の実施形態による画像処理装置は、第 1 のラインバッファ 1 0 1、フレームメモリ 1 0 2 および F I F O 1 0 3、反転位置制御装置 1 0 4、アドレス制御装置 1 0 5、第 2 のラインバッファ 1 0 6、および制御装置 1 0 7 を有して構成されている。第 3 の実施形態においては、第 1 のラインバッファ 1 0 1 および第 2 のラインバッファ 1 0 6 が第 1 のメモリ部、フレームメモリ 1 0 2 が第 2 のメモリ部、制御装置 1 0 7 とアドレス制御装置 1 0 5 が制御回路である。

30

【 0 0 4 7 】

また、図 9 中、第 1 の実施形態における同様のデータは、外部から第 1 のラインバッファ 1 0 1 に入力されて格納される第 1 の入力画像データ D 1 1、フレームメモリ 1 0 2 から読み出されて F I F O 1 0 3 に供給される画像データ D 1 3 および、F I F O 1 0 3 から出力される出力画像データ D 1 4 である。この第 3 の実施形態においては、さらに外部から第 2 の入力画像データ D 1 5 が第 2 のラインバッファ 1 0 6 に入力され、第 1 のラインバッファ 1 0 1 および第 2 のラインバッファ 1 0 6 から読み出されたデータは、画像データ D 1 6 としてフレームメモリ 1 0 2 に供給される。

40

【 0 0 4 8 】

また、反転位置制御装置 1 0 4 により、制御装置 1 0 7 およびアドレス制御装置 1 0 5 に供給される列反転位置指示信号 S 1 1 は、図 1 0 中「C が示す部分」の列反転位置を指示するための命令信号である。また、書き込みアドレス S 1 2、読出アドレス S 1 3 およびアドレス指定信号 S 1 4、S 1 5 に関しては、第 1 の実施形態における同様であるので、その詳細な説明は省略する。

【 0 0 4 9 】

まず、第 1 の入力画像データ D 1 1 が第 1 のラインバッファ 1 0 1 に入力されて格納されるとともに、第 2 の入力画像データ D 1 5 が第 2 のラインバッファ 1 0 6 に入力されて

50

格納される。

【 0 0 5 0 】

また、反転位置制御装置 1 0 4 から出力される列反転位置指示信号 S 1 1 が、制御装置 1 0 7 に、第 1 のラインバッファ 1 0 1 および第 2 のラインバッファ 1 0 6 のイネーブルおよび読み出し開始位置が制御される。

【 0 0 5 1 】

すなわち、第 1 のラインバッファ 1 0 1 の読み出しイネーブルが可の場合には、第 2 のラインバッファ 1 0 6 の読み出しイネーブルが不可とされる。他方、第 1 のラインバッファ 1 0 1 の読み出しイネーブルが不可の場合には、第 2 のラインバッファ 1 0 6 の読み出しイネーブルが可とされる。また、第 2 のラインバッファ 1 0 6 からの画像データの読み出し時に列反転処理が実行される。

10

【 0 0 5 2 】

具体的には、以下のように第 1 のラインバッファ 1 0 1 および第 2 のラインバッファ 1 0 6 から画像データが読み出される。

【 0 0 5 3 】

まず、アドレス指定信号 S 1 4 が供給された第 1 のラインバッファ 1 0 1 から、あらかじめユーザにより設定された列反転位置まで画像データが順次カウントアップして出力される。そして、列反転位置になった段階で、アドレス指定信号 S 1 5 により、第 2 のラインバッファ 1 0 6 に順次入力された画像データが、入力順とは逆の順序で出力される。すなわち、1 ラインの出力画素数から既に出した画素数を引いた数の位置を基準として、第 2 のラインバッファ 1 0 6 から画像データが順次カウントダウンされて出力される。

20

【 0 0 5 4 】

このようにして、第 1 のラインバッファ 1 0 1 からの出力データと第 2 のラインバッファ 1 0 6 からの出力データとが切り換えられて合成されたデータが画像データ D 1 6 として、フレームメモリ 1 0 2 に供給される。

【 0 0 5 5 】

これにより、画像データ D 1 6 をもとに、仮に画像表示装置で表示するとすれば、第 1 のラインバッファ 1 0 1 と第 2 のラインバッファ 1 0 6 に入力された画像データに基づいて表示される画像の一部分と、他の画像の一部分を画像のラインに対して垂直方向の軸を中心に同じ面上に反転した画像とが表示される。

30

【 0 0 5 6 】

次に、フレームメモリ 1 0 2 への書き込みは、書き込みアドレス S 1 2 によって制御される。また、フレームメモリ 1 0 2 からの読み出しは、読出アドレス S 1 3 によって制御される。また、書き込みアドレス S 1 2 と読出アドレス S 1 3 とは、アドレス制御装置 1 0 5 によって生成される。

【 0 0 5 7 】

このアドレス制御装置 1 0 5 により反転位置制御装置 1 0 4 から出力される列反転位置指示信号 S 1 1 に従って、書き込みアドレス S 1 2 におけるライン順反転が実行される。アドレス制御装置 1 0 5 は、フレームメモリ 1 0 2 に入力される複数ライン分の画像信号のうちの一部が、入力順で出力され、かつ他の部分がライン順が反転されて出力されるようにフレームメモリ 1 0 2 を制御する。

40

【 0 0 5 8 】

すなわち、アドレス制御装置 1 0 5 は、列反転位置指示信号 S 1 1 に従って、フレームメモリ 1 0 2 への書き込みアドレス S 1 2 に対して、列反転位置を基準としてライン順反転処理が実行される。したがって、フレームメモリ 1 0 2 から順次読み出された画像データ D 1 3 をもとに、仮に画像表示装置で表示するとすれば、フレームメモリ 1 0 2 に入力された画像データに基づいて表示される画像の一部分と、該画像の一部分を、画像のラインと平行方向の軸を中心に同じ面上に反転した画像と、が表示される。

【 0 0 5 9 】

そして、フレームメモリ 1 0 2 から読み出された画像データ D 1 3 は、F I F O 1 0 3

50

に格納される。続いて、画像データD13がFIFO103に格納された後、画像表示装置（図示せず）のタイミングにあわせて出力画像データD14として出力される。

【0060】

出力される出力画像データD14をもとに、仮に画像表示装置（図示せず）で表示するとすれば、第1のラインバッファ101および第2のラインバッファ106に入力される画像データに基づいて表示される画像の一部が、他の部分に対して同じ面上で回転する方向で逆の方向に表示される。すなわち、反転マルチ表示とすることが可能となる。

【0061】

ここで、一例として、入力画像データD11に基づいて、画像表示装置（図示せず）で表示したときの仮想画像が図3Aの画像であり、入力画像データD15に基づいて、画像表示装置（図示せず）において表示されたときの仮想画像が図10Aの画像であるとする。このとき、この第3の実施形態による画像処理装置から出力される出力画像データD14に基づいて、不図示の画像表示装置で表示したときの仮想画像は図10Bの画像となる。この図10Bは、それぞれの入力画像データD11、D15をもとにした仮想画像における左端からの表示範囲が設定された例を示す。

10

【0062】

また、この表示範囲の位置は、ユーザにより設定されて外部から入力された反転位置の指示情報データに従って、アドレス制御装置105および制御装置107に設定された表示範囲のデータに応じて、表示範囲を変えることが可能である。

【0063】

20

以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0064】

例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。

【0065】

また、例えば上述の第1の実施形態においては、図4および図5において、反転位置Cを、 $x/2$ としているが、この反転位置Cの列反転座標はあくまでも一例であり、その他の任意の列反転座標を選択することも可能であり、必ずしも全列反転座標の半分（ $x/2$ ）である必要はない。また、図8および図10Bに示す表示例は、あくまでも説明における一例であり、必ずしも表示画面の中央において反転処理が実行されることを示すものではない。

30

【0066】

また、例えば、上述の実施形態において採用される入力信号としては、インターレース信号とプログレッシブ信号とのいずれの信号であっても良く、必ずしも一方の信号に限定されるものではない。

【0067】

また、例えば上述の実施形態においては、ラインごとの反転処理について説明したが、必ずしも1ライン毎に限定する趣旨ではなく、隣接する2ラインを同時に走査して画像を表示する方式である、いわゆるラインダブラなどの、複数のラインを走査して画像を表示する方式を採用した場合においても、この発明を適用することができ、同様の効果を得ることができる。

40

【0068】

また、FIFOは、その後段に位置するメモリ部に入力される画像データの転送速度と、メモリ部に画像データを書き込む速度との差を緩和するための一時記憶装置である。したがって、予め画像データの転送速度をメモリ部の画像データ書き込み速度にあわせるように構成すれば、FIFOを必ずしも用いる必要はない。

【図面の簡単な説明】

【0069】

【図1】この発明の実施形態による画像表示装置の全体の構成を示すブロック図である。

50

【図 2】この発明の第 1 の実施形態による画像処理装置の構成を示すブロック図である。

【図 3】この発明の第 1 の実施形態による、入力画像データをもとに表示された仮想画像の一例を示す略線図、ラインバッファから読み出された画像データをもとに表示された仮想画像の一例を示す略線図、および反転マルチ出力画像データをもとに表示された仮想画像の一例を示す略線図である。

【図 4】この発明の第 1 の実施形態による画像処理において、フレームメモリから読み出す順序を説明するための略線図である。

【図 5】この発明の第 1 の実施形態による画像処理において、フレームメモリから読み出す順序を説明するための略線図である。

【図 6】この発明の第 2 の実施形態による画像処理装置の構成を示すブロック図である。

10

【図 7】この発明の第 2 の実施形態による画像処理において、フレームメモリから読み出す順序を説明するための略線図である。

【図 8】この発明の第 2 の実施形態による画像処理において、フレームメモリから読み出された画像データをもとに表示された仮想画像を示す略線図である。

【図 9】この発明の第 3 の実施形態による画像処理装置の構成を示すブロック図である。

【図 10】この発明の第 3 の実施形態による入力画像データをもとに表示された仮想画像の一例および出力画像データをもとに表示された仮想画像の一例を示す略線図である。

【図 11】従来技術による S D R A M のバーストモードを説明するためのタイミングチャートである。

【符号の説明】

20

【 0 0 7 0 】

1 0 1 第 1 のラインバッファ

1 0 2 , 7 0 2 フレームメモリ

1 0 3 , 7 0 1 F I F O

1 0 4 反転位置制御装置

1 0 5 アドレス制御装置

1 0 6 第 2 のラインバッファ

1 0 7 , 7 0 7 制御装置

7 0 3 ラインバッファ

7 0 4 反転位置制御装置

7 0 5 アドレス制御装置

30

D 1 1 , D 1 5 , D 7 1 入力画像データ

D 1 2 , D 1 3 , D 1 6 画像データ

D 1 4 , D 7 4 出力画像データ

D 7 2 , D 7 3 画像データ

S 1 1 列反転位置指示信号

S 1 2 , S 7 2 書込アドレス

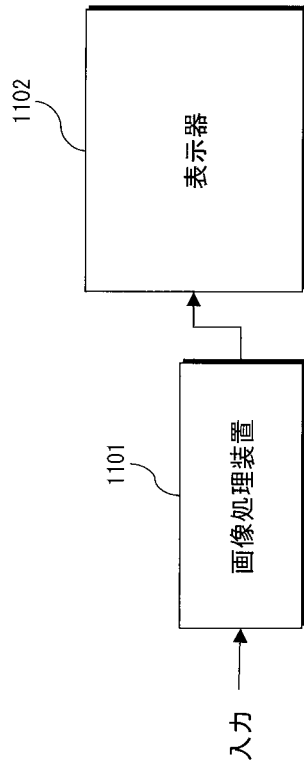
S 1 3 , S 7 3 読出アドレス

S 1 4 , S 1 5 , S 7 4 アドレス指定信号

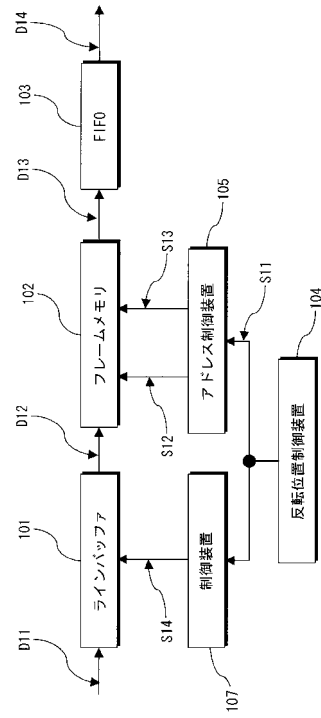
S 7 1 列反転位置指示信号

40

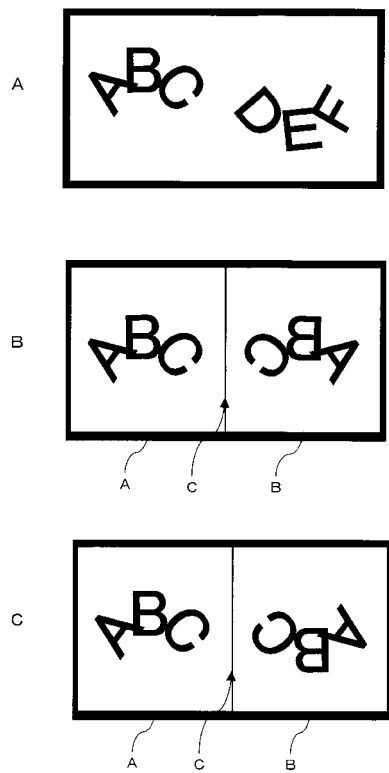
【図 1】



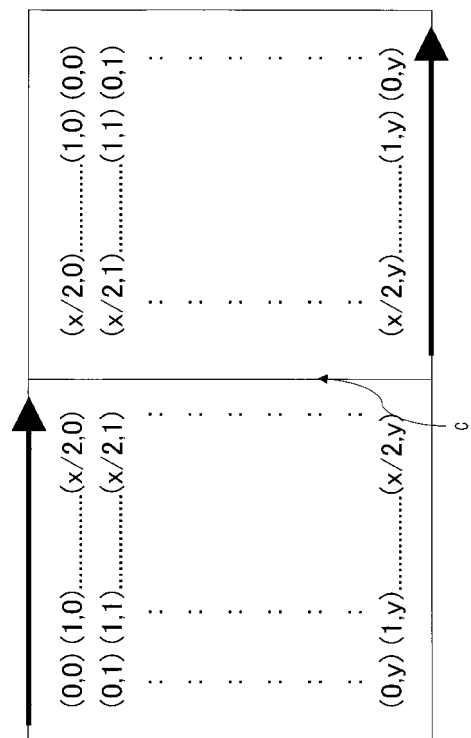
【図 2】



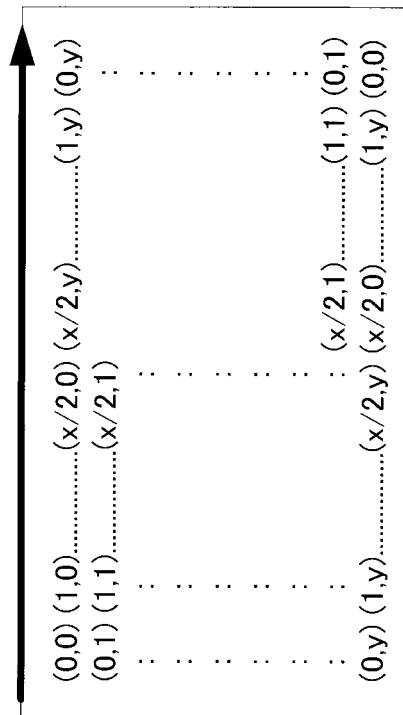
【図 3】



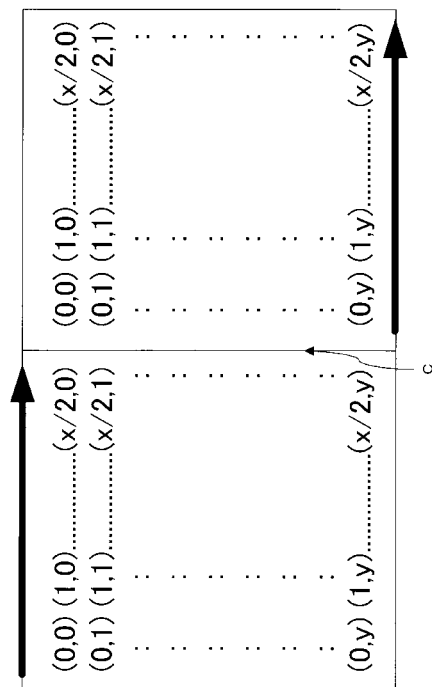
【図 4】



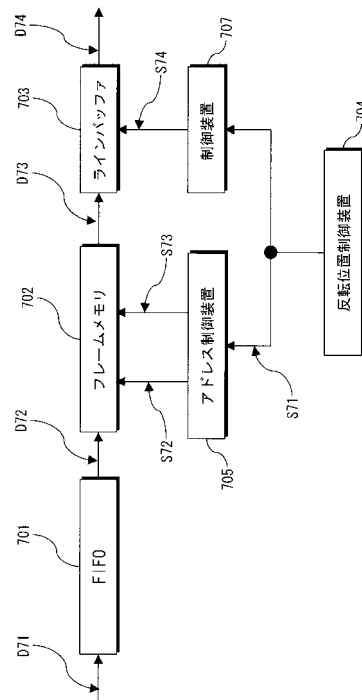
【図 5】



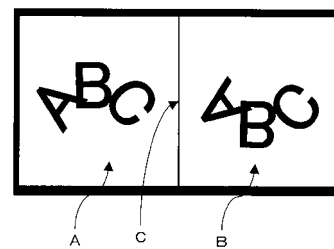
【図 7】



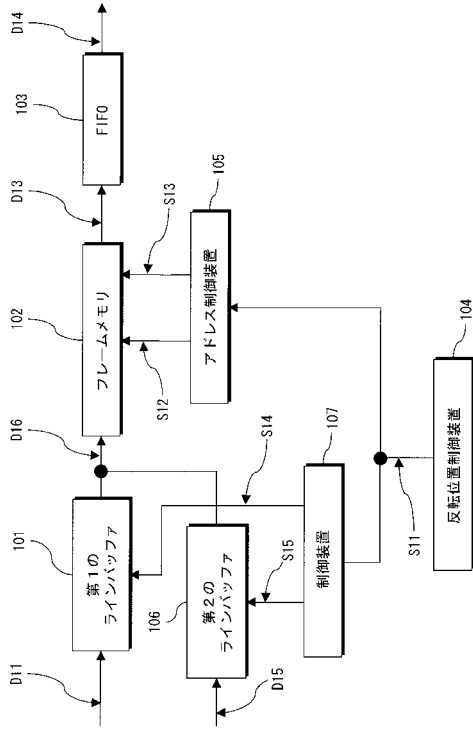
【図 6】



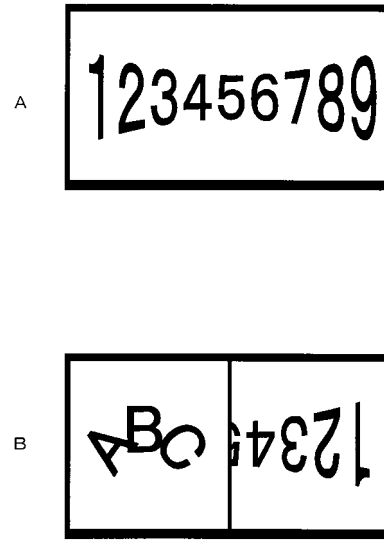
【図 8】



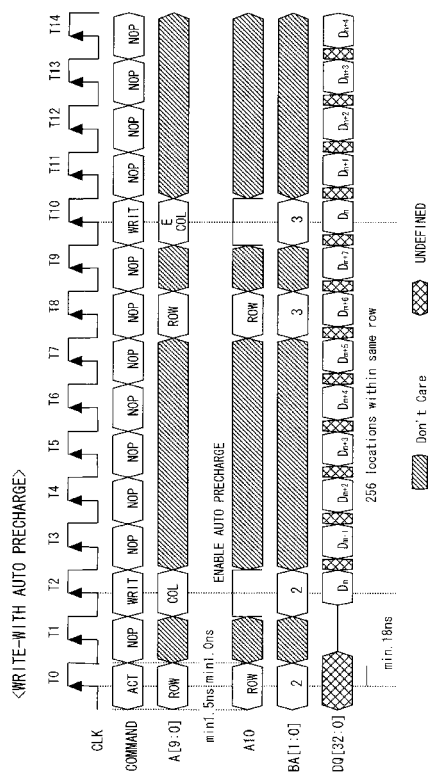
【図 9】



【図 10】



【図 11】



 フロントページの続き

(51)Int.Cl.			F I		
G 0 9 G	3/30	(2006.01)	G 0 9 G	3/20	6 3 1 D
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/20	6 6 0 F
G 0 9 G	3/28	(2006.01)	G 0 9 G	3/22	D
H 0 4 N	5/262	(2006.01)	G 0 9 G	5/36	5 2 0 K
			G 0 9 G	3/30	H
			G 0 9 G	3/36	
			G 0 9 G	3/28	R
			H 0 4 N	5/262	

審査官 長井 真一

(56)参考文献 特開 2 0 0 2 - 2 5 1 1 7 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 - 3 / 3 6 , 5 / 0 0 - 5 / 3 6
 G 0 6 T 1 / 6 0
 H 0 4 N 5 / 2 6 2