(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 29/00

(45) 공고일자 2002년10월18일
(11) 등록번호 10-0357022
(24) 등록일자 2002년10월04일

(21) 출원번호 10-1999-0017539
(22) 출원일자 1999년05월17일

(65) 공개번호 특2000-0005666
(43) 공개일자 2000년01월25일

(30) 우선권주장 1998-169881 1998년06월17일 일본(JP)
1998-269761 1998년09월24일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 오오이시츠카사
일본도쿄토지요다쿠마루노우치2-2-3미쓰비시덴키가부시키가이샤내

(74) 대리인 장수길
구영창

심사관 : 김세영

(54) 데이타 입출력시의 동작 주파수 마진이 개선된 동기형 반도체기억 장치

요약

동기형 반도체 기억 장치에 있어서, 입출력 회로부에 외부로 출력하는 데이타를 일시 유지하는 복수의 출력용 래치와, 외부로부터 입력된 데이타를 일시 유지하는 복수의 입력용 래치를 구비한다. 각 래치는 내부의 메모리 블럭과 데이타 교환을 행할 때는 내부 클럭을 바탕으로 동작하고, 외부와 데이타를 교환할 때는 외부 클럭과 동위상의 클럭으로 동작한다.

대표도
도 10

색인어
동기형 반도체 기억 장치, 래치, 외부 클럭, 동작 주파수 마진, 데이타 교환

명세서

도면의 간단한 설명

도 1은 본 발명의 동기형 반도체 기억 장치(1000)의 전체 구성을 나타내는 개략 블럭도.

도 2는 본 발명의 실시예 1의 동기형 반도체 기억 장치(1000)에서의 각 블럭의 레이아웃을 나타내는 개략도.

도 3은 비동기의 개념을 설명하기 위한 동작 파형도.

도 4는 각 뱅크와 각 입출력 회로의 접속을 설명하기 위한 개략도.

도 5는 메모리 뱅크로부터 데이타가 데이타 단자 DQ0에 출력되는 흐름을 설명하기 위한 도면.

도 6은 데이타 입출력 단자 DQ0으로부터 뱅크에 데이타가 기록되는 흐름을 설명하기 위한 도면.

도 7은 데이타 입출력 단자 DQ0 DQ15 부분의 구성의 개략을 나타내는 도면.

도 8은 도 7에 도시된 데이타 입출력 단자 DQ0 DQ3에 대응하는 부분을 확대하여 나타낸 도면.

도 9는 동기형 반도체 기억 장치(1000)가 입출력 회로부를 통해 데이타를 교환하는 개략을 설명하기 위한 도면.

도 10은 실시예 1에 이용되는 입출력 회로(64)의 구성을 나타내는 회로도.

도 11은 도 10에 도시된 리드시에 데이타를 유지하는 래치(148)의 구성을 나타내는 회로도.

도 12는 도 10에 도시된 데이타 기록시에 데이타를 유지하는 래치 회로(156)의 구성을 나타내는 회로도.

도 13은 도 10에 도시된 시프트 레지스터(162)의 구성을 나타내는 회로도.

도 14는 도 13에 도시된 플립플롭(512)의 구성을 나타내는 회로도.

도 15는 도 1에 도시된 DLL 회로(30)의 구성을 나타내는 블럭도.

도 16은 도 15에 도시된 지연단(238)의 구성을 개략적으로 도시하는 회로도.

도 17은 입출력 회로(64)의 상세한 동작 타이밍을 설명하기 위한 동작 파형도.

도 18은 실시예 2의 동기형 반도체 기억 장치(2000)의 구성을 설명하는 블럭도.

도 19는 데이타 입출력 단자부의 입출력 회로의 구성을 설명하기 위한 도면.

도 20은 실시예 2의 동기형 반도체 기억 장치(2000)의 테스트시의 동작 파형도.

도 21은 테스트시에 사용하는 핀수를 더욱 삭감한 경우의 동작을 설명하는 동작 파형도.

도 22는 도 21에서의 데이타열 D1, D2, D3의 내용을 설명하기 위한 도면.

도 23은 테스트시에 사용되는 데이타 입출력 단자부의 입출력 회로의 구성을 설명하기 위한 도면.

도 24는 도 23에서의 멀티플렉서(3020)의 구성을 나타내는 회로도.

도 25는 데이타 단자 DQ0의 테스트 모드 설정에 관한 구성을 나타내는 회로도.

도 26은 테스트 모드에의 돌입 동작과 해제 동작을 설명하기 위한 동작 파형도.

도 27은 도 22에 도시된 사이클 #4에 입력된 데이타로부터 데이타 패턴을 발생시키는 모습을 설명하기 위한 개념도.

도 28은 테스트 동작 모드시에서 메모리 셀에 기록한 데이타에 대해, 판독 동작에서 기대치와의 비교 결과가 출력되는 경우의 동작을 설명하기 위한 개념도.

도 29는 데이타 입출력 단자 DQ0 DQ15의 데이타 입출력 회로의 구성을 설명하기 위한 개략 블럭도.

도 30은 도 29에 도시한 디코더 회로(1200)의 구성을 설명하기 위한 개략 블럭도.

도 31은 도 21에 도시된 동작 파형 중 테스트 데이타 기록 동작을 보다 자세히 설명하기 위한 타이밍 차트.

도 32는 도 29에 도시된 스크럼블 회로(1300)의 구성을 나타내는 개략 블럭도.

도 33은 테스트 모드 동작에서의 데이타 판독 동작을 설명하기 위한 타이밍 차트.

도 34는 실시예 3의 동기형 반도체 기억 장치(2100)의 전체 구성을 나타내는 개략 블럭도.

도 35는 실시예 3에서 데이타 단자 DQ0에 설치되는 테스트 모드 설정에 관련한 회로의 구성을 나타내는 회로도.

도 36은 BIST 에의 테스트 모드 설정을 설명하기 위한 동작 파형도.

도 37은 사용하는 데이타 단자의 수를 늘리고, 외부에 테스트 실행 상황을 출력하는 모습을 설명하기 위한 동작 파형도.

도 38은 실시예 3의 변형예 1에서 이용되는 데이타 축퇴 회로의 구성을 도시하는 회로도.

도 39는 커맨드나 어드레스 데이타를 축퇴시켜 사용한 경우의 동작을 설명하기 위한 동작 파형도.

도 40은 실시예 4의 데이타 입출력 회로의 구성을 나타내는 도면.

도 41은 각 DQ 단자에 설치된 입출력 회로부의 구성을 나타내는 회로도.

도 42는 실시예 4에서 이용되는 체크 모드 부착의 DLL 회로(360)의 구성을 설명하기 위한 블럭도.

도 43은 위상 비교기(232)의 구성을 나타내는 회로도.

도 44는 도 42에 도시된 전류 발생 회로(236)와 지연단(238)의 구성을 나타내는 회로도.

도 45는 도 42에서의 래치 회로(235)의 구성을 나타내는 회로도.

도 46은 입출력 회로부에 위상 비교 출력을 체크한 결과를 송부하는 체크 회로(370)의 구성을 도시하는 회로도.

도 47은 위상 비교기의 출력을 무효로 하는 구성을 설명하기 위한 도면.

도 48은 DLL 회로(420)의 구성을 나타내는 회로도.

도 49는 위상 비교기의 테스트를 설명하기 위한 파형도.

도 50은 상보인 외부 클럭을 이용하여 위상 비교기에 입력을 제공하는 구성을 나타내는 블럭도.

도 51은 테스트 G를 실시하기 위한 DLL 회로(440)의 구성을 나타내는 블럭도.

도 52는 테스트 F를 실시하기 위해 이용하는 카운터(234a)의 구성을 나타내는 회로도.

도 53은 테스트 D를 실시하기 위한 더미 회로(233b)의 구성을 도시한 회로도.

도 54는 튜닝용의 데이타를 데이타 입출력 단자로부터 입력시키기 위한 입출력 회로(780)의 회로 구성을 나타내는 회로도.

도 55는 테스트 E를 실시하기 위해 이용되는 입출력 회로(450)의 구성을 나타내는 회로도.

도 56은 테스트 E를 실시하기 위한 입출력 회로(791)의 구성을 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명

142, 143 : 레지스터

146, 148, 154, 156 : 래치

150 : 출력 버퍼

152 : 입력 버퍼

158 : 버스 드라이버

162, 164, 172, 174, 180, 182 : 시프트 레지스터

166, 168, 170, 176, 178 : 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 동기형 반도체 기억 장치에 관한 것으로, 보다 특정적으로는 클럭에 동기하여 데이타의 입출력을 행하는 입출력 회로 및 그것을 구비하는 동기형 반도체 기억 장치에 관한 것이다.

종래, 반도체 장치 예를 들면 반도체 기억 장치에 이용되는 데이타 입출력 회로에서는, 출력하는 복수의 데이타를 내부 클럭에 대해 위상을 변이시킴으로써, 클럭 주파수보다 높은 레이트로 반도체 기억 장치 내부로부터 반도체 기억 장치 외부로 데이타의 전송을 행하고 있었다.

그러나, 최근의 반도체 장치의 동작의 고속화에 따라, 복수의 데이타를 인터리브하면, 외부에 접속된 회로가 픽업할 때에, 데이타끼리의 충돌이 발생하거나, 또한 잘못된 데이타를 픽업해 버린다는 문제점이 있었다.

메모리 용량이 1G 비트에도 미치는 거대한 동기형 반도체 기억 장치가 되면, 내부에서의 신호, 특히 칩 전체의 동작을 제어하는 클럭의 스큐가 커지고, 이 스큐는 칩 동작 주파수를 제한하게 된다. 특히, 외부로부터 입력되는 기준 클럭을 클럭 버퍼에서 수신한 후, 그 클럭을 바탕으로 어드레스나 데이타, 커맨드의 수신을 실시하는 경우등에서는, 수신한 클럭을 각 어드레스나 데이타, 커맨드의 입력 단자까지 분배할 필요가 있고, 이 클럭의 전달에 필요한 지연이 칩의 성능을

제한하는 것이 된다. 동시에, 출력할 때에도, 출력 버퍼를 클럭을 바탕으로 제어하는 경우에는, 클럭 스큐만큼 출력이 지연하게 되거나, 외부에서 수신되는 출력 데이타의 마진을 손상시키게 된다.

또한, 제2 문제점으로서, 반도체 기억 장치의 동작의 고속화에 따라, 그 제조공정 중 또는 제품 출하 이전 단계에서의 동작 테스트에는, 이하와 같은 문제점이 존재한다.

즉, 반도체 기억 장치의 기억 용량의 증대에 따라, 그 테스트에 필요한 시간도 증대하고, 이것은 나아가서는 테스트에 필요한 비용의 증대 및 제품 그 자체의 제조 비용의 증대를 초래한다.

종래, 반도체 기억 장치의 기억 용량의 증대에 따르는 테스트 시간의 증가에 대한 대책으로는, 우선 복수의 반도체 기억 장치를 병렬로하여 테스트함으로써, 테스트 효율을 향상시키는 것이 행해지고 있다. 그러나, 상술된 바와 같은 반도체 기억 장치의 기억 용량의 증대는, 예를 들면 반도체 기억 장치에 부여하는 어드레스 신호의 비트수 증대 및 데이타 입출력 인터페이스의 다비트화등을 초래하고, 하나의 반도체 기억 장치당 제어 신호의 입력핀 수 및 입출력핀 수가 증대함으로써, 병렬로 동시에 시험할 수 있는 반도체 기억 장치의 수가 제한되어져 있다.

테스터 장치에서 한번에 동시 측정할 수 있는 반도체 기억 장치의 칩수는, 테스터측이 구비한 핀의 수와 칩측이 필요로 하는 핀의 수의 관계로 결정되고, 일반적으로는 이하의 식으로 나타낸다.

(테스터 장치가 구비한 핀의 수)/(칩이 필요로 하는 핀의 수)(동시 측정할 수 있는 칩 수)

또한, 반도체 기억 장치 자체의 동작 속도가 향상함에 따라, 그것을 테스트하기 위한 테스터 장치의 동작 속도도 향상시키게 되면, 매우 비싼 테스터 장치가 필요해지고, 이것도 시험 비용의 증대를 초래한다.

제3 문제점으로서, 동기형 반도체 기억 장치는 BIST(built in self test)나 DLL (delay lock loop)에 의한 클럭의 발생등 복잡한 시스템을 채용하여 비용 절감이나 기능 향상을 하지만, 이들 회로는 외부로부터 동작 상태를 관측하는 것이 어렵다고 하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 데이타의 입출력에 대해 동작 주파수 마진이 개선된 입출력 회로 및 동기형 반도체 기억 장치를 제공하는 것이다.

본 발명의 다른 목적은, 검사시에 사용하는 단자수를 줄임에 따라 1대의 테스터 장치로 동시에 측정할 수 있는 칩수를 늘림으로써 검사 비용을 절감할 수 있는 동기형 반도체 기억 장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 통상 동작시에는 동작이 외부로부터는 직접적으로 관측할 수 없는 내부 회로의 상태를 입출력 회로를 통해 외부로부터 관측 가능하게 함으로써 내부 회로의 검사나 평가가 용이한 동기형 반도체 기억 장치를 제공하는 것이다.

본 발명은, 요약하면 동기형 반도체 기억 장치로서, 입출력 단자와, 내부 회로와, 입출력 회로를 구비한다.

입출력 단자는, 데이타를 입출력한다. 내부 회로는, 데이타의 기억 동작을 행한다. 입출력 회로는, 입출력 단자를 통해 외부와 데이타 교환을 행하고, 또한 내부 회로와 데이타 버스를 통해 데이타 교환을 행한다. 입출력 회로는, 제1 데이타를 유지하는 제1 데이타 유지 회로와, 제2 데이타를 유지하는 제2 데이타 유지 회로를 포함한다.

본 발명의 다른 국면에 따르면, 동기형 반도체 장치에서 제1 단자군과, 제2 단자군과, 제1 내부 회로와, 제2 내부 회로와, 테스트 제어 회로를 구비한다.

제1 단자군은, 통상 동작 모드에서 제1 데이타군이 입력되고, 테스트 모드에서 제1 데이타군과 제2 데이타군이 외부 클럭에 따라 시분할적으로 입력된다. 제2 단자군은, 통상 동작 모드에서 제2 데이타군이 입력된다. 제1 내부 회로는, 제1 데이타군에 따라 동작한다. 제2 내부 회로는, 제2 데이타군에 따라 동작한다. 테스트 제어 회로는, 통상 동작 모드에서 제1 데이타 단자군으로부터 제1 데이타군을 수취하여 제1 내부 회로에 출력하고, 제2 데이타 단자군으로부터 제2 데이타군을 수취하여 제2 내부 회로에 출력하고, 테스트 모드에서 제1 입력 단자군으로부터 제1 데이타군과 제2 데이타군을 수취하여 제1 내부 회로와 제2 내부 회로에 각각 출력한다.

본 발명의 또 다른 국면에 따르면, 동기형 반도체 기억 장치로서, 내부 회로와, 제1 단자군과, 데이타 전달 회로를 구비한다. 데이타 전달 회로는, 내부 회로와 제1 단자군 사이에 설치되고, 테스트 모드시에 활성화되어 내부 회로의 상태를 나타내는 데이타군을 제1 단자군에 출력한다.

따라서, 본 발명의 주된 이점은, 내부 회로와 데이타 교환하는 클럭과 외부 회로와 데이타 교환하는 클럭을 독립적으로 설정할 수 있기 때문에, 동작 마진을 확대할 수 있는 것이다.

본 발명의 다른 이점은, 검사 공정에서의 동작 확인시 입출력 단자수가 적어도 되기 때문에 검사 비용을 절감할 수 있는 것이다.

본 발명의 또 다른 이점은, BIST 등을 내장한 경우, 내부의 상태도 테스트 장치로 모니터할 수 있기 때문에 동작 확인의 결과가 보다 확실하게 할 수 있음과 동시에 문제점이 발생한 경우의 원인 해명등이 쉽게 되는 것이다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 도면을 참조하여 자세히 설명한다. 또, 도면 중 동일 부호는 동일 또는 상당 부분을 나타낸다.

[실시예 1]

도 1은, 본 발명의 동기형 반도체 기억 장치(1000)의 전체 구성을 도시하는 개략 블럭도이다.

도 1을 참조하여, 동기형 반도체 기억 장치(1000)는 1G 비트의 용량을 갖는 더블 데이타 레이트의 싱크로너스 다이내믹 랜덤 액세스 메모리(이하 DDR-SDRAM)이다.

동기형 반도체 기억 장치(1000)는, 외부로부터 제공되는 전체 동작의 기준이 되는 상보인 클럭 신호 CLK, /CLK를 수취하는 단자 P1, P2와, 칩으로의 입력을 가능하게 하는 인에이블 신호 CKE를 수취한 단자 P3과, 커맨드의 입력을 식별하는 신호 /CS를 수취하는 단자 P4와, 행 계통의 커맨드가 입력된 것을 나타내는 신호 /RAS를 수취하는 단자 P5와, 칼럼계의 커맨드가 입력된 것을 나타내는 신호 /CAS를 수취하는 단자 P6과, 리드, 라이트의 식별 신호인 신호 /WE를 수취하는 단자 P7과, 리드 또는 라이트시의 데이타의 무효를 식별하는 데이타 마스크 신호 DM0 DM3을 입출력하는 단자 P8과, 리드 또는 라이트시의 데이타의 타이밍을 식별하는 데이타 스트로브 신호 QS0 QS3을 입출력하는 단자군 P9과, 입력 신호의 H/L 레벨을 판정하는 기준 전위 Vref가 입력되는 단자 P10과, 어드레스 신호 A0 A12가 입력되는 단자군 P11과, 내장하는 8개의 메모리 뱅크의 3비트의 뱅크 어드레스 BA0 BA2를 수취하는 단자군 P12와, 32비트의 데이타의 입출력 신호 DQ0 DQ31이 입출력되는 단자군 P13을 구비한다.

인에이블 신호 CKE가 활성화되지 않는 동안에는 동기형 반도체 기억 장치(1000)는 동작하지 않는다. 이 비활성 기간 내에는, 동기형 반도체 기억 장치는 스탠바이 상태나, 셀프 리프레시 상태가 된다.

신호 /CS가 활성화되어 있는 동안에는, 클럭의 상승 에지에서 커맨드가 인식된다. 데이타 마스크 신호 DM0 DM2는, 리드시에 데이타의 무효를 나타내는 경우에는, 반도체 기억 장치측으로부터 컨트롤러 IC로 전달되고, 한편 라이트시에 데이타의 무효를 나타내는 경우에는, 컨트롤러 IC 측으로부터 반도체 기억 장치로 전달된다. 데이타 입출력 신호 DQ 8개마다 하나의 데이타 마스크 신호 DM이 할당된다.

마찬가지로 데이타 스트로브 신호 QS는, 리드시에는 데이타의 타이밍을 반도체 기억 장치측으로부터 컨트롤러 IC로 전달하고, 라이트시에는 컨트롤러 IC 측으로부터 반도체 기억 장치측으로 전달한다. 데이타 입출력 신호 DQ 8개마다 하나의 데이타 스트로브 신호 QS가 할당된다.

어드레스 신호 A0 A12는, 로우 어드레스의 입력으로부터는 13 비트 전체가 사용되고, 칼럼 어드레스의 입력에서는 13 비트 중 10 비트가 사용된다. 또한, 모드 레지스터로의 기록용으로도 어드레스 신호의 일부가 사용된다.

동기형 반도체 기억 장치(1000)는, 또한 입력되는 커맨드를 인식하는 모드 디코더(2)와, 동작 모드를 유지하는 모드 레지스터(16)와, 어드레스 단자로부터 로우 어드레스를 입력하는 로우 어드레스 래치(8)와, 어드레스 단자로부터 칼럼 어드레스를 입력하는 칼럼 어드레스 래치(12)와, 뱅크 어드레스로부터 뱅크 어드레스 신호를 입력하는 뱅크 어드레스 래치(18)와, 뱅크 어드레스 래치(18)가 출력하는 뱅크 어드레스를 디코딩하여 대응하는 뱅크를 활성화하는 뱅크 디코더(20)를 포함한다.

동기형 반도체 기억 장치(1000)는, 또한 리프레시 동작시에 리프레시 어드레스를 발생시키기 위한 셀프 리프레시 타이머(4), 리프레시 어드레스 카운터(6)와, 로우 어드레스 래치(8)가 출력하는 어드레스와 리프레시 어드레스 카운터(6)가 출력하는 어드레스 중 어느 하나를 선택하는 멀티플렉서(24)와, 멀티플렉서(24)가 출력하는 어드레스를 수취하여 대응하는 신호를 로우 디코더 RD에 출력하는 로우 프리디코더(10)와, 버스트 동작시에 연속한 칼럼 어드레스를 발생시키는 버스트 어드레스 카운터(28)와, 버스트 어드레스 카운터(28)가 출력하는 어드레스를 수취하여 대응하는 신호를 칼럼 디코더 CD에 출력하는 칼럼 프리디코더(14)를 포함하다.

동기형 반도체 기억 장치(1000)는, 또한 외부로부터 입력되는 클럭 CLK와 동위상인 클럭 CLK(in)를 발생시키는 딜레이드 록 드롭(이하 DLL라고 칭함) 회로(30)와, 데이타 단자군 P13과 글로벌 입출력선 G-I/O사이에서 데이타 레이트를 변환하여 데이타 교환을 행하는 데이타 변환부(22)를 더 포함한다.

글로벌 입출력선 G-I/O는 8개의 메모리 뱅크 BANK0 BANK7과 데이타의 교환을 행한다.

도 2는, 본 발명의 실시예 1의 동기형 반도체 기억 장치(1000)에서의 각 블럭의 레이아웃을 나타내는 개략도이다.

도 2를 참조하면, 동기형 반도체 기억 장치(1000)는 외부 제어 신호 입력 단자군(60)을 통해 제공되는 외부 제어 신호 /RAS, /CAS, /WE, /CS 등을 수취하고, 이것을 디코딩하여, 내부 제어 신호를 발생시키는 컨트롤 회로(70)와, 컨트롤 회로(70)로부터 출력되는 내부 제어 신호를 전달하는 커맨드 데이타 버스(53a 및 53b)와, 메모리 셀이 매트릭스형으로 배치되는 메모리 셀 어레이(100)를 구비한다.

메모리 어레이(100)는, 도 2에 도시된 바와 같이 전부 16개의 메모리 셀 블럭(100a 100p)으로 분할 배치되어 있다. 예를 들면, 동기형 반도체 기억 장치(1000)의 기억 용량이 1G 비트인 경우, 각 메모리 셀 블럭은 64M 비트의 용량을 갖는다. 각 블럭은, 독립적으로 뱅크로서 동작할 수 있는 구성으로 되어 있다.

동기형 반도체 기억 장치(1000)는, 또한 클럭 신호 입력 단자(66)에 제공되는 외부 클럭 신호 CLK를 수취하고, 컨트롤 회로(70)에 의해 제어되어 동기 동작을 개시하고, 내부 클럭 신호 CLK(in)를 출력하는 내부 동기 신호 발생 회로(18)를 포함한다.

내부 동기 신호 발생 회로(18)는, 예를 들면 DLL 회로등에 의해 외부 클럭 신호 CLK에 대해 동기한 내부 클럭 신호 CLK(in)를 생성한다.

어드레스 신호 입력 단자군(62)을 통해 부여되는 외부 어드레스 신호 A0 A12, BA0 BA2는 컨트롤 회로(70)의 제어 하에 내부 클럭 신호 CLK(in)에 동기하여, 반도체 기억 장치(1000) 내로 취득된다.

외부 어드레스 신호 BA0 BA2는, 어드레스 버스(51a)를 통해 뱅크 디코더(72)에 부여된다. 뱅크 디코더(72)로부터는, 어드레스 버스(51b 및 51c)를 통해, 디코드된 뱅크 어드레스 B0 B7이 각 메모리 셀 블럭으로 전달된다.

뱅크 어드레스 B0 B7은, 데이타 입력 단자 DQ0 DQ15에 대응하여 설치되는 메모리 셀 블럭 중 어느 하나와, 데이타 입출력 단자 DQ16 DQ31에 대응하여 설치되는 메모리 셀 블럭 중 어느 하나를 합계한 2개의 메모리 셀 블럭을 활성화한다.

한편, 어드레스 신호 입력 단자군(62)에 제공되는 그 밖의 외부 어드레스 신호는, 어드레스 버스(50a 및 50b)를 통해, 어드레스 드라이버(52)로 전달된다. 어드레스 드라이버(52)로부터 또한, 어드레스 버스(50c)를 통해 어드레스 신호는 각 메모리 셀 블럭으로 전달된다.

동기형 반도체 기억 장치(1000)는, 메모리 셀 블럭의 쌍마다 설치되고, 컨트롤 회로(70)의 제어하에, 어드레스 버스(50c)에 의해 전달된 로우 어드레스를 래치하고, 프리디코딩하는 로우 프리디코더(36)와, 로우 프리디코더(36)로부터의 출력을 바탕으로 선택된 메모리 셀 블럭이 대응하는 행(워드선)을 선택하는 로우 디코더(44)와, 메모리 셀 블럭마다 설치되고, 컨트롤 회로(70)의 제어 하에 어드레스 버스(50c)에 의해 전달된 칼럼 어드레스를 래치하고, 프리 디코딩하는 칼럼 프리디코더(34)와, 칼럼 프리디코더(34)로부터의 출력을 전달하는 칼럼 프리 디코더 선(40)과, 칼럼 프리디코더 선(40)으로부터의 출력을 바탕으로 선택된 메모리 셀 블럭이 대응하는 열(비트선쌍)을 선택하는 칼럼 디코더(42)를 또한 포함한다.

동기형 반도체 기억 장치(1000)는, 칩 중앙부의 장변 방향을 따른 영역으로서, 외부 제어 신호 입력 단자군(60) 및 어드레스 신호 입력 단자군(62)이 설치되는 영역의 외측에 각각 배치되는 데이타 입력 단자 DQ0 DQ15 및 DQ16 DQ31과, 데이타 입출력 단자 DQ0 DQ31에 각각 대응하여 설치되는 입출력 버퍼 회로(64a 64f)와, 입출력 버퍼와 대응하는 메모리 셀 블럭사이에서 데이타의 전달을 행하는 데이타 버스(54)와, 메모리 셀 블럭(100a 100p)에 각각 대응하여 설치되고, 데이타 버스(54)와 선택된 메모리 셀 열 사이에서 데이타의 교환을 행하는 리드/라이트 앰프(38)를 또한 포함한다.

외부 제어 신호 입력 단자군(60)에 부여되는 신호 /RAS는, 동기형 반도체 기억 장치(1000)의 내부 동작을 개시시키고, 또한 내부 동작의 활성 기간을 결정하는 로우 어드레스 스트로브 신호이다. 이 신호 /RAS의 활성화에 따라, 로우 디코더(44)등의 메모리 셀 어레이(100)의 행을 선택하는 동작과 관련하는 회로는 활성 상태가 된다.

외부 제어 신호 입력 단자군(60)에 부여되는 신호 /CAS는, 칼럼 어드레스 스트로브 신호이고, 메모리 셀 어레이(100)에서의 열을 선택하는 회로를 활성 상태로 한다.

외부 제어 신호 입력 단자군(60)에 부여되는 신호 /CS는, 이 동기형 반도체 기억 장치(1000)가 선택되는 것을 나타내는 칩 셀렉트 신호이고, 신호 /WE는, 동기형 반도체 기억 장치(1000)의 기록 동작을 지시하는 신호이다.

신호 /CS, 신호 /RAS, 신호 /CAS 및 신호 /WE의 취득 동작은, 내부 클럭 신호CLK(in)에 동기하여 행해진다.

또한, 어드레스 신호 입력 단자군(62)에 부여되는 어드레스 신호의 취득 동작도 내부 클럭 신호 CLK(in)에 동기하여 행해진다.

[비동기 개념의 설명]

본 발명은, 입출력 회로에 있어서 내부와 외부가 비동기로 동작할 수 있도록 하는 것이지만, 구체적인 구성을 설명하기 전에, 비동기의 개념에 대해 간단히 설명하겠다.

도 3은, 비동기의 개념을 설명하기 위한 동작 파형도이다.

도 3을 참조하여, 외부로부터 입력되는 클럭 CLK는 동기형 반도체 기억 장치 내부의 메모리 어레이에 데이타를 기록 및 판독하는 기준이 된다.

시각 t1에서, 외부로부터 라이트 커맨드가 입력된다.

라이트시에는, 동기형 반도체 기억 장치는 외부로부터 데이타와 동기하여 입력되는 신호 DQS의 타이밍에 따라 데이타를 입력한다. 시각 t2에서, 신호 DQS의 상승에 따라 데이타 단자 DQ에 입력된 데이타 D1이 취득되어 입출력 회로부에 설치된 라이트용의 래치에 기록된다. 마찬가지로, 시각 t3, t4, t5에서는 각각 데이타 D2, D3, D4가 각각 신호 DQS가 변화하는 타이밍에서 라이트용의 래치에 취득된다.

시각 t6에서, 라이트용의 래치에 취득되어 있던 데이타 D1, D2는 클럭 CLK의 상승에 따라 메모리 어레이에 기록된다. 이어서 시각 t7에서, 라이트용 래치에 취득되어 있던 데이타 D3, D4는 메모리 어레이에 기록된다.

시각 t8에서 버스트 라이트가 종료하여 라이트용의 래치는 리셋트된다

마찬가지로 시각 t8에서, 외부로부터 리드 커맨드가 입력된다. 시각 t8 t9 사이에 클럭 CLK를 바탕으로 내부에서 생성되는 내부 클럭에 따라, 메모리 어레이부에 기록되어 있던 데이타 D5, D6은 입출력 회로부의 리드용의 래치로 전달된다. 계속해서 시각 t9 t10에서, 마찬가지로 클럭 CLK를 바탕으로 내부에서 생성되는 내부 클럭에 따라 메모리 어레이에 기록되어 있던 데이타 D7, D8이 입출력 회로부의 리드용의 래치로 전달된다. 판독시에는, 입출력 회로부의 래치에 유지되어 있는 데이타는, 반도체 기억 장치 외부에 접속되는 시스템이 데이타를 필요로 하는 타이밍에서 출력되고, 이 타이밍에 따른 신호 DQS를 동기형 반도체 기억 장치는 외부 시스템을 향해 송출한다.

시각 t11 t15 사이에서 신호 DQS의 변화에 맞추어 외부에 대해 데이타 D5 D8이 순차 출력된다.

이 경우, 도 3에 도시된 바와 같이 데이타를 출력하는 타이밍은 외부로부터 입력되는 클럭 CLK와 항상 동기되어 있는 것은 아니다.

시각 t15에서 버스트 리드가 종료하여 리드용의 래치가 리셋트된다.

이상 설명한 바와 같이, 동기형 반도체 기억 장치는, 외부로부터 입력되는 클럭 CLK를 바탕으로 내부에서 생성되는 내부 클럭에 따라 메모리 어레이에 대해 데이타를 기록 및 판독한다. 한편, 외부와의 데이타의 교환시에는, 동기형 반도체 기억 장치는, 외부에 접속되는 시스템의 사양에 맞춘 타이밍을 나타내는 신호 DQS에 대응하여 래치부에 데이타를 입력하거나 래치부로부터 데이타를 송출한다.

[입출력 회로부의 상세한 구성의 설명]

도 4는, 각 뱅크와 각 입출력 회로의 접속을 설명하기 위한 개략도이다.

도 4는, 도 2에서 설명한 동기형 반도체 기억 장치의 뱅크(100a 100d)와 데이타 입출력 단자 DQ0 DQ15 부분의 입출력 회로와의 접속을 나타내고 있기 때문에 칩의 좌측 절반의 더욱 상측 절반의 256M 비트분의 영역을 확대하여 나타내고 있다. 도 4를 참조하면, 뱅크(100a와 100b)는 메인 워드 드라이버 MWD를 사이에 두고 각각 짝수 어드레스에 대응하는 영역(100abe)과 홀수 어드레스에 대응하는 영역(100abo)으로 분할되어 있다.

더블 데이타 레이트 방식에서는, 내부 클럭의 2배 주파수로 데이타를 출력할 필요가 있다. 이와 같이 분할함으로써, 홀수 어드레스와 짝수 어드레스에 대응하는 데이타를 동시에 액세스하는 것이 가능해지고, 2배 주파수로의 데이타 출력 동작을 쉽게 하고 있다.

단, 이것은 반드시 필요 조건이 아니다. 제일 첫번째로 출력하는 데이타의 어드레스가 홀수인지 짝수인지에 의존하여 대응하는 영역의 액세스 타이밍을 빠르게 하고, 두번째로 액세스하는 영역의 액세스의 타이밍을 지연시키는 것이라도 실현은 가능하다. 이 방식에 따라, 큰 전류 피크가 생기는 것을 방지할 수도 있다. 단 액세스되는 어드레스의 최초가 짝수인 경우와 홀수인 경우에서 액세스하는 타이밍의 위상을 바꾸어야 되기 때문에, 동작의 제어는 복잡해진다.

하나의 뱅크 속의, 짝수 어드레스의 영역으로부터의 데이타와 홀수 어드레스의 영역으로부터의 데이타가 동일한 DQ 부분에 입력된다.

예를 들면, 데이타 단자 DQ0에 대응하여 설치되는 입출력 회로(64a)에는, 짝수 어드레스 영역(100abe, 100cde)으로부터 데이타를 판독하는 리드 앰프(102), 데이타를 기록하는 라이트 앰프(122)가 접속되어 있다. 입출력 회로(64a)에는 또한, 홀수 어드레스 영역(100abo, 100cdo)으로부터 데이타를 판독하는 리드 앰프(104), 데이타를 기록하는 라이트 앰프(124)가 접속된다.

데이타 단자 DQ1 DQ15에 대해서도 대응하여 입출력 회로가 설치되어 각각의 입출력 회로에는 홀수 어드레스 영역 및 짝수 어드레스 영역의 리드 앰프 및 라이트 앰프가 접속된다.

도 5는, 메모리 뱅크로부터 데이타가 데이타 단자 DQ0에 출력되는 흐름을 설명하기 위한 도면이다.

뱅크의 홀수 영역의 데이타가 판독되는 경우, 리드 앰프(104)에 의해 메모리 셀 어레이로부터 판독된 데이타가 리드 데이타 버스 RDBO에 출력된다. 멀티플렉서(110)에 의해 이 데이타가 선택되고, 래치(112)에 일단 유지된 후 멀티플렉서(114), 출력 버퍼(116)를 통해 단자에 출력된다. 짝수 영역으로부터 데이타를 판독하는 경우에는, 리드 앰프(102)로부터 리드 데이타 버스 RDBE를 통해 멀티플렉서 (110)에 데이타가 부여된다.

도 6은, 데이타 입출력 단자 DQ0으로부터 뱅크에 데이타가 기록되는 흐름을 설명하기 위한 도면이다.

도 6을 참조하여, 홀수 어드레스에 데이타를 기록하는 경우에는 단자로부터 입력된 데이타는, 입력 버퍼(136), 디멀티플렉서(134), 래치(132), 디멀티플렉서(130)를 통해 라이트 데이타 버스 WDBO에 출력되고, 라이트 앰프(124)에 의해 메모리 어레이로 전달된다. 짝수 어드레스에 데이타를 기록하는 경우에도 마찬가지로 디멀티플렉서(130)로부터 라이트 데이타 버스 WDBE를 통해 라이트 앰프(122)에 데이타가 전달되고 증폭되어 메모리 어레이로 전달된다.

도 7은, 데이타 입출력 단자 DQ0 DQ15의 부분의 구성의 개략을 나타내는 도면이다.

도 7을 참조하면, 데이타 입출력 단자 DQ0 DQ15는 순서대로 나란히 배치되고, 각각 대응하여 래치를 포함하는 입출력 회로가 설치된다. 입출력 회로에는 리드 데이타 버스 RDB 및 라이트 데이타 버스 WDB가 접속된다. 이 리드 데이타 버스와 라이트 데이타 버스는 공통으로 하는 경우도 있다.

도시하지 않았지만, 데이타 입출력 단자 DQ16 DQ31에 대해서도 마찬가지로 입출력 회로가 설치되어 있다.

도 8은, 도 7에 도시된 데이타 입출력 단자 DQ0 DQ3에 대응하는 부분을 확대하여 나타낸 도면이다.

도 8을 참조하면, 데이타 단자에 대응하여 설치되는 입출력 회로는 리드 데이타 버스 RDB의 데이타를 수취하는 리시버(142, 143)와, 리시버(142, 143)의 데이타를 수취하여 어느 리시버의 데이타를 먼저 출력할 지에 따라 데이타를 분류하는 멀티플렉서(144)와, 멀티플렉서(144)로부터 데이타를 부여할 수 있고, CAS 레이턴시 후의 홀수 클럭 에지에서 데이타를 출력하는 4 데이타분의 래치(148)와, 멀티플렉서(144)로부터 데이타를 부여할 수 있고, CAS 레이턴시 후의 짝수 클럭 에지에서 데이타를 출력하는 4 데이타분의 래치(146)와, 래치(148, 146)로부터 출력된 데이타를 증폭하여

단자로 출력하는 출력 버퍼(150)를 포함한다.

이 입출력 회로는, 또한 입출력 단자 DQ0에 외부에서 부여된 데이타를 증폭하는 입력 버퍼(152)와, 입력 버퍼(152)가 출력하는 데이타를 클럭의 상승 에지에서 래치하는 4 데이타분의 래치(156)와, 입력 버퍼(152)를 출력하는 데이타를 클럭의 하강 에지에서 취득하는 4 데이타분의 래치(154)와, 입력 데이타용의 래치(154, 156)에 취득된 데이타를 내부로 전달할 때에 어드레스에 따라 짝수 어드레스용 데이타 버스와 홀수 어드레스용 데이타 버스 중 어느 하나에 데이타를 분배하기 위한 멀티플렉서(158)를 포함한다. 멀티플렉서(158)의 출력은 짝수 어드레스용 라이트 데이타 버스와 홀수 어드레스용 라이트 데이타 버스를 포함하는 라이트 데이타 버스 WDB에 접속된다.

도 9는, 동기형 반도체 기억 장치(1000)가 입출력 회로부를 통해 데이타를 교환하는 개략을 설명하기 위한 도면이다.

도 9를 참조하여, 신호 CLK는 외부로부터 부여되는 클럭 신호이고, 신호CLK(ctr)는 클럭 신호 CLK를 바탕으로 내부에서 발생되어 메모리 어레이의 동작의 기준이 되는 내부 클럭이고, 신호 /CS, /RAS, /CAS, /WE는 동기형 반도체 기억 장치(1000)에 커맨드를 인식시키기 위한 제어 신호이다.

신호 L-DQ는, 데이타 단자의 하위 비트측 즉 데이타 단자 D0 DQ15로 입출력되는 데이타 신호이고, 신호 U-DQ는 데이타 단자의 상위 비트, 즉 데이타 단자 DQ16 DQ31에 입출력되는 데이타 신호를 나타낸다.

신호 64-ARRAY는, 입출력 회로부와 내부의 메모리 어레이와의 데이타의 입출력을 하는 데이타 버스 상의 신호를 나타낸다. 여기서 신호 L-Even은, 데이타의 하위 비트측의 짝수 어드레스에 상당하는 영역으로부터의 데이타를 나타내고, 신호 L-Odd는 데이타의 하위 비트측의 홀수 어드레스에 상당하는 영역으로부터의 데이타를 나타낸다.

시각 t1에서, 액티브 커맨드(ACT)가 입력되고, 시각 t2에서 라이트 커맨드(WRITE)가 입력된다.

시각 t3 이후, 데이타 단자 DQ0 DQ31에 클럭 CLK의 2배의 데이타 레이트로 버스트 길이(8)의 연속 데이타가 입력된다.

시각 t3에서의 클럭의 상승 에지와 다음 하강 에지에서 2 데이타가 입출력 회로에 취득되고, 시각 t4 이후 순차 메모리 어레이로 출력된다. 이 때 32 비트로 외부로부터 입력된 데이타는 주파수가 2분의 1로 떨어져 비트수가 2배로 증가한 64데이타가 되고, 이 64 데이타가 한번에 메모리 어레이에 기록된다. 버스트 길이(8)의 32 비트의 데이타는, 즉 내부 클럭 CLK(ctr)에 동기한 64 비트의 4 데이타가 되어 내부 메모리 어레이에 기록된다.

시각 t5에서는, 리드 커맨드가 입력되어 내부의 메모리 어레이로부터 64 비트의 데이타가 동시에 판독되고, 시각 t6 이후 32 비트의 더블 데이타 레이트의 데이타가 반도체 기억 장치로부터 외부로 출력된다.

도 10은, 실시예 1에 이용되는 입출력 회로(64)의 구성을 나타내는 회로도이다.

도 10을 참조하여, 어드레스 버스 EVEN0은, 뱅크(0) 뱅크(3)의 짝수 어드레스 영역에 접속되는 데이타 버스이고, 어드레스 버스 ODD0은, 뱅크(0) 뱅크(3)의 홀수 어드레스 영역에 접속되는 데이타 버스이다. 또한, 어드레스 버스 EVEN1은, 뱅크(4) 뱅크(7)의 짝수 어드레스 영역에 접속되는 데이타 버스이고, 어드레스 버스 ODD1은, 뱅크(4) 뱅크(7)의 홀수 어드레스 영역에 접속되는 데이타 버스이다.

입출력 회로(64)는, 선택된 뱅크 및 출력하는 최초의 데이타에 상당하는 어드레스의 짝수 홀수에 따라 어드레스 버스 EVEN0, ODD0, EVEN1 및 ODD1 중 어느 하나를 선택하여 어드레스 버스로부터 전달된 데이타를 리시버 활성화 신호R-EN에 따라 출력하는 리시버(142, 143)와, 리드 클럭 RCLK(ctr)로 시프트 동작을 행하여 셀렉트 신호를 출력하는 시프트 레지스터(162)와, 시프트 레지스터(162)의 출력하는 셀렉트 신호에 따라 각각 리시버(142, 143)가 출력하

는 데이타를 내부에 취득하는 래치(146, 148)를 포함한다.

입출력 회로(64)는, 또한 DLL 회로에서 생성된 클럭 DLL을 바탕으로 생성되는 추출 클럭 DLLe, DLLo를 수취하여 CAS 레이턴시 및 모드 레지스터의 설정에 따라 데이타 출력용 클럭 CK1, CK2로서 입출력 회로 내부에 전달하는 스위치(166)와, 출력 클럭 CK2에 따라 데이타를 시프트하는 시프트 레지스터(164)와, 출력 클럭 CK1에 따라 데이타를 시프트하는 시프트 레지스터(172)를 포함한다. 래치(146, 148)는 각각 시프트 레지스터(172, 164)의 출력에 따라 래치한 데이타를 선택하여 출력한다.

입출력 회로(64)는, 또한 인에이블 신호 OE에 의해 활성화되어 데이타를 단자 DQ0에 대해 출력하는 출력 버퍼(150)와, 출력 클럭 CK1의 활성화에 따라 래치(148)의 출력을 출력 버퍼(150)에 부여하는 스위치(168)와, 출력 클럭 CK2의 활성화에 따라 래치(146)의 출력을 출력 버퍼(150)에 부여하는 스위치(170)를 포함한다.

입출력 회로(64)는, 또한 단자 DQ0에 외부로부터 입력된 데이타를 입력으로서 수취하여 인에이블 신호 WE에 따라 증폭시키는 입력 버퍼(152)와, 외부로부터 입력되는 스트로브 신호에 따라 내부에서 생성되는 신호 FETCHe, FETCHo 각각에 따라 입력 버퍼(152)의 출력을 내부로 전달하는 스위치(176, 178)와, 신호 FETCHo를 시프트 클럭으로서 수취하여 셀렉트 신호를 출력하는 시프트 레지스터(174)와, 신호 FETCHe를 시프트 클럭으로서 수취하여 셀렉트 신호를 출력하는 시프트 레지스터(180)와, 시프트 레지스터(174)가 출력하는 셀렉트 신호에 따라, 스위치(176)를 통해 전달된 신호를 입력하는 래치(156)와, 시프트 레지스터(180)가 출력하는 셀렉트 신호에 따라 스위치(178)가 전달되는 신호를 수취하는 래치(154)를 포함한다.

입출력 회로(64)는, 또한 라이트 클럭 WCLK(loc)를 시프트 클럭으로서 수취하여 셀렉트 신호를 출력하는 시프트 레지스터(182)와, 시프트 레지스터(182)가 출력하는 셀렉트 신호에 따라 래치(154, 156)가 출력하는 데이타를 수취하는 버스 드라이버(158)를 더 포함한다. 버스 드라이버(158)는 수취한 데이타를 기록하는 뱅크 및 최초로 외부로부터 수취한 데이타를 기록하는 어드레스(제1 어드레스)가 짝수인지 홀수인지에 따라 데이타 버스 EVEN0, ODD0, EVEN1, ODD1에 데이타를 분배하여 출력한다.

동작을 간단히 설명하면, 뱅크 0 뱅크 3의 짝수 어드레스 영역, 홀수 어드레스 영역으로부터 오는 데이타 또는 뱅크 4 뱅크 7의 짝수 어드레스 영역, 홀수 어드레스 영역으로부터 오는 데이타 중 어느 하나가 리시버(142, 143)의 입력부에 설치된 4점 스위치 부분으로 구별되고, 취득된다.

여기에는 뱅크의 상위(4-7)/하위(0-3)를 구별하는 신호와, 버스트 판독시의 최초의 어드레스가 짝수 어드레스인지 홀수 어드레스인지를 나타내는 신호가 입력된다. 리시버(143), 래치(148), 스위치(168)가 설치되어 있는 경로가 최초로 출력되는 데이타의 경로이고 리시버(142), 래치(146), 스위치(170)가 설치되어 있는 경로가 2번째의 데이타가 출력되는 경로이다. 리시버(143, 142)의 입력부의 스위치를 거친 데이타는 증폭기로 증폭되어 래치(148, 146)의 입력부의 셀렉터 부분으로 전송된다. 여기서, 셀렉터는 래치에 포함되는 4경로 중 하나를 선택한다. 이 경로의 선택은, 셀렉트 신호를 래치에 입력하는 시프트 레지스터(162)에 부여되는 리드용의 내부 클럭 RCLK(ctr)에 따라 순차 시프트되고, 입력되어온 데이타는 순차 래치된다.

래치에 저장된 데이타는, 래치에 입력됐을 때의 클럭과 다른 클럭을 기준으로 하여 출력된다. 출력측의 클럭 DLLe, DLLo에 따라 시프트 동작을 행하는 시프트 레지스터(164, 172)가 출력하는 셀렉트 신호에 따라 순차, 래치의 출력측의

선택 경로가 시프트한다. 출력 데이타 중 홀수번째로 나오는 데이타가 래치(148)에 저장되어 있고, 짝수번째로 출력하는 데이타가 래치(146)에 저장되어 있다. 따라서, 리드 커맨드를 인식한 리드 클럭 RCLK(ctr)로부터 데이타를 외부로 출력할 때까지의 레이턴시에 의해, 클럭 DLLe와 클럭 DLLo 중 어느 하나가 스위치(168)에 제어 신호로서 입력될지가 결정되고, 스위치(170)에는 다른 클럭이 제어 신호로서 입력된다. 예를 들면, 레이턴시가, 1.5이면 클럭 DLLo가 스위치(168)에 제어 신호로서 입력되고, 클럭 DLLe가 스위치(170)의 제어 신호로서 입력된다.

라이트시에는, 외부로부터 최초로 입력되는 데이타는 무조건 래치(156)에 전송되고, 이어서 입력되는 데이타는 무조건 래치(154)로 전송되고, 이후 래치(156, 154)에 교대로 데이타가 전송된다.

래치된 데이타는, 라이트용의 내부 클럭 WCLK(loc)에 따라 버스 드라이버(158)로 전달된다. 버스 드라이버(158)는 뱅크 어드레스와 버스트 데이타의 최초의 어드레스에 따라 대응하는 데이타 버스로 데이타를 출력한다.

도 10에서는 입출력 회로의 회로 구성을 나타냈지만, 라이트시에 데이타 마스크로서 이용하는 데이타의 입력부에 대해서도, 동형 회로를 이용하여 동일한 마진으로 동작시키는 것도 생각할 수 있다. 이 경우에는, 데이타의 입력측의 회로만이라도 좋지만, 용량 밸런스를 취하기 위해 출력계의 회로도 동작은 시키지 않지만, 더미 배치시키는 경우가 있다.

데이타의 출력에 대한 스트로브 단자에 대해서도 동일하다. 이 경우에는, 데이타의 출력측의 회로만이라도 좋지만, 용량 밸런스를 취하기 위해 입력계 회로도 동작은 시키지 않지만, 더미 배치시키는 경우가 있다.

또한, 양자를 하나로 겸하는 경우도 있다. 출력 데이타의 스트로브와 라이트 마스크 데이타의 입력과는 충돌하는 일이 없는 경우에는 동일한 버스를 이용할 수 있다. 이 경우에는, 데이타 입출력 단자 DQ에 이용되는 입출력 회로와 동일한 회로 구성으로, 출력측에 출력 데이타의 스트로브의 회로를 할당하고, 입력측에 라이트마스크 데이타의 회로를 할당할 수 있다.

도 11은, 도 10에 도시된 리드시에 데이타를 유지하는 래치(148)의 구성을 나타내는 회로도이다.

도 11을 참조하면, 래치(148)는 메모리 어레이로부터 판독되는 데이타 RIN을 수취하여 내부에 취득 유지하고, 출력 신호 ROUT로서 출력하는 4개의 래치(148a 148d)를 포함한다. 래치(148a)는, 입력 신호 RIN을 선택 신호 SELA의 활성화에 따라 내부 노드 N1에 부여하는 P 채널 MOS 트랜지스터(192)와, 소스가 전원 전위에 결합되어 게이트가 노드 N1에 접속되어 드레인이 노드 N2에 접속된 P 채널 MOS 트랜지스터(194)와, 게이트가 노드 N1에 접속되어 소스가 노드 N3에 접속되어 드레인이 노드 N2에 접속된 N 채널 MOS 트랜지스터(196)와, 셀렉트 신호 SELB의 활성화에 따라 노드 N2의 전위를 출력 신호 ROUT로서 래치 외부로 부여하는 N 채널 MOS 트랜지스터(198)와, 입력에 노드 N2, N4가 접속되어 출력이 노드 N1에 접속된 NOR 회로(200)를 포함한다.

래치(148b, 148c, l48d)는 참조 번호(148a)와 동일한 구성을 구비하므로 설명은 반복하지 않는다.

래치(148)는, 또한 래치(148a l48d)에 공통적으로 설치되어 리드 플래그 READ(FLAG)의 활성화에 따라 노드 N3을 접지 전위와 결합하는 N채널 MOS 트랜지스터(202)와, 리드 플래그 READ(FLAG)가 비활성화시에 반전하여 리셋트 신호를 출력하여 노드 N4에 부여하는 인버터(204)를 더욱 포함한다.

래치 내부에 사용되는 트랜지스터(194, 196)는 저전압으로 고속 동작시키기 위해 임계치가 낮은 것이 사용되고, 리드 동작이 행해지지 않을 때에 트랜지스터(194, 196)에 흐르는 서브 임계 전류를 억제하기 위해 N 채널 MOS 트랜지스터(202)에는 임계치가 높은 트랜지스터가 사용된다.

도 10에서의 래치(146)도 래치(148)와 동일한 구성을 구비하므로 설명은 반복하지 않는다.

도 12는, 도 10에 도시된 데이타 기록시에 데이타를 유지하는 래치 회로(156)의 구성을 나타내는 회로도이다.

도 12를 참조하면, 래치 회로(156)는, 데이타 단자에 입력되는 데이타 신호WIN을 수취하여 유지하고 또한 메모리 어레이를 향해 출력 신호 WOUT로서 출력하는 4개의 래치(156a 156d)를 포함한다.

래치(156a)는, 입력 신호 WIN을 선택 신호 SELC의 활성화에 따라 노드 N5에 부여하는 P 채널 MOS 트랜지스터(212)와, 노드 N5가 게이트에 접속되어 소스가 전원 전위에 결합되어 드레인이 노드 N6에 접속된 P 채널 MOS 트랜지스터(214)와, 게이트가 노드 N5에 접속되어 드레인과 소스가 각각 노드 N6, N7에 접속되는 N 채널 MOS 트랜지스터(216)와, 선택 신호 SELD의 활성화에 따라 노드 N6의 전위를 출력 신호 WOUT로서 부여하는 N 채널 MOS 트랜지스터(218)를 포함한다. 래치(156a)는, 또한 노드 N6, N8이 입력에 접속되어 출력이 노드 N5에 접속된 NOR 회로(220)를 포함한다.

래치(156b, 156c, 156d)는 래치(156a)와 동일한 구성을 구비하기 때문에 설명은 반복하지 않는다.

래치(156)는, 또한 래치(156a 156d)에 공통적으로 설치되어 라이트 플래그 WRITE(FLAG)의 활성화에 따라 노드 N7을 접지 전위에 결합하는 N 채널 MOS 트랜지스터(222)와, 라이트플래그 WRITE(FLAG)가 비활성화시에 반전하여 노드 N8에 리셋트 신호로서 부여하는 인버터(224)를 포함한다.

래치 내부에 사용되는 트랜지스터(214, 216)는 저전압으로 고속 동작시키기 때문에 임계치가 낮은 것이 사용되고, 라이트 동작이 행해지지 않을 때에 트랜지스터(214, 216)에 흐르는 서브 임계 전류를 억제하기 위해 N 채널 MOS 트랜지스터(222)에는 임계치가 높은 트랜지스터가 사용된다.

도 10에서의 래치(154)도 래치(156)와 동일한 구성을 구비하므로 설명은 반복하지 않는다.

도 11, 도 12를 참조하면, 래치(148, 156)는 리셋트 신호에 의해 동작하지 않을 때에는 래치의 입력측이 L 레벨로, 출력측이 H 레벨로 리셋트된다. 이 때문에, 트랜스퍼 게이트로서 사용하고 있는 MOS 트랜지스터의 도전형을 바꾸고 있다.

트랜스퍼 게이트용의 MOS 트랜지스터는 동작 스피드의 고속화를 위해, 저임계치의 것을 사용한다. 입력 노드가 L 레벨이 되기 때문에 래치의 입력측에는 P 채널형의 트랜지스터를 사용하고, 출력 노드가 H 레벨이기 때문에 출력측에는 N 채널형의 트랜지스터를 사용한다. 이 때, 스탠바이시의 래치의 노드 전위에 대한 게이트 전위 즉 게이트-소스간 전압이 마이너스가 됨으로써 각각의 트랜지스터는 임계치가 낮아도 누설 전류가 발생하기 어렵다.(도시하지 않았지만, 전후의 회로부에 의해 리셋트시의 출력 노드 및 입력 노드는 제어되어 있음.)

이상 설명된 바와 같이 데이타의 판독, 기록시에서의 버스트 동작의 종료시에 래치를 리셋트하고, 인버터부의 접지측에 공통적으로 설치된 임계치가 높은 N 채널 MOS 트랜지스터에 의해 접지 전위와 인버터를 분리함으로써 대기시의 서브 임계 전류를 작게 억제할 수 있다.

도 11, 12에서는 NOR 회로에 의해 인버터의 입력 노드가 L(로우) 레벨로 리셋트되는 예를 나타냈지만 H(하이) 레벨로 리셋트되어도 좋다. 그 경우에는 인버터의 전원 노드측에 임계치의 절대치가 큰 P 채널 MOS 트랜지스터가 설치되고, 래치에 데이타를 입출력하는 트랜스퍼 게이트의 MOS 트랜지스터의 도전형은 리셋트 논리에 따라 선택된다.

도 13은, 도 10에 도시된 시프트 레지스터(162)의 구성을 나타내는 회로도이다.

도 13을 참조하면, 시프트 레지스터(162)는, 리드플래그 READ(FLAG), 리셋트 신호 RESET, 내부 신호 C02, 내부 신호 C011을 수취하고, 내부 신호 C01을 발생시키는 펄스 발생 회로(501)와, 내부 신호 C01을 입력 노드 D에 수취하여 출력 노드 Q로부터 내부 신호 C02를 출력하는 플립플롭(514)과, 내부 신호 C02를 입력 노드 D에 수취하여 출력

노드 Q로부터 내부 신호 C03을 출력하는 플립플롭(516)과, 내부 신호 C03을 입력 노드 D에 수취하여 출력 노드 Q로부터 내부 신호 C04를 출력하는 플립플롭(518)과, 내부 신호 C04를 입력 노드 D에 수취하여 출력 노드 Q로부터 내부 신호 C011을 출력하는 플립플롭(512)과, 내부 신호 C01, C02, C03, C04 및 클럭 신호 SCLK를 수취하여 셀렉트 신호 C1, C2, C3, C4를 출력하는 출력 회로(519)를 포함한다.

플립플롭(512, 514, 516, 518)의 클럭 노드 CK에는 시프트 클럭으로서 클럭 신호 SCLK가 입력되어 리셋트 입력 노드 R에는 리셋트 신호 RESET가 입력된다.

펄스 발생 회로(501)는, 리드플래그 READ(FLAG)를 한쪽 입력에 수취한 NOR 회로(502)와, NOR 회로(502)의 출력과 리셋트 신호 RESET와 내부 신호 C02를 입력에 수취하여 NOR 회로(502)의 다른 입력 노드에 부정합을 출력하는 3입력의 NOR 회로(504)와, NOR 회로(502)의 출력을 수취하여 반전하는 인버터(506)와, 인버터(506)의 출력과 내부 신호 C011를 수취하는 NOR 회로(508)와, NOR 회로(508)의 출력을 수취하여 반전하고 내부 신호 C01을 출력하는 인버터(510)를 포함한다.

출력 회로(519)는, 내부 신호 C01과 클럭 신호 SCLK를 수취한 NAND 회로(520)와, NAND 회로(520)의 출력을 수취하여 반전하고 셀렉트 신호C1을 출력하는 인버터(522)와, 내부 신호 C02와 클럭 신호 SCLK를 수취한 NAND 회로(524)와, NAND 회로(524)의 출력을 수취하여 반전하고 셀렉트 신호 C2를 출력하는 인버터(526)와, 내부 신호 C03과 클럭 신호 SCLK를 수취한 NAND 회로(528)와, NAND 회로(528)의 출력을 수취하여 반전하고 셀렉트 신호 C3을 출력하는 인버터(530)와, 내부 신호 C4와 클럭 신호 SCLK를 수취한 NAND 회로(532)와, NAND 회로(532)의 출력을 수취하여 반전하고 셀렉트 신호 S4를 출력하는 인버터(534)를 포함한다.

도 14는, 도 13에 도시된 플립플롭(512)의 구성을 나타내는 회로도이다.

도 14를 참조하면, 플립플롭(512)은 클럭 노드 CK가 입력에 접속되는 인버터(570)와, 인버터(570)의 출력을 수취하여 반전하는 인버터(572)와, 입력 노드 D가 입력에 접속되는 인버터(542)와, 인버터(542)의 출력 노드와 노드 NF1 사이에 병렬로 접속되는 P 채널 MOS 트랜지스터(544) 및 N 채널 MOS 트랜지스터(546)와, 노드 NF1과 리셋트 입력 노드 R이 입력에 접속되는 NOR 회로(548)와, NOR 회로(548)의 출력을 수취하고 반전하는 인버터(550)와, 인버터(550)의 출력 노드와 노드 NF1 사이에 병렬로 접속되는 P 채널 MOS 트랜지스터(554) 및 N 채널 MOS 트랜지스터(552)를 포함한다.

P 채널 MOS 트랜지스터(544)의 게이트 및 N 채널 MOS 트랜지스터(552)의 게이트는 인버터(570)의 출력을 수취한다. N 채널 MOS 트랜지스터(546)의 게이트 및 P 채널 MOS 트랜지스터(554)의 게이트는 인버터(572)의 출력을 수취한다.

플립플롭(512)은, 또한 NOR 회로(548)의 출력 노드와 노드 NF2 사이에 병렬로 접속되는 P 채널 MOS 트랜지스터(556) 및 N 채널 MOS 트랜지스터(558)와, 노드 NF2가 입력에 접속되는 인버터(560)와, 인버터(560)의 출력 노드와 리셋트 입력 노드 R이 입력에 접속되는 NOR 회로(562)와, NOR 회로(562)의 출력 노드와 노드 NF2 사이에 병렬로 접속되는 P 채널 MOS 트랜지스터(564) 및 N 채널 MOS 트랜지스터(566)와, 인버터(560)의 출력을 수취하고 반전하여 출력 노드 Q에 반전 결과를 출력하는 인버터(568)를 포함한다.

P 채널 MOS 트랜지스터(556)의 게이트와 N 채널 MOS 트랜지스터(566)의 게이트는 인버터(572)의 출력을 수취한다. N 채널 MOS 트랜지스터(558)의 게이트와 P 채널 MOS 트랜지스터(564)의 게이트는 모두 인버터(570)의 출력을 수취한다.

도 13에 도시된 플립플롭(514, 516, 518)도 플립플롭(512)과 동일한 구성을 구비하므로 설명은 반복하지 않는다.

이어서 시프트 레지스터(162)의 동작을 간단히 설명한다.

우선 초기 상태에서는 리셋트 신호 RESET에 의해 플립플롭(512 518)이 유지하고 있는 데이타는 클리어된다. 이어서 리드플래그 READ(FLAG)가 입력되면 내부 신호 C01이 H 레벨로 상승한다.

그리고 클럭 신호 SCLK가 입력되면 이 내부 신호 C01이 플립플롭(514)에 취득되어 내부 신호C02가 H 레벨로 상승한다. 동시에 펄스 발생 회로(501)는 내부 신호 C02에 의해 리셋트가 걸려 내부 신호 C01은 L 레벨로 하강한다. 이후에는 내부 신호 C02의 H 레벨이 플립플롭(516, 518, 512, 514)에 의해 순차 전달된다. 즉 내부 신호 C01, C02, C03, C04 중 어느 하나가 H 레벨이고, 이 H 레벨이 된 신호는 클럭 신호 SCLK의 에지에 동기하여 순차 시프트하게 된다.

내부 신호 C01, C02, C03, C04는 1클럭 주기의 폭을 갖는 펄스이므로, 출력 회로(519)에 의해 클럭 신호와 논리곱을 취함에 따라 셀렉트 신호 C1, C2, C3, C4에는 클럭 신호 SCLK의 펄스폭을 갖는 신호 출력되고, 이 신호는 순차 시프트되게 된다.

도 10에 도시된 시프트 레지스터(164, 172, 174, 182, 180)도 시프트 레지스터(162)와 동일한 구성을 구비하므로 설명은 반복하지 않는다.

도 15는, 도 1에 도시된 DLL 회로(30)의 구성을 나타내는 블럭도이다.

도 15를 참조하면, DLL 회로(30)는, 외부 클럭 CLK를 수취하여 클럭 ECLK를 출력하는 입력 버퍼(231)와, 내부 클럭 CLK(in)를 수취하여 클럭 CCLK를 출력하는 더미 회로(233)와, 클럭 CCLK, ECLK의 위상을 비교하는 위상 비교기(232)와, 위상 비교기(232)로부터 제어 신호 UP/DOWN을 수취하여 카운트 업/다운하는 카운터(234)와, 카운터(234)의 출력하는 카운트치에 따라 전류를 발생시키는 전류 발생 회로(236)와, 전류 발생 회로(236)가 발생하는 전류량에 따른 지연량으로 클럭 ECLK를 지연하여 클럭 ECLK2로서 출력하는 지연단(238)과, 클럭 ECLK2를 증폭시키는 버퍼(240)와, 버퍼(240)의 출력을 내부 클럭 CLK(in)로서 동기형 반도체 기억 장치 내부의 회로로 분배하는 클럭 트리(242)를 포함한다.

도시하지 않았지만, 클럭 트리(242)는 동기형 반도체 기억 장치에 외부로부터 데이타를 취득하는 어드레스 단자군, 외부 제어 입력 단자군, 데이타 입출력 단자군등에 대해 클럭을 공급한다. 클럭 트리는 각 회로로 공급하는 클럭의 각 지연량이 동일해지도록 분기가 구성된다.

도 16은, 도 15에 도시된 지연단(238)의 구성을 개략적으로 나타내는 회로도이다.

도 16을 참조하면, 지연단(238)은 클럭 신호 ECLK를 수취한 직렬로 접속된 인버터(252 274)와, 인버터(274)의 출력을 수취한 직렬로 접속된 인버터(276 282)와, 인버터(274)의 출력 및 인버터(282)의 출력을 수취한 EXOR 회로(284)를 포함한다. 인버터(282)의 출력은 도 15의 버퍼(240)에 부여되고, EXOR 회로(284)의 출력은 외부 클럭 CLK에 대해 2배의 주파수인 클럭 DLL이 된다.

도 16에서는 전부 16개의 인버터가 기록되어 있지만, 인버터의 수는 필요에 따라 적절하게 증감된다. 또한 이들 인버터는 도 15에 도시된 전류 발생 회로(236)가 발생하는 전류치에 따라 지연량이 변화한다. 예를 들면, 전류치가 작으면 지연량은 커진다. EXOR 회로(284)는 지연단(238)의 4분의 1에 상당하는 지연량의 클럭끼리를 비교하여 클럭의 2배의 주파수의 클럭 DLL을 발생시킨다.

도 17은, 입출력 회로(64)의 상세한 동작 타이밍을 설명하기 위한 동작 파형도이다.

도 10, 도 17을 참조하면, 클럭 신호 CLK는 칩 외부로부터 입력되는 클럭 신호이고, 내부 클럭 신호 CLK(in)는, 외부 클럭 신호 CLK와 위상이 갖추어진 DLL 회로에서 발생된 클럭 신호이고, 클럭 신호 CLK(ctr)는 외부 클럭 신호 CLK에 기초하여 생성되어 내부의 메모리 어레이에의 판독 기록의 기준이 되는 클럭 신호이다.

시각 t1에서, 라이트 커맨드가 입력된다. 동시에 라이트 플래그 WRITE (FLAG)가 L 레벨로부터 H 레벨로 상승한다.

시각 t2에서, 외부로부터 데이타 단자에 클럭 주파수의 2배의 주파수에서 데이타 DQ의 입력이 개시된다. 동시에 이 데이타를 입력하기 위한 스트로브 신호 QS도 입력된다. 스트로브 신호 QS를 바탕으로 신호 FETCH가 생성되어 이 신호 FETCH로부터 도 10의 입력 래치(156, 154)에 데이타를 취득하는 선택 신호 FETCHe, FETCHo가 생성된다.

시각 t2 t3 사이에 입력부의 래치(156, 154)에 각각 취득된 데이타 D0, D1은 시각 t3에서, 기록용 클럭 신호 WCLK(loc)에 따라 내부의 글로벌 I/O 선 G-I/O 및 메모리 어레이 상의 마스터 I/O 선 M-I/O를 통해 메모리 셀에 데이타가 2비트동시에 기록된다. 마찬가지로 래치(156, 154)에 취득된 데이타 D2 D7의 데이타도 2비트씩 시각 t4 t7 사이에 내부의 메모리 셀로 기록된다.

시각 t7에서 리드 커맨드가 입력되면 리드 플래그 READ(FLAG)가 L 레벨로부터 H 레벨로 상승함과 동시에 리드용 클럭 RCLK(ctr)에 따라 메모리 셀로부터 데이타가 판독된다.

시각 t8 t9에서 판독된 데이타는 입출력 회로의 출력용의 데이타 래치(148, 146)에 각각 기록된다.

시각 t9 t10에서 외부에 대해 클럭 주파수의 배의 주파수에서 데이타가 출력된다. 이 때의 출력의 기준이 되는 클럭은 외부 클럭 CLK를 바탕으로 칩 내부에서 발생된 클럭 DLL이다. 실제는, 입출력 회로(64)의 출력 데이타의 래치(148, 146)로부터 데이타를 외부에 대해 판독하는 것은 클럭 DLL을 바탕으로 발생된 클럭 DLLe 및 클럭 DLLo 이다.

마찬가지로, 시각 t10 이후 데이타 D2 D7이 순차 내부의 메모리 셀로부터 입출력 회로부의 래치에 판독되어 칩 외부로 판독된다.

이상 설명된 바와 같이, 하나의 뱅크 내의 데이타를 판독할 때에는 짝수 어드레스 영역으로부터의 데이타와 홀수 어드레스 영역으로부터의 데이타가 동시에 입출력 회로 부분에 전달된다. 이들 데이타는, 뱅크의 상하(DQ 단자에 대해 상하 어느 측의 영역에 존재하는 뱅크로부터의 데이타인지), 또한 최초로 외부에 출력하는 데이타가 짝수 어드레스의 데이타인지 홀수 어드레스의 데이타인지에 따라 소정의 래치로 전달된다.

즉, 래치에는 동시에 온 2개의 데이타 중, 먼저 나가는 데이타를 데이타를 먼저 출력하는 래치에 저장하고, 나중에 나가는 데이타를 데이타를 나중에 출력하는 래치에 저장한다. 이와 같이 함으로써 데이타를 저장한 후에 출력은, 쌍방의 래치를 교대로 액세스함으로써 버스트 길이에 상당하는 연속 데이타를 출력한다.

이러한 구성으로 함에 따라, 래치할 때까지는 메모리 어레이등은 내부 클럭에 동기하여 동작을 실행할 수 있고, 데이타를 출력하는 부분은 외부 클럭에서 동작이 가능해진다. 즉, 내부는 내부 클럭에서 독자적으로 데이타를 래치에 두고, 외부는 외부 클럭에서 데이타를 픽업할 수 있다. 따라서, 동작 주파수가 높아졌을 때에, 내부의 데이타의 전송에 대해 외부의 픽업의 레이턴시가 커져도, 오류 데이타를 픽업하는 일은 없다. 또한, 레이턴시가 작고, 또한 주파수가 높은 상태에서 사용해도, 래치에 입력된 데이타가 그대로 출력되는 것만으로, 오류 데이타를 픽업하는 일은 없다.

또한, 래치부의 데이타는 버스트 동작 종료 후 리셋트되기 때문에 본 구성이라고 하면 서브 임계 전류를 작게 억제할 수 있다.

[실시예 2]

도 18은, 실시예 2의 동기형 반도체 기억 장치(2000)의 구성을 설명하는 블럭도이다.

도 18을 참조하면, 동기형 반도체 기억 장치(2000)는, 실시예 1에서 설명한 동기형 반도체 기억 장치(1000)의 구성에서, 데이타 입출력 단자 P13으로부터의 데이타가 래치되는 데이타 변환부(303)로부터의 데이타 입력과 제어 관련의 단자 P4 P7 및 어드레스 단자군 P11, P12로부터 입력되는 데이타를 멀티 플렉스하여 내부블럭으로 전하는 멀티플렉서(302)를 포함하는 점이 다르다.

다른 구성은 도 1에서 설명한 동기형 반도체 기억 장치(1000)와 동일하므로 설명은 반복하지 않는다.

도 19는, 데이타 입출력 단자부의 입출력 회로의 구성을 설명하기 위한 도면이다.

도 19를 참조하면, 실시예 2에서의 입출력 회로는, 도 8에서 설명된 실시예 1의 입출력 회로의 구성에 더해, 입력 버퍼(152)로부터 데이타를 수취하여 취득하고, 커맨드나 어드레스의 데이타로서 도 18의 멀티플렉서(302)에 송출하는 커맨드, 어드레스 취득용의 포트(304)를 포함하는 점이 다르다. 다른 구성은 도 8에서 설명한 실시예 1의 입출력 회로와 동일하므로 설명은 반복하지 않는다.

도 20은, 실시예 2의 동기형 반도체 기억 장치(2000)의 테스트시에서의 동작 파형도이다.

도 20을 참조하면, 시각 t1에서 칩에 액티브 커맨드가 입력된다. 통상 동작이면, 제어 신호 입력 단자 /CS, /RAS, /CAS, /WE, /DM0 및 DM1과 어드레스 입력 단자 A0 A12, BA0 BA2를 사용하여 커맨드에 대응하는 데이타가 입력되지만, 실시예 2의 동기형 반도체 기억 장치(2000)에서는 테스트시에는 데이타 단자 DQ0 DQ31 중에서 몇개의 단자를 이용하여 커맨드에 상당하는 데이타가 입력된다.

이것이 가능한 이유는, 데이타 입출력 단자는 통상 동작시에 커맨드의 입력이 실시되는 타이밍으로는 데이타의 교환은 행하지 않고 미사용 상태이기 때문이다.

시각 t2에서는 라이트 커맨드에 상당하는 데이타와 어드레스가 데이타 단자로부터 입력된다.

시각 t3 이후에는 데이타 단자로부터 더블 데이타 레이트로 기록용의 데이타가 외부로부터 입력된다. 그리고 스트로브 신호 QS의 하강 에지 및 상승 에지에서 데이타가 취득되어 내부의 메모리 어레이로 전송된다.

시각 t4에서는 리드 커맨드에 상당하는 데이타와 어드레스가 데이타 단자로부터 입력된다. 따라서 메모리 어레이로부터 데이타가 판독되어 시각 t5 이후 더블 데이타 레이트로 외부에 대해 판독된 데이타가 출력된다.

이와 같이 함으로써 테스트시에서의 사용하는 핀 수를 감할 수 있다

즉, 클럭 관계와 Vref 단자는 남지만, 다른 제어 관련 핀은 사용하지 않고 데이타 핀으로부터 데이타와 시분할로 제어 커맨드를 입력할 수 있다. 또한, 어드레스는, 전부 데이타핀으로부터 넣을 수 있다.

[실시예 2의 변형예 1]

도 21은, 테스트시에 사용하는 핀수를 더욱 삭감한 경우의 동작을 설명하는 동작 파형도이다.

실시예 2의 변형예 1에서는 데이타 입출력 단자 중 8핀만을 사용하여 커맨드, 어드레스, 데이타의 입력을 실시한다. 사용하지 않은 데이타 입출력 단자 및 제어용 입출력 단자나 어드레스 단자는 테스트 장치에는 접속되지 않고 개방 상태가 된다. 이 때문에, 테스트시에 사용하지 않은 단자의 입력 버퍼는 비활성화된다.

통상 셀프 리프레시 모드나 파워 다운 모드시에는 데이타 입출력 단자까지 비활성화되지만, 이들 모드와 달리 테스트를 실시할 때에는 데이타 입출력 단자의 일부는 활성 상태를 유지하는 점이 특징이다.

도 21을 참조하면, 시각 t1에서 입출력 단자 DQ0, DQ4, DQ8, DQ12, DQ16, DQ20, DQ24, DQ28로부터 액티브 커맨드 ACT를 포함하는 데이타열 D1이 입력되어 동시에 그 데이타열을 취득하기 위한 스트로브 신호 QS가 입력된다.

시각 t2에서, 라이트 커맨드, 어드레스, 데이타를 나타내는 데이타열 D2의 입력이 개시되어 내부의 메모리 어레이에 데이타가 기록된다.

시각 t3에서 리드 커맨드, 어드레스를 포함하는 데이타열 D3이 입력되어 따라서 내부의 메모리 어레이로부터 데이타가 판독되고, 시각 t4에서 내부 어레이로부터 판독된 데이타에 대응하는 출력이 입출력 단자로부터 출력된다.

데이타열 D1, D2, D3의 입력시에는, 데이타 단자(8) 단자로부터 1사이클 내에 입력되는 8비트를 수사이클 반복 취득함으로써 테스트 동작에 필요한 신호가 입력된다. 이들 데이타열의 취득 타이밍은 스트로브 신호 QS를 이용하여 인식한다. 도 21에서는 외부 클럭의 2분의 1클럭마다 천이하는 스트로브 신호 QS의 에지를 검출하여 취득 타이밍을 인식한다.

그러나, 변형은 다수 있을 수 있다. 스트로브 신호 QS를 데이타열이 입력되는 동안 L 레벨로 하고, 그 동안의 클럭 에지를 인식해도 좋다. 또한, 스트로브 신호 QS를 대신하여, 외부의 클럭을 이용해도 좋다.

도 22는, 도 21에서의 데이타열 D1, D2, D3의 내용을 설명하기 위한 도면이다.

도 22를 참조하면, 우선 최초의 사이클 #1에서 동작 인식에 필요한 커맨드 관계를 입력한다.

즉, 데이타 단자 DQ0, DQ4, DQ8, DQ12, DQ16, DQ20, DQ24에는 각각 최초의 사이클에서 커맨드 신호 CKE, /CS, /RAS, /CAS, /WE, DM0, DM1이 입력된다. 또한 최초의 사이클에서 데이타 단자 DQ28에 입력된 데이타는 무시된다.

최초의 사이클로 입력된 일련의 비트를 디코드함으로써 동기형 반도체 기억 장치는 동작을 인식한다.

다음 2사이클째 #2에서, 뱅크 어드레스와 어드레스가 입력된다. 즉, 2사이클째에는 뱅크 어드레스 BA0, BA1, BA2, 어드레스 신호 A12 A8이 입력되고, 3사이클째 #3에는 어드레스 신호 A7 A0이 입력된다. 이 때의 어드레스는, 커맨드가 행 계통이면 로우 어드레스, 칼럼계이면 칼럼 어드레스에 대응한다.

제4 사이클째 #4에는, 데이타 단자에는 데이타 DT0 DT7이 입력된다. 이 8비트의 데이타로부터 버스트 길이분의 데이타가 발생된다. 즉, 버스트 길이가 8인 경우에는 8(버스트 길이) × 32(핀수) = 256 비트의 데이타가 발생된다. 데이타의 발생은 입력된 8비트를 디코드함으로써 행해진다. 또, 신호 CKE는 전의 입력 사이클에서 입력된 상태도 커맨드 디코드에 이용되는 커맨드 신호이기 때문에, 입력된 상태가 다음에 리셋트될 때까지 유지된다.

도 23은, 테스트시에 사용되는 데이타 입출력 단자부의 입출력 회로의 구성을 설명하기 위한 도면이다.

도 23을 참조하면, 입출력 회로(641)는 버퍼(152)의 출력 신호 IDQ와 커맨드신호 CMD와 어드레스 신호 ADR1, ADR2를 수취하는 멀티플렉서(3020)를 포함하고, 래치(146, 148, 154, 156)를 대신하여 래치(1146, 1148, 1l54, 1156)를 포함하는 점이 도 10에서 설명한 입출력 회로(64)와 다르다.

멀티플렉서(3020)는, 커맨드 신호 ICMD를 모드 레지스터에 출력하고, 어드레스 신호 IADR1, IADR2를 어드레스 래치에 출력하고, 테스트 패턴의 근거가 되는 신호 TPG를 디코더(1200)에 출력한다. 래치(1146, 1148)는 나중에 설명하는 멀티플렉서(1400)로부터 테스트 결과가 일괄되어 기록되는 입력 패스를 더욱 구비하고, 래치(1154, 1156)는 나중에 설명하는 디코더(1200)로부터 발생된 테스트 패턴이 일괄되어 기록되는 입력 패스를 더욱 구비한다.

다른 구성은 도 10에서 도시한 입출력 회로(64)와 동일하므로 설명은 반복하지 않는다.

도 24는, 도 23에서의 멀티플렉서(3020)의 구성을 나타내는 회로도이다.

도 24를 참조하면, 멀티플렉서(3020)는 신호 IDQ로부터 데이타를 취득하는 래치(608, 618, 628, 638)를 포함한다. 멀티플렉서(3020)는, 또한 클럭 신호 φl, φ2, φ3, φ4에 따라 각각 도통하여 래치(608, 618, 628, 638)에 신호 IDQ를 각각 부여하는 스위치 회로(610, 620, 630, 640)를 포함한다.

래치(3020)는, 또한 통상 동작시에는 신호 CMD를 신호 ICMD로서 출력하여 테스트 모드시에는 래치(608)의 출력을 신호 ICMD로서 출력하는 셀렉터(602)와, 통상 모드에는 신호 ADR1을 신호 IADR1로서 출력하여 테스트 모드시에는 래치(618)의 출력을 신호 IADR1로서 출력하는 셀렉터(612)와, 통상 모드시에는 신호 ADR2를 신호 IADR2로서 출력하여 테스트 모드시에는 래치(628)의 출력을 신호 IADR2로서 출력하는 셀렉터(622)와, 통상 모드시에는 신호 IDQ를 통상의 데이타 버스에 출력하여 테스트 모드시에는 래치(638)의 출력을 신호 TPG로서 출력하는 스위치 회로(632)를 포함한다.

셀렉터(602)는, 통상 모드시에 도통하여 신호 CMD를 신호 ICMD를 출력하는 노드에 부여하는 스위치(604)와, 테스트 모드시에 도통하여 래치(608)의 출력을 신호 ICMD를 출력하는 노드에 부여하는 스위치(606)를 포함한다. 셀렉터(612)는, 통상 모드시에 도통하여 신호 ADR1을 신호 IADR1을 출력하는 노드에 부여하는 스위치 회로(614)와, 테스트 모드시에 도통하여 래치(618)의 출력을 신호IADR1을 출력하는 노드에 부여하는 스위치 회로(616)를 포함한다. 셀렉터(622)는, 통상 모드시에 도통하여 신호 ADR2를 신호 IADR2를 출력하는 노드에 부여하는 스위치 회로(624)와, 테스트 모드시에 도통하여 래치(628)의 출력을 신호 IADR2를 출력하는 노드에 부여하는 스위치 회로(626)를 포함한다. 스위치 회로(632)는, 테스트 모드 시에 도통하여 래치(638)의 출력을 신호 TPG를 출력하는 노드에 부여하는 스위치 회로(634)와, 통상 모드시에 도통하여 신호 IDQ를 데이타 버스에 부여하는 스위치 회로(636)를 포함한다.

멀티플렉서(3020)는, 또한 신호 IDQ를 스트로브 신호 QS1, QS2에 따라 신호MREG1, MREG2에 할당되어 출력하는 스위치 회로(642)를 포함한다. 스위치 회로(642)는, 스트로브 신호 QS1에 따라 도통하여 신호 IDQ를 신호 MREG1을 출력하는 노드에 부여하는 스위치 회로(644)와, 스트로브 신호 QS2에 따라 도통하여 신호 IDQ를 신호 MREG2를 출력하는 노드에 부여하는 스위치 회로(646)를 포함한다.

여기서, 클럭 신호 φ1 φ4는 스트로브 신호 QS를 바탕으로 발생되는 클럭 신호로 도 21에서 시각 t1, t2, t3에서 활성화가 개시되는 신호이다. 클럭 신호 φ1은 도 22의 사이클 #1에 대응한다. 클럭 신호 φ2는 도 22의 사이클 #2에 대응한다. 클럭 신호 φ3은 도 22의 사이클 #3에 대응한다. 클럭 신호 φ4는 도 22의 사이클 #4에 대응한다.

또한, 스위치 회로(642)는, 테스트 모드에 돌입할 때에 모드 레지스터에 데이타를 송신하기 위한 것이다. 신호 QS1, QS2는 데이타 단자 DQ0의 레벨 및 스트로브 신호 QS에 따라 생성되는 신호이다.

이 스위치 회로(642)는, 테스트시에 사용되는 데이타 단자 DQ4, DQ8, DQ12, DQ16, DQ20, DQ24, DQ28에 설치되고, 데이타 단자 DQ0의 입출력 회로부에는 설치되지 않는다.

도 25는, 데이타 단자 DQ0의 테스트 모드 설정에 관한 구성을 나타내는 회로도이다.

데이타 단자 DQ0의 입출력 회로부에는, 도 23에서 도시된 구성 외에 도 25에서 나타내는 테스트 모드의 개시를 결정하는 구성이 설치된다.

즉, 도 25를 참조하면, 데이타 단자 DQ0의 레벨이 소정의 전압치 이상이 된 것을 검지하는 고전압 검지 회로(650)와, 고전압 검지 회로(650)의 출력에 따라 셋트되어 테스트가 종료한 것을 나타내는 신호 TESTEND에 의해 리셋트되는 래치 회로(666)와 래치 회로(666)의 출력에 따라 카운트를 개시하여 신호 QS1, QS2를 출력하는 카운터(672)가 설치된다.

고전압 검지 회로(650)는, 데이타 단자 DQ0과 노드 NVC 사이에 직렬로 다이오드 접속된 N 채널 MOS 트랜지스터(652, 654)와, 소스가 접지 노드에 접속되어 게이트와 드레인이 접속되는 N 채널 MOS 트랜지스터(658)와, N 채널 MOS 트랜지스터(658)의 드레인과 노드 NVC사이에 접속되어 게이트에 전원 전위 Vcc가 부여되는 P 채널 MOS 트랜지스터(656)와, 전원 노드와 노드 NVD 사이에 접속되는 정전류원(662)과, 노드 NVD와 접지 노드사이에 접속되어 게이트가 N 채널 MOS 트랜지스터(658)의 드레인에 접속되는 N 채널 MOS 트랜지스터(660)와, 노드 NVD가 입력에 접속되는 인버터(663)와, 인버터(663)의 출력을 수취하여 반전하고 고전압 검지 신호 /SVCC를 출력하는 인버터(664)를 포함한다.

래치 회로(666)는, 신호 /SVCC를 한쪽 입력 노드에 수취한 NAND 회로(668)와, NAND 회로(668)의 출력과 신호 TESTEND를 수취한 NAND 회로(670)를 포함한다. NAND 회로(670)의 출력은 NAND 회로(668)의 다른 입력에 접속된다.

도 26은, 테스트 모드에의 돌입 동작과 해제 동작을 설명하기 위한 동작 파형도이다.

도 26을 참조하면, 데이타 단자 DQ0의 전위가 전원 전위 Vcc 이상의 소정의 레벨이 되는 동안 스트로브 신호 QS가 입력되면, 데이타 단자 DQ4, DQ8, DQ12, DQ16, DQ20, DQ24, DQ28에 입력된 데이타는 동기형 반도체 기억 장치의 모드 레지스터에 기록된다. 이 모드 레지스터 기록용의 신호 QS1, QS2는 도 25에 도시된 카운터(672)로부터 발생되어 도 24에 도시된 스위치 회로(642)에 입력된다.

시각 t1, t2에서 데이타 단자 DQ4, DQ8, DQ12, DQ16, DQ20, DQ24, DQ28에 입력된 데이타에 대응하는 테스트 모드가 실행된다.

테스트 모드의 해제에 대해서도 동일한 동작이 실시된다.

즉, 시각 t3, t4에서 데이타 단자 DQ0이 전원 전위 Vcc를 넘는 소정의 레벨로 설정되고, 그 때 스트로브 신호 QS가 입력되면 테스트용으로 사용되는 데이타 단자에 입력된 데이타가 내부의 모드 레지스터에 취득된다. 이 데이타를 테스트 모드해제에 대응시키는 데이타로 함으로써 테스트 모드가 해제된다.

도 27은, 도 22에 도시된 사이클 #4에 입력된 데이타로부터 데이타 패턴을 발생시키는 모습을 설명하기 위한 개념도이다.

도 27을 참조하면, 기록 데이타의 생성은, 각각 16개의 데이타 입출력 단자 DQ0 DQ15 및 DQl6 DQ31을 하나의 그룹으로서 생성된다.

이하에서는, 데이타 입출력 단자 DQ0 DQ15에 대응하여 테스트 동작 모드시에 생성되는 내부 기록 데이타에 대해 설명한다.

또, 데이타 입출력 단자 DQ16 DQ31에 대해서도 완전히 동일하게 하여 테스트 동작 모드시에 내부 기록 데이타가 생성된다.

데이타 입출력 단자 DQ0 DQ15 중, 테스트 동작 모드시에서는, 데이타 입출력 단자 DQ0, DQ4, DQ8 및 DQ12에 대해 4비트의 데이타가 부여된다. 이 4비트의 데이타의 조합에서는, 도 27에 도시된 바와 같이 16가지를 생각할 수 있다. 테스트 동작 모드에서는, 이 4비트의 데이타 중 상위의 2비트, 즉 데이타 입출력 단자 DQ12 및 DQ8에 부여되는 데이타에 의해 시간축 방향의 데이타 패턴이 결정되고, 4비트의 데이타 중의 하위의 2비트, 즉 데이타 입출력 단자 DQ4 및 DQ0에 부여되는 데이타에 의해 데이타 입출력 단자 DQ0 DQ15의 각각에 대응한 기록 데이타의 데이타 패턴이 생성된다.

즉, 예를 들면 4비트의 데이타가 "1011"인 경우, 시간축 방향으로는, 이 데이타 "10"을 반복하여 나열된 데이타가 기준이 되고, 데이타 입출력 단자 DQ0 DQ15의 각각에 대해서는, 4비트의 데이타 중 하위의 2비트의 데이타 "11"이 반복된 데이타가 기준이 된다.

즉, 시간축 방향으로 "1010···"으로 나열되어 있는 데이타와, 데이타 입출력 단자의 방향에 대해서는 "1111···"로 나열되어 있는 데이타의, 각각에 대해 배타적 논리합을 취함으로써, 테스트 동작 모드시의 기록 데이타가 생성된다.

즉, 4비트의 데이타가 "1011"인 경우, 각 데이타 입출력 단자 DQ0 DQ15 에 대해, 기록되는 데이타는, 시간축에 따라서는, "0101… "이 된다.

도 28은, 이와 같이 함으로써 테스트 동작 모드시에서 메모리 셀에 기록한 데이타에 대해, 판독 동작에서 기대치와의 비교 결과가 출력되는 경우의 동작을 설명하기 위한 개념도이다.

도 28을 참조하면, 판독 동작에서의 최초의 판독 주기에서, 하나의 열선택선SCL0이 활성화함에 따라 선택되는 열의 그룹 CLG0이 선택되고, 또한 선택된 메모리 셀에 결함이 없는 경우, 기록되어 있던 데이타 패턴 "0101"이 병렬로 판독된다.

판독 동작시의 리드 커맨드가 부여되는 사이클에서, 데이타 입출력 단자 DQ0 DQ12에 부여되는 데이타에 기초하여, 기록 동작시에 행한 것과 동일한 디코드 동작에 따라 생성된 기대치 데이타와, 판독된 데이타가 4비트마다 비교되고, 그 비교 결과가 데이타 입출력 단자 DQ0에 출력된다.

판독 동작의 다음 사이클에서는, 메모리 셀 열그룹 CLG1이 선택되고, 판독된 데이타와, 기대치 데이타와의 비교가 행해져, 마찬가지로 데이타 입출력 단자 DQ0에 대해 비교 결과의 데이타가 출력된다. 여기서, 4비트의 데이타의 비교는 배타적 논리합 연산을 행함에 따라 이루어질 수 있다.

따라서, 판독된 데이타와, 기대치 데이타가 전부 일치하는 경우에는, 대응하는 데이타 입출력 단자로부터는 "0" 레벨의 데이타가 출력되는데 대해, 예를 들면 어느 하나의 판독 데이타가 기대치 데이타와 다른 경우에는, 대응하는 데이타 입출력 단자로부터는 데이타 "1"이 출력된다.

다른 데이타 입출력 단자 DQ4, DQ8 및 DQ12에 대해서도 동일하다.

또한, 데이타 입출력 단자 DQ16, DQ20, DQ24 및 DQ28에 대해서도 동일한 동작이 행해진다.

이러한 동작을 행함으로써, 외부 클럭 신호의 주파수가 높지 않은 경우에도, 이 동기형 반도체 기억 장치의 내부 동작은 충분히 짧은 주기를 갖은 내부 클럭 신호 int. CLK에 따라 동작하고, 또한 테스트 동작 모드에서의 기록 동작시에 기록된 데이타와, 기대치와의 비교 결과가 4비트마다 통합하여 출력된다. 따라서, 테스트 동작 모드시에 테스터 장치가 데이타를 교환해야하는 데이타 입출력 단자의 수를 감소시키는 것이 가능하다.

도 29는, 데이타 입출력 단자 DQ0 DQ15의 데이타 입출력 회로의 구성을 설명하기 위한 개략 블럭도이다.

데이타 입출력 단자 DQ0 DQ15에 대응한 구성은, 각각 테스트 동작 모드 및 통상 동작 모드 중 어디에 두어도 데이타가 부여되는 단자(예를 들면 데이타 입출력 단자 DQ0)의 구성과, 테스트 동작 모드시에는 데이타가 부여되지 않고, 통상 동작 모드에서 데이타가 부여되는 단자(예를 들면, 데이타 입출력 단자 DQ1 DQ3)의 구성을 각각 반복한 구성으로 되어 있다. 따라서, 이하에서는 우선 데이타 입출력 단자 DQ0에 대응한 구성에 대해 설명한다.

도 29를 참조하면, 데이타 입출력 단자 DQ0에 대응해서는, 데이타 입력 버퍼(152)가 설치되고, 데이타 입력 버퍼(152)의 출력은, 래치 회로(1100)에 의해 유지된다. 통상 동작 모드에서는, 입력 버퍼(152)로부터 출력된 데이타는, 데이타 입력을 제어하는 신호 FETCHe의 상승의 에지에 응답하여 데이타를 순차 유지하는 래치 회로(1156)와, 신호 FETCHe의 하강의 에지, 즉 신호 FETCHe의 역상의 신호 FETCHo의 상승의 에지에 응답하여 데이타를 순차 유지하는

래치 회로(1154)에 취득된다. 통상 동작 모드에서는, 이 래치 회로(1156 및 1154)로 유지된 데이타는 외부로부터 부여된 어드레스 신호가 짝수 어드레스인지 홀수 어드레스인지에 따라, 데이타를 전달하는 어드레스 영역을 전환하기 위한 멀티플렉서 회로(1158)로 전달된다.

여기서, 신호 FETCHe는, 외부로부터의 기록 데이타의 취득의 타이밍을 제어하기 위한 클럭 신호이고, 외부로부터 부여되는 신호 QS가 이용되는 경우나, 내부 클럭 생성 회로에 의해 생성된 클럭 신호가 이용되는 경우가 있다.

한편, 테스트 동작 모드에서는, 데이타 입출력 단자 DQ0에 대응하여 설치되는 래치 회로(1100), 데이타 입출력 단자 DQ4에 대응하여 설치되는 래치 회로(1102), 데이타 입출력 단자 DQ8에 대응하여 설치되는 래치 회로(1104) 및 데이타 입출력 단자 DQ12에 대응하여 설치되는 래치 회로(1106)로부터의 데이타를 바탕으로, 디코드 회로(1200)가 기록 데이타를 생성하여, 래치 회로(1156 및 1154)에 부여한다.

한편, 판독 동작에 대응해서는, 글로벌 I/O 선쌍 G-I/O로부터 전달된 판독 데이타는, 버퍼 회로(데이타 리시버 증폭기 회로 : 1142 및 1144)를 거쳐, 래치 회로(1146 및 1148)에 각각 대비된다. 통상 동작 모드에서는, 이 래치 회로(1146 및 1148)에 대비된 데이타가, 직렬로 출력 버퍼(150)에 부여되고, 데이타 입출력 단자 DQ0로부터 출력된다.

한편, 테스트 동작 모드에서는, 예를 들면 데이타 입출력 단자 DQ0 DQ3에 대응한 판독 데이타 중, 짝수 어드레스 영역으로부터의 판독 데이타 4비트와, 디코더(1200)로부터의 디코드 신호를 수취하여 데이타 스크럼블을 행하는 스크럼블 회로(1300)와, 스크럼블 회로(1300)로부터 출력된 데이타를 배타적 논리합 연산하는 배타적 논리합 연산 게이트(1302)와, 데이타 입출력 단자 DQ0 DQ3에 대응한 판독 데이타 중, 홀수 어드레스 영역으로부터 판독된 데이타와, 디코더(1200)로부터의 기대치 데이타에 따라, 데이타를 스크럼블 처리하는 스크럼블 회로(1304)와, 스크럼블 회로(1304)로부터 출력된 데이타에 따라, 비교 결과의 데이타를 출력하는 배타적 논리합 게이트(1306)와, 배타적 논리합 게이트 회로(1302 및 1306)로부터의 출력을 수취하여 각각 홀수 어드레스 영역용의 래치 회로(1148) 또는 짝수 어드레스용의 래치 회로(1146)에 선택적으로 출력하는 멀티플렉서 회로(1400)가 설치되어 있다.

데이타 입출력 단자 DQ1에 대응한 구성은, 기본적으로 래치 회로(1100)가 존재하지 않은 점, 및 테스트 동작 모드에서 데이타를 출력하기 위해 필요한 구성인 스크럼블 회로(1300, 1304), 비교 회로(1302, 1306), 멀티플렉서 회로(1400)가 설치되지 않은 점을 제외하여 데이타 입출력 단자 DQ0에 대응한 구성과 동일하다.

또한, 다른 데이타 입출력 단자 DQ4 DQ7, DQ8 DQl1, DQ12 DQ15에 대응하는 구성도, 기본적으로 데이타 입출력 단자 DQ0 DQ3에 대응한 구성과 동일하다.

데이타 입출력 단자 DQ12에 대해서도 구성을 진술하면, 상술한 바와 같이 래치 회로(1106)는, 데이타 패턴 발생용의 데이타 디코드용의 래치 회로이고, 래치 회로(1154)는, 통상 동작시에 있어서 클럭의 상승 에지로 입력되는 데이타를 연속하여 4비트분을 래치하는 회로이고, 래치 회로(1154)는 통상 동작시에 있어서 클럭의 상승 에지로 입력되는 데이타를 연속하여 4비트분 래치하기 위한 회로이다.

또한, 래치 회로(1148)는, 통상 동작시에 있어서, CAS 레이턴시 후의 짝수 클럭 에지로 출력되는 데이타를 연속하여 4비트분 래치하는 회로이고, 래치 회로(1146)는, 통상 동작시에 CAS 레이턴시 후의 홀수 클럭 에지로 출력되는 데이타를 연속하여 4비트분 래치하는 회로이다.

또한, 멀티플렉서 회로(1158)는, 입력 데이타 래치(1156 및 1154)의 데이타를 내부로 전달할 때, 짝수 어드레스의 번지나 홀수 어드레스의 번지에 따라, 분배하기 위한 멀티플렉서이고, 출력용 래치(1146 및 1148)에 대응하여 설치되는 멀티플렉서(1500)는, 리시버(1142 및 1144)로부터의 데이타를 먼저 출력하는 데이타와 나중에 출력하는 데이타의 구분으로, 출력 버퍼 전의 래치에 입력하기 위한 멀티플렉서이다. 스크럼블 회로(1324)는, 비교기에 입력되는 데이타의 스크럼블을 테스트 리드시에 테스트 리드 사이클의 입력 데이타에 따라 설정하기 위한 회로이고, 멀티플렉서 회로(

1406)는, 비교 결과를, 먼저 출력하는 결과 데이타, 나중에 출력하는 결과 데이타에 대해, 출력 버퍼전의 래치에 선택적으로 기록하기 위한 멀티플렉서이다.

도 30은, 도 29에 도시된 디코더 회로(1200)의 구성을 설명하기 위한 개략 블럭도이다.

도 30을 참조하면, 디코더 회로(1200)는 리드 클럭 신호 RCLK 및 라이트 클럭 신호 WCLK를 수취하여, 판독 동작 모드가 지정되어 있는지 또는 기록 동작 모드가 지정되어 있는지에 따라, 그 하나를 선택적으로 출력하는 멀티플렉서(1202)와, 테스트 동작 모드에서, 데이타 입출력 단자 DQ12에 부여되어 래치 회로(1106)로 유지된 데이타와, 데이타 입출력 단자 DQ8에 부여되어 래치 회로(1104)로 유지된 데이타를 각각 수취하여, 멀티플렉서(1202)로부터 출력되는 클럭 신호에 따라, 입력된 데이타를 순회적으로 시프트 동작시키는 시프트 레지스터(1204)와, 데이타 입출력 단자 DQ0에 부여된 데이타를 래치하는 래치 회로(1100)로부터의 출력을 한쪽 입력 단자에 수취한 배타적 논리합 게이트(1212, 1216, 1220, 1224, 1228, 1232, 1236, 1240)와, 데이타 입출력 단자 DQ4에 부여되고, 래치 회로(1102)에 유지된 데이타를 한쪽 입력 노드에 수취하는 배타적 논리합 게이트(1210, 1214, 1218, 1222, 1226, 1230, 1234 및 1238)를 포함한다.

배타적 논리합 게이트(1210 1240)는, 각각 다른 입력 노드에는 시프트 레지스터(1204)로부터 출력되는 데이타를 수취한다.

디코더 회로(1200)는, 또한 배타적 논리합 게이트(1210 1240) 각각에 대응하여 설치되고, 멀티플렉서(1202)로부터 출력되는 클럭 신호에 따라 개폐되는 N 채널 MOS 트랜지스터 N0 N15와, N 채널 MOS 트랜지스터 N0 N15 각각에 대응하여 설치되고, 이들 트랜지스터를 통해 출력되는 데이타를 각각 유지하는 래치 회로(1250 1280)를 포함한다.

래치 회로(1250 1280)로부터는, 테스트 동작 모드에서 디코더 회로로부터 출력되는 디코드 데이타 DD0 DD15가 각각 출력된다.

도 31은, 도 21에 도시된 동작 파형 중 테스트 데이타 기록 동작을 보다 자세히 설명하기 위한 타이밍차트이다.

테스트 모드 동작에서는, 통상 모드 동작시와 주로 이하의 두가지가 차이난다.

우선 첫번째로, 외부 클럭 신호 ext. CLK의 주기는, 예를 들면 40ns로서, 이 동기형 반도체 기억 장치의 내부 회로의 동작 가능 주파수보다도 큰 주기에서 변화하는 것이다.

이 동기형 반도체 기억 장치에서는, 이 외부 클럭 신호 ext. CLK에 기초하여 이것에 동기하고, 또한 보다 주파수가 큰 내부 클럭 신호 int. CLK가 생성되고, 이것에 기초하여 회로 동작이 행해진다.

또한, 도 31에 도시된 예에서는 데이타 입출력 단자 DQ0 DQ31 중, 데이타 입출력 단자 DQ0, DQ4, DQ8, DQ12, DQ16, DQ20, DQ24 및 DQ28의 8개의 데이타 입출력 핀에 부여된 데이타에 기초하여, 테스트 동작용의 내부 기록 데이타를 생성하는 구성으로 되어 있다.

시각 t0보다 이전의 외부 클럭 신호 ext. CLK의 상승의 에지에서, 이 동기형 반도체 기억 장치에 대해 ACT 커맨드가 부여된다고 한다.

이 동기형 반도체 기억 장치에 대해 WRITE 커맨드가 부여된 후, 시각 t1에서, 상술된 8개의 데이타 입출력 단자 DQ0 DQ28의 각각에 대해, 기록 데이타가 부여된다.

이후, 뱅크(0) 뱅크(7) 중 짝수 어드레스에 대응한 영역에 기록되는 데이타를 데이타 DLE라고 부르고, 홀수 어드레스 영역에 기록되는 데이타를 DLO이라고 부르기로 한다. 마찬가지로, 뱅크(8)로부터 뱅크(15)의 짝수 어드레스 영역에 기록되는 데이타를 DUE라고 하고, 홀수 어드레스 영역에 기록되는 데이타를 DU0이라고 부르기로 한다.

데이타 입출력 단자 DQ0, DQ4, DQ8 및 DQ12에 부여된 4비트의 데이타에 기초하여, 데이타 DLE 및 데이타 DLO로서 대응하는 뱅크에 기록되는 32×4비트의 데이타가 생성된다. 한편, 데이타 입출력 단자 DQ16, DQ20, DQ24 및 DQ28에 부여되는 4비트의 데이타에 기초하여, 데이타 DUE 및 DUO으로서 대응하는 뱅크에 기록되는 32×4비트의 데이타가 생성된다.

즉, 시각 t3에서는 데이타 DLE로서 4×4비트의 데이타가 생성되고, 데이타 DLO으로서 4×4 비트의 데이타가 생성된다. 이것이, 각각 대응하는 뱅크의 짝수 어드레스 영역 및 홀수 어드레스 영역에 기록된다. 한편, 마찬가지로 함으로써, 시각 t3에서, 데이타 DUE로서 4×4비트의 데이타가 생성되고, 데이타 DUO로서 4×4비트의 데이타가 생성된 후, 이들 데이타가 대응하는 뱅크의 짝수 어드레스 영역 및 홀수 어드레스 영역에 각각 기록된다.

즉, 시각 t1에서, 외부로부터 부여되는 데이타는 8비트이지만, 이것에 기초하여메모리 어레이에 일괄해서 동시에 기록되는 64비트분의 데이타가 생성된다. 이 후, 내부 클럭 신호의 주기에 따라 64비트씩의 데이타가 생성되고, 순차 대응하는 뱅크의 짝수 어드레스 영역 및 홀수 어드레스 영역에 기록되어 간다.

도 32는, 도 29에 도시된 스크럼블 회로(1300)의 구성을 나타내는 개략 블럭도이다.

도 32를 참조하면, 스크럼블 회로(1300)는, 데이타 입출력 단자 DQ0 DQ3에 각각 대응하여 설치되어 있는 판독 데이타용의 래치 회로 중, CAS 레이턴시 후의 짝수 클럭 에지로 출력되는 데이타를 유지하고 있는 래치 회로로부터의 판독 데이타 RD0 RD3을 각각 한쪽 입력 노드에 수취하는 배타적 논리합 게이트(1350 l356)를 포함한다. 배타적 논리합 게이트(1350 1356) 각각의 다른 입력 게이트에는, 디코더 회로(1200)로부터 출력되는 디코드 데이타 DD0 DD3이 각각 입력되어 있다.

배타적 논리합 게이트(1350 1356) 각각의 출력 신호는, 배타적 논리합 게이트(1302)에 부여되고, 배타적 논리합 게이트(1302)의 연산 결과가 멀티플렉서 회로(1400)에 부여된다.

이상과 같은 구성으로 함으로써, 테스트 동작 모드에서 데이타 입출력 단자 DQ0 DQ12에 대해 부여된 데이타에 기초하여, 도 30에서 설명된 바와 같은 데이타 패턴을 갖는 디코드 데이타 DD0 DD15가 생성된다. 이 디코드 데이타는 판독 동작시에 기대되는 판독 데이타의 기대치 패턴으로 되어 있다. 또한, 테스트 동작 모드에서의 판독 동작에서는, 4개의 데이타 입출력 단자 DQ0 DQ3에 대응하는 판독 데이타에 대한 기대치와의 비교 결과의 데이타가, 데이타 입출력 단자 DQ0으로부터 출력되게 된다.

즉, 도 31 및 도 33에서 설명한 바와 같이 테스트 동작 모드에서는 32핀의 데이타 입출력 단자 중, 8개의 데이타 입출력 단자만이 이용되고, 기록 데이타에 대한 기대치와의 비교 결과를 나타내는 테스트 데이타가 외부로 출력된다.

도 33은, 테스트 모드 동작에서의 데이타 판독 동작을 설명하기 위한 타이밍 차트이다.

도 33을 참조하면, 시각 t11에서 이 동기형 반도체 기억 장치에 대해 READ 커맨드(판독 동작을 지정하는 커맨드)가 부여됨과 동시에, 데이타 기록시에 이용된 8개의 데이타 입출력 단자 DQ0 DQ28의 각각에 대해 도 31에서의 데이타 기록시에 부여된 바와 같은 데이타가 부여된다.

이 동기형 반도체 기억 장치는, 이들 시각 t11에서 부여된 데이타에 기초하여 생성되는 기대치 데이타와, 각 뱅크로부터 판독된 판독 데이타에 대해 그 비교 결과를 나타내는 데이타를 출력한다.

즉, 우선 시각 t11에서의 READ 커맨드에 대한 기대치 데이타가 부여된 후에, 각 뱅크의 짝수 어드레스 영역 및 홀수 어드레스 영역으로부터는 병렬하여 64비트의 데이타가 판독된다.

이 중, 예를 들면 데이타 DLE에 대응하는 데이타 중, 하나의 열선택선에 의해 동시에 활성화되는 메모리 셀로부터 판독된 4비트의 데이타, 예를 들면 통상의 판독 모드에서는 데이타 입출력 단자 DQ0 DQ3에 대응하여 부여되는 4비트의 데이타 DLE0은, 데이타 입출력 단자 DQ0, DQ4, DQ8 및 DQ12에 시각t11에서 부여된 데이타에 기초하여, 그 판독되는 기대치사이의 비교가 행해지고, 시각 t13에서 이 기대치와 4비트 데이타와의 비교 결과를 나타내는 1비트의 데이타가 데이타 입출력 단자 DQ0으로 출력된다.

마찬가지로 하여, 시각 t13으로부터 시작되는 내부 클럭 신호 int. CLK의 상승 에지에서는, 데이타 DLO 중, 통상 동작 모드에서 데이타 입출력 단자 DQ0 DQ3에 대해 출력되는 4비트의 데이타가, 시각 t11에서 데이타 입출력 단자 DQ0 DQ12에 부여된 데이타에 기초하여 이 동기형 반도체 기억 장치 중에서 생성된 기대치와 비교되고, 이 비교 결과를 나타내는 1비트의 데이타가 데이타 입출력 단자 DQ0에 부여된다.

또한, 시각 t14에서는 데이타 DLE 중, 다음 내부 클럭 신호 int. CLK의 주기에 따라 판독된 4비트의 데이타와 시각t11에서 데이타 입출력 단자 DQ0 DQ12에 부여된 데이타에 기초하여 생성된 기대치와의 비교 결과를 나타내는 데이타가 데이타 입출력 단자 DQ0에 부여된다.

이후, 신호 DLE 중 통상 동작에서 데이타 입출력 단자 DQ0 DQ3에 대해 출력되는 데이타에 대응한 4비트의 DLE0의 값과 상기 기대치사이의 비교 결과 및, 데이타 DLO 중 통상 동작 모드에서는 데이타 입출력 단자 DQ0 DQ3에 대해 각각 부여되는 4비트의 판독 데이타 DLO0과 상기 기대치와의 비교 결과가 데이타 입출력 단자 DQ0으로부터 내부 클럭 신호 int. CLK의 상승 에지 및 하강 에지에 각각 응답하여 출력된다.

다른 데이타 입출력 단자 DQ4, DQ8, DQ12에 대해서도 동일하다.

또한, 데이타 입출력 단자 DQ16에 대해서도, 통상 동작 모드에서는 데이타 입출력 단자 DQ16 DQ19에 각각 대응하여 출력되는 4비트의 판독 데이타를 상기 기대치와 비교한 결과의 데이타가, 순차 데이타 입출력 단자 DQ16으로부터 출력된다.

다른 데이타 입출력 단자 DQ20, DQ24 및 DQ28에 대해서도 동일하다.

또, 이상의 설명에서는 스크럼블 회로(1300)는 도 33의 시각 t11에서 8개의 데이타 입출력 단자 DQ0 DQ28에 부여된 데이타에 기초하여, 스크럼블 처리를 하고 있지만, 예를 들면 도 31의 시각 t1에 부여된 데이타를 래치 회로 등으로 유지해두는 구성으로 함으로써, 시각 t11에는 데이타를 외부로부터 부여하지 않아도 되는 구성으로 하는 것도 가능하다.

이상과 같은 동작을 행함으로써, 테스트 동작 모드에서는 외부로부터 부여되는 외부 클럭 신호 ext. CLK의 주기가 큰 경우라도 내부 클럭 신호 int. CLK는 이것보다도 고속으로 변화한다. 이 동기형 반도체 기억 장치의 내부 회로는, 이 내부 클럭 신호 int. CLK에 동기하여 동작하므로, 이 동기형 반도체 기억 장치를 테스트하는 테스트 장치의 부하를 경감시키는 것이 가능하다.

또한, 32핀이 있는 데이타 입출력 단자 중, 테스트 동작 모드에서는 8핀의 데이타 입출력 단자만을 이용하면 되기 때문에, 테스터가, 1칩당 제어해야하는 입력 핀 및 데이타 입출력 핀의 총수를 삭감하는 것이 가능하다. 따라서, 테스터 장치가 동시 병렬로 테스트하는 것이 가능한 칩수를 증가시킬 수 있다.

반도체 장치의 검사용의 반도체 테스터는 고액이고 사용 채널수가 많을수록 검사 비용이 증대한다. 실시예 2의 동기형 반도체 기억 장치의 테스트 모드를 사용하면 반도체 테스터의 사용 핀 수를 감할 수 있는, 예를 들면 1대의 테스터로 동시에 2개의 디바이스를 측정하는 것이 가능해져 검사 비용을 삭감할 수 있다.

[실시예 3]

도 34는, 실시예 3의 동기형 반도체 기억 장치(2100)의 전체 구성을 나타내는 개략 블럭도이다.

실시예 3에서는 BIST(Built In Self Test) 회로를 내장하는 동기형 반도체 장치에서의 예를 나타낸다.

도 34를 참조하면, 동기형 반도체 기억 장치(2100)는 BIST 회로(649)를 포함하는 점이 도 18에 도시된 동기형 반도체 기억 장치(2000)와 다르다. 다른 구성은 동기형 반도체 기억 장치(2000)와 동일하므로 설명은 반복하지 않는다.

BIST 회로(649)는, 외부로부터 테스트 개시 커맨드의 입력이 부여되면, 자동적으로 테스트에 필요한 커맨드, 어드레스, 데이타등의 신호를 생성하여 동기형 반도체 기억 장치의 동작 테스트를 실행하고, 판독 데이타등의 출력 결과로부터 테스트 결과의 가부를 판단하여 그 판단을 소정의 출력 단자에 출력한다.

따라서, BIST 회로를 내장한 동기형 반도체 기억 장치의 동작 테스트에 필요한 핀은, 테스트 장치와의 동기를 확보하기 위한 클럭 단자와, 판단 결과의 출력에 사용하는 데이타 단자뿐이다. 즉 가장 적은 경우에는, 테스트시에 사용되는 단자는 클럭 단자 1핀과 데이타 단자 1핀의 합계 2핀이 된다.

도 35는, 실시예 3에서 데이타 단자 DQ0에 설치되는 테스트 모드 설정에 관련한 회로의 구성을 나타내는 회로도이다.

도 35를 참조하면, 이 회로 구성은 카운터(672)를 대신하여 카운터(682)를 구비하는 점에서 도 25에 도시된 구성과 다르다. 카운터(682)는, 데이타 단자 DQ0의 전위가 소정의 고전위가 된 것을 검지하여, 소정의 시간 후에 테스트 스타트 신호BISTSTART를 출력하는 점이, 도 25에서의 카운터(672)와 다르다. 다른 구성은 도 25에 도시된 구성과 동일하므로 설명은 반복하지 않는다.

도 36은, BIST에의 테스트 모드 설정을 설명하기 위한 동작 파형도이다

도 36을 참조하면, 데이타 단자 DQ0의 전위가 전원 전위 Vcc 이상의 소정의 레벨이 되는 동안 스트로브 신호 QS가 입력되면, 데이타 단자 DQ4, DQ8, DQ12, DQ16, DQ20, DQ24, DQ28에 입력된 데이타는 동기형 반도체 기억 장치의 모드 레지스터에 기록된다. 이 모드 레지스터 기록용 신호 QS1, QS2는 도 35에 도시된 카운터(682)로부터 발생되어 도 24에 도시된 스위치 회로(642)에 입력된다.

시각 t1, t2에서 데이타 단자 DQ4, DQ8, DQ12, DQ16, DQ20, DQ24, DQ28에 입력된 데이타가 모드 레지스터에 기록된다.

시각 t1, t2에서 취득된 모드 레지스터의 설정에 따라 BIST의 패턴 선택이나 패턴 변경이 실시된다.

그리고, 데이타 단자 DQ0에 가해진 고전위를 검출하고나서 4사이클째에 BIST를 스타트시키는 스타트 신호가 출력된다.

그러나, BIST를 실행하고 있을 때 테스트 결과를 출력하는 단자를 관측하는 것만으로는, 실제로 내부에서 정확히 테스트가 실시되고 있는지의 여부는 불명하다. 따라서, 외부로부터 어느 정도 BIST의 실행 상황을 체크할 필요가 있다.

그래서, 데이타 단자를 이용하여 BIST 실행시에서의 내부의 상태를 외부에 출력시키는 모드를 설치한다.

도 37은, 사용하는 데이타 단자의 수를 늘려, 외부에 테스트 실행 상황을 출력하는 모습을 설명하기 위한 동작 파형도이다.

도 37를 참조하면, 시각 t1 이전에는 BIST의 동작을 개시하는 설정이 되어 있다고 한다. 시각 t1에서, BIST에서 내부에서 액티브 커맨드 ACT가 실행되면, 대응하여 내부에서 설정되는 커맨드나 어드레스의 데이타가 데이타열 D11로서 각 데이타 단자로부터 출력된다.

시각 t2에서 내부에서 라이트 커맨드가 실행된다. 따라서 실행되고 있는 커맨드 및 사용되고 있는 어드레스의 데이타가 데이타열 D12로서 출력된다.

시각 t3에서, 내부에서 리드 커맨드가 실행되면, 따라서 데이타 단자로부터 내부에서 사용되고 있는 커맨드 및 어드레스에 대응하는 데이타가 출력된다.

시각 t4 이후에는 내부의 메모리 어레이로부터 판독된 데이타는 도 33에서 설명한 동작과 동일한 동작으로 각 데이타 단자로부터 출력된다.

데이타열 D11, D12의 데이타의 배열은 도 22에서 설명한 배열과 동일하므로 설명은 반복하지 않는다.

이와 같이 하면, BIST의 경우라도 사용하는 데이타 단자의 수를 늘림에 따라 내부의 상태를 관측하는 것이 가능해진다. 즉, 모든 테스트 결과에 대한 가부, 즉 판단 결과만을 출력시키는 것은 아니고, 예를 들면 스페어의 메모리 어레이에 의한 구제가 정확하게 실시되고 있는지의 여부를 확인하기 위해, 용장 메모리 어레이에 의한 구제 단위로 비교 결과를 출력시키는 것도 가능하다.

동기형 반도체 기억 장치에 내부 상태를 나타내는 데이타를 출력시킬 때는, 스트로브 신호 QS도 출력시킴으로써 데이타 출력 기간의 인식을 테스트 장치가 행할 수 있도록 한다.

따라서, BIST를 실행할 때에 내부의 상태도 테스트 장치로 모니터할 수 있기 때문에, 동작 확인의 결과가 보다 한층더 확실하게 됨과 동시에, 문제점이 발생한 경우의 원인 해명등이 하기 쉬워지는 효과가 있다.

[실시예 3의 변형예 1]

도 38은, 실시예 3의 변형예 1에서 이용되는 데이타 축퇴 회로의 구성을 나타내는 회로도이다.

이 데이타 축퇴 회로는, 실시예 3에서 BIST 실시시에 내부 상태를 출력할 때에 출력 데이타의 주기를 떨어뜨리거나 핀수를 감하거나 하는데 이용된다.

도 38을 참조하면, 신호 SIG1 SIGn으로서는 내부 커맨드를 나타내는 신호나 어드레스 데이타등이 부여된다. 이 데이타 축퇴 회로는, 신호 SIG1, SIG2, …, SIGn-1, SIGn에 대응하여 각각 설치되는 전환 회로(684, 685, …, 686, 687)와, 전환 회로(687)의 출력을 수취하여 증폭하는 센스 앰프(688)를 포함한다.

전환 회로(684)의 입력 노드 NI1, NI2에는 각각 전원 전위, 접지 전위가 부여된다.

전환 회로(684)의 출력 노드 NO1, NO2는 각각 전환 회로(685)의 입력 노드 NI1, NI2에 접속된다. 마찬가지로 전환 회로(686)의 출력 노드 NO1, NO2는 각각 전환 회로(687)의 입력 노드 NI1, NI2에 상호 접속된다. 전환 회로(685와 686) 사이에는 직렬로 전환 회로가 접속되어 있고, m (자연수) 번째의 입력 신호 SIGm의 입력 노드 NI1, NI2에는 각각 m-1번째의 입력 신호에 대응하여 설치되는 전환 회로의 출력 노드 NO1, NO2가 접속된다.

최종단인 n 번째로 접속되는 전환 회로(687)의 출력 노드 NO1, NO2는 센스 앰프(688)의 입출력 노드 NOA, NOB에 각각 접속된다.

전환 회로(684)는, 신호 SIG1을 수취하여 반전하는 인버터(690)와, 입력 노드 NI1과 출력 노드 NO1 사이에 접속되어 게이트에 신호 SIG1을 수취하는 N 채널 MOS 트랜지스터(691)와, 입력 노드 NI2와 출력 노드 NO2사이에 접속되어 게이트에 신호 SIG1을 수취하는 N 채널 MOS 트랜지스터(692)와, 입력 노드 NI1과 출력 노드 NO2 사이에 접속되어 게이트에 인버터(690)의 출력을 수취하는 N 채널 MOS 트랜지스터(694)와, 입력 노드 NI2와 출력 노드 NO1사이에 접속되어 게이트에 인버터(690)의 출력을 수취하는 N 채널 MOS 트랜지스터(693)를 포함한다.

전환 회로(685 687)는 전환 회로(684)와 동일한 구성을 갖기 때문에 설명은 반복하지 않는다.

센스 앰프(688)는, 입출력 노드 NOA와 입출력 노드 NOB사이에 직렬로 접속되는 N 채널 MOS 트랜지스터(696, 697)와, 입출력 노드 NOA와 입출력 노드 NOB사이에 직렬로 접속되는 P 채널 MOS 트랜지스터(698, 699)와, N 채널 MOS 트랜지스터(696, 697)의 접속 노드와 접지 노드사이에 접속되어 게이트에 논리 판정 신호 LJS를 수취하는 N 채널 MOS 트랜지스터(695)와, P 채널 MOS 트랜지스터(698, 699)의 접속 노드와 전원 노드사이에 접속되어 논리 판정 신호/LJS를 게이트에 수취하는 P 채널 MOS 트랜지스터(700)를 포함한다.

N 채널 MOS 트랜지스터(697), P 채널 MOS 트랜지스터(699)의 게이트는 모두 입력 노드 NOA에 접속된다. N 채널 MOS 트랜지스터(696), P 채널 MOS 트랜지스터(698)의 게이트는 모두 입력 노드 NOB에 접속된다.

이 데이타 축퇴 회로의 동작을 간단히 설명하면, 입력되는 SIG1 SIGn 중논리 레벨이 H 레벨인 신호의 수가 짝수이면 출력 신호 OUTA가 H 레벨이 되고, 출력 신호 OUTB가 L 레벨이 된다. 한편, 입력 신호 SIG1 SIGn 중 논리 레벨이 H인 신호의 수가 홀수이면 출력 신호 OUTA는 L 레벨로, 출력 신호 OUTB는 H 레벨이 된다.

첫번째 전환 회로(684)의 입력 노드 NI1, NI2에는 각각 H레벨, L레벨의 데이타가 부여되고, 입력 신호 SIG1이 H 레벨인 경우에는 데이타를 그대로 대응하는 출력 노드 NO1, NO2에 전달하고, 입력 신호 SIG1이 L 레벨인 경우에는, 입력 노드 NI1에 부여된 데이타는 출력 노드 NO2에 출력되어 입력 노드 NI2에 부여된 데이타는 출력 노드 NO1에 출력된다.

즉 전환 회로(684 687)는 입력되는 신호 SIGn이 H 레벨인 경우에는 입력 데이타를 그대로 대응하는 출력 노드에 출력하고, 입력 신호 SIGn이 L 레벨인 경우에는 입력 노드 NI1, NI2에 부여된 데이타를 교체하여 출력 노드 NO1, NO2에 출력하는 것이다. 이 때문에, 입력 신호 SIG1 SIGn 중 H 레벨로 되어 있는 신호의 수의 짝수/홀수를 판별할 수 있다.

신호 SIG1 SIGn에는 커맨드를 나타내는 신호나 어드레스 신호등을 입력할 수 있다.

따라서, 도 37에서는 데이타열 D11과 같이 4사이클에서 출력되어 있던 데이타를 1사이클로 하여 출력하는 것이 가능하다.

도 39는, 커맨드나 어드레스 데이타를 축퇴시켜 사용한 경우의 동작을 설명하기 위한 동작 파형도이다.

도 39를 참조하면, 시각 t1에서 액티브 커맨드 ACT에 대응하는 내부 데이타정보 D111이 출력된다. 도 38에서 도시된 회로를 이용함에 따라 도 37의 데이타열D11을 이와 같이 압축하여 출력하는 것이 가능해진다. 마찬가지로 시각 t2, t3에서도, 커맨드등에 대응한 데이타가 압축하여 출력된다. 또한 시각 t4 이후에는, 데이타도 마찬가지로 압축하고 출력함으로써, 도 37인 경우의 반의 데이타 레이트로 출력 데이타를 체크할 수 있다.

데이타의 판정 결과는, 각 사이클에서의 64비트의 데이타를 4DQ로 할당하여 출력한다. 결과의 출력은 스트로브 신호 QS가 L 레벨인 기간에 출력시킨다. 이와 같이 함으로써 출력 데이타의 데이타 핀 수를 적게 할 수 있고, 또한 출력 데이타의 데이타 레이트도 떨어뜨릴 수 있으므로, 성능이 낮은 염가의 테스터라도 출력을 모니터하는 것이 가능해진다.

[실시예 4]

동기형 반도체 기억 장치가 탑재하는 DLL (딜레이드 록 루프) 회로등의 클럭 발생 회로의 테스트의 인터페이스로서도 데이타 입출력 단자부의 래치의 구성을 이용할 수 있다.

반도체 기억 장치에는, 여러가지의 회로가 탑재되어 있다. DLL 회로도 그 하나지만, 이 회로는 내부에서 클럭의 끼움을 실시하는 폐 루프를 포함하고 있기 때문에 그 동작 체크가 곤란하다.

실시예 4에서는 DLL 회로등의 클럭 발생 회로를 외부로부터 체크하기 위한 수법을 제안한다.

DLL 회로의 테스트해야 할 항목은 6항목 생각할 수 있다.

제1 항목은, 록 타임이고, 이것은 일정 클럭 사이클 내에서 외부 클럭과 내부에서 발생하는 클럭이 록하는지의 여부로 판정한다.

제2 항목은 노이즈에 의한 록의 어긋남이고, 이것은 전원 노이즈 테스트에 의한 재록 시간의 체크나 지터의 체크를 행함에 따라 판정한다.

제3 항목은 지연단의 유닛 지연이고, 이것은 지연 소자를 전단 체크함으로써 판정한다.

제4 항목은 위상 비교기의 동작이고, 이것은 위상 비교기의 판정 오차를 체크함으로써 판정한다.

제5 항목은, 카운터 및 시프트 레지스터의 특성이고, 이것은 카운터, 시프트 레지스터의 업다운의 카운트 동작의 체크를 함으로써 판정한다.

제6 항목으로는 록시의 오프셋(더미 지연의 편차)이 있고, 이에 대해서는 더미 지연 회로의 지연량을 튜닝함에 따른 어긋남 맞춤을 행함에 따라 대응한다.

이상의 6항목에 대해, 다음에 진술하는 테스트 A 테스트 I의 9개의 테스트를 조합하여 실시함으로써 체크를 행한다.

테스트 A는, 위상 비교기의 출력하는 UP/DOWN 펄스를 H/L 데이타로서 출력하는 테스트이다. 이 테스트는 데이타 단자(2) 핀을 이용하여 신호 UP을 데이타 단자 DQ0으로부터 출력하고, 신호 DOWN을 데이타 단자 DQ1로부터 출력함으로써이 출력 신호가 모두 L 레벨이면 DLL의 클럭이 록했다고 한다.

테스트 B는, 위상 비교기로부터의 제어를 미치게 하지 않고, DLL 회로를 단순한 지연 회로로 하여 외부 클럭에 대한 출력 지연을 관측하는 테스트이다.

테스트 C는, 외부로부터 부여되는 상보의 클럭 신호를 상보의 클럭 입력이 아니고, 위상차를 붙인 클럭 신호로서 위상 비교기의 2개의 입력에 입력하는 테스트이다.

테스트 D는, DLL 회로에 설치되는 더미 지연 회로를 튜닝하는 테스트이다.

테스트 E는, DLL에서 발생된 내부 클럭의 클럭 에지를 기준으로서 H 레벨과 L 레벨의 데이타를 교대로 출력시킴으로써 내부 클럭의 에지를 관측할 수 있는 테스트이다.

테스트 F는, 카운터의 출력치를 강제적으로 외부로부터 설정함으로써 지연단의 지연량을 외부로부터 설정하고, 이 지연량을 외부로부터 관측하는 테스트이다.

테스트 G는, 위상 비교기의 출력인 신호 UP과 신호 DOWN을 외부로부터 강제적으로 입력함으로써 카운터의 동작을 시키는 테스트이다.

테스트 H는, 카운터의 출력치를 외부에 대해 출력하여 그것을 관측하는 테스트이다.

테스트 I은, 내부 데이타를 외부의 클럭 에지에 의해 출력함으로써 내부 클럭의 상태가 불안정한 경우라도 내부 회로의 데이타를 관측할 수 있는 테스트이다.

이상 진술된 테스트 A I를 조합하여 이용함에 따라 항목 1 항목 6의 테스트 항목을 확인한다.

즉, 항목 1(록 타임)은 테스트(A+I), 테스트(E+I)에 의해 확인한다.

여기서, 테스트(A+I)는 테스트 A와 테스트 I를 조합하여 실시하는 것을 나타낸다.

항목 2(노이즈에 의한 록의 어긋남)는 노이즈 인가를 하면서 테스트 A를 실시또는 노이즈 인가를 하면서 테스트 E를 실시함으로써 행한다.

항목 3(지연단의 유닛 지연)은 테스트(F+B+E), 테스트(G+B+E)에 의해 확인한다.

항목 4 (위상 비교기)는 테스트(C+E), 테스트(C+A)에 의해 확인한다

항목 5 (카운터, 시프트 레지스터 특성)는, 테스트(G+E), 테스트(G+H)에 의해 확인한다.

항목 6 (록시의 오프셋)은 테스트(D+E+A)를 실시함으로써 확인한다.

이하에 테스트 A I에 필요한 구성에 대해 설명한다.

[테스트 A, 테스트 H, 테스트 I에 필요한 구성]

일반적으로, DLL 회로에는 칩에 전원이 투입되고나서 안정적으로 발진할 때까지의 시간의 규격이 있고, 이러한 안정 발진에 이를 때까지의 시간을 확인하기 위해 DLL 회로에 포함되는 위상 비교기의 출력을 외부로부터 모니터할 수 있으면 편리하다.

도 40은, 실시예 4의 데이타 입출력 회로의 구성을 나타내는 도면이다.

도 40을 참조하면, 이 데이타 입출력 회로부는 테스트 모드시에 위상 비교기로부터의 신호 UP2, DOWN2를 수취하는 체크 회로(370)와, 테스트 모드시에 리드 데이타 버스 상의 신호를 대신하여 체크 회로(370)의 출력을 입출력 회로로 전달하는 셀렉터(314)와, 테스트 모드시에 리드 데이타 버스 상의 신호를 대신하여 체크 회로(370)의 출력 신호를 입출력 회로부로 전달하는 셀렉터(318)와, 디지탈 동기 회로의 카운터치를 수취하는 체크 회로(335)와, 리드 데이타 버스 상의 신호를 대신하여 테스트 모드시에 체크 회로(335)의 출력을 입출력 회로부로 전달하는 셀렉터(336 350)를 포함한다.

체크 회로(370)는, 신호 UP2를 수취하여 셀렉터(314)에 출력하는 체크 회로(312)와, 신호 DOWN2를 수취하여 셀렉터(318)로 출력하는 체크 회로(316)를 포함한다.

체크 회로(335)는, 체크 모드시에 DLL 회로에 포함되는 N 비트의 카운터의 각 비트를 각각 수취하여 셀렉터(336 350)에 각각 출력하는 체크 회로(320 334)를 포함한다.

이상의 점이 실시예 1의 경우와 다르다. 다른 구성은 실시예 1과 동일하므로 설명은 반복하지 않는다.

도 41은, 각 DQ 단자에 설치된 입출력 회로부의 구성을 나타내는 회로도이다.

도 41을 참조하면, 입출력 회로(700)는 위상 비교기로부터 데이타나 카운터의 출력등을 수취하는 래치(702)와, 래치의 출력을 출력 버퍼(150)의 입력에 외부 클럭 신호 CLK에 동기하여 부여하는 스위치 회로(704)를 포함한다. 이상의 점이 실시예 1의 도 10에서 나타낸 입출력 회로(64)와 다르다. 다른 구성은 입출력 회로(64)와 동일하므로 설명은 반복하지 않는다.

래치(702)의 데이타는 외부 클럭에 동기하여 데이타 단자 DQ에 출력된다. 이 때 스위치 회로(168, 170)의 출력 클럭은 비활성화 상태가 된다. 따라서, 내부 클럭이 불안정한 상태에서도 외부와 동기하여 래치(702)의 데이타를 관측할 수 있다.

도 42는, 실시예 4에서 이용되는 체크 모드 부착의 DLL 회로(360)의 구성을 설명하기 위한 블럭도이다.

도 42를 참조하면, DLL 회로(360)는 위상 비교기(232)의 출력 신호 UP, DOWN을 수취하여 래치하는 래치 회로(235, 237)와, 래치 회로(237, 235)의 출력을 체크 모드시에 신호 UP2, DOWN2로서 출력하는 체크 회로(364)와, 카운터(234)의 N 비트의 출력을 수취하여 체크 모드시에 데이타 단자부의 체크 회로(335)에 대해 출력하는 체크 회로(362)를 포함하는 점이 실시예 1에서의 DLL 회로(30)와 다르다. 다른 점은 도 15에서 설명한 DLL 회로(30)와 동일한 구성을 갖으므로 설명은 반복하지 않는다.

도 43은, 위상 비교기(232)의 구성을 나타내는 회로도이다.

도 43을 참조하면, 위상 비교기(232)는 클럭 신호 ECLK를 수취하여 반전하는 인버터(232a)와, 인버터(232a)의 출력 및 노드 N1의 전위를 수취하고, 그 출력이 노드 Nf에 접속되는 NAND 회로(232f)와, 노드 Nf, Nr, 및 Ng가 입력에 접속되어 그 출력이 노드 N1에 접속되는 NAND 회로(232l)와, 노드 Nf 및 Nh가 입력에 접속되어 그 출력이 노드 Ng에 접속되는 NAND 회로(232g)와, 노드 Ng 및 Nr이 입력에 접속되어 그 출력이 노드 Nh에 접속되는 NAND 회로(232h)와, 입력이 노드 N1에 접속되어 제어 신호 UP을 출력하는 인버터(232c)를 포함한다.

위상 비교기(232)는, 또한 클럭 신호 CCLK를 수취한 인버터(232b)와, 인버터(232b)의 출력과 노드 Nn의 전위를 수취하여 그 출력이 노드 Nk에 접속되는 NAND 회로(232k)와, 입력에 노드 Nj, Nr 및 Nk가 접속되어 그 출력이 노드 Nn에 접속되는 NAND 회로(232m)과, 노드 Ni 및 Nk가 입력에 접속되어 그 출력이 노드 Nj에 접속되는 NAND 회로(232j)와, 입력에 노드 Nr 및 Nj가 접속되어 그 출력이 노드 Ni에 접속되는 NAND 회로(232i)와, 입력에 노드 Ng, Nf, Nk 및 Nj가 접속되고 그 출력이 노드 Nr에 접속되는 NAND 회로(232n)와, 입력이 노드 Nn에 접속되어 제어 신호 DOWN을 출력하는 인버터(232e)를 포함한다.

도 44는, 도 42에 도시된 전류 발생 회로(236)와 지연단(238)의 구성을 나타내는 회로도이다.

도 44를 참조하면, 전류 발생 회로(236)는, 소스가 전원 전위 Vcc에 결합되어 게이트와 드레인이 노드 NIX에 접속되는 P 채널 MOS 트랜지스터(724)와, 노드 NIX와 접지 노드사이에 직렬로 접속되는 MOS 트랜지스터(725) 및 정전류원 I와, 노드 NIX와 접지 노드사이에 직렬로 접속되는 N 채널 MOS 트랜지스터(726) 및 정전류원 I2와, 노드 NIX와 접지 노드사이에 직렬로 접속되는 N 채널 MOS 트랜지스터(727) 및 정전류원 I4와, 노드 NIX와 접지 노드사이에 직렬로 접속되는 N 채널 MOS 트랜지스터(728) 및 정전류원 In을 포함한다. N 채널 MOS 트랜지스터(725, 726, 727, 728)의 게이트에는 각각 카운터로부터의 출력 신호 C0, C1, C2, Cn이 부여된다. 전류 발생 회로(236)는, 또한 소스가 전원 전위 Vcc와 결합되어 게이트가 노드 NIX에 접속되는 P 채널 MOS 트랜지스터(722)와, P 채널 MOS 트랜지스터(722)의 드레인과 접지 노드사이에 접속되어 게이트가 드레인에 접속되어 있는 N 채널 MOS 트랜지스터(720)를 더욱 포함한다.

정전류원 I4와 정전류원 In 사이에는 복수의 정전류원 I의 2의 m승배의 전류량의 전류원이 설치된다(m: 자연수).

지연단(238)은, 클럭 신호 ECLK를 수취하여 제어 신호 Vp1 및 제어 신호 Vn를 수취한 직렬로 접속된 인버터(238a 238k)를 포함한다. 238k의 출력은 클럭 신호 ECLK2가 된다.

인버터(238k)는, 전원 노드와 출력 노드사이에 직렬로 접속되는 P 채널 MOS 트랜지스터(712, 714)와, 출력 노드와 접지 노드사이에 직렬로 접속되는 N 채널 MOS 트랜지스터(716, 718)를 포함한다. P 채널 MOS 트랜지스터(712)의 게이트는 제어 신호 Vp1을 수취한다. N 채널 MOS 트랜지스터(718)의 게이트는 제어 신호Vn을 수취한다. P 채널 MOS 트랜지스터(714)의 게이트와 N 채널 MOS 트랜지스터(716)의 게이트는 입력 노드에 접속된다.

인버터(238a, 238b)도 인버터(238k)와 동일한 구성을 구비한다.

도 45는, 도 42에서의 래치 회로(235)의 구성을 나타내는 회로도이다.

도 45를 참조하면, 래치 회로(235)는 노드 NL1과 접지 노드사이에 접속되어 게이트에 입력 신호 IN을 수취하는 N 채널 MOS 트랜지스터(734)와, 노드 NL1과 접지 노드사이에 접속되어 게이트가 노드 NL2에 접속되는 N 채널 MOS 트랜지스터(736)와, 노드 NL1과 전원 노드사이에 접속되어 게이트가 노드 NL2에 접속되는 P 채널 MOS 트랜지스터(732)를 포함한다. 입력 신호 IN으로는 위상 비교기(232)의 출력 신호 UP이 입력된다.

래치 회로(235)는, 또한 노드 NL2와 접지 노드사이에 접속되어 게이트에 클럭 신호 CLK를 수취하는 N 채널 MOS 트랜지스터(740)와, 노드 NL2와 접지 노드사이에 접속되어 게이트가 노드 NL1에 접속되는 N채널 MOS 트랜지스터(742)와, 노드 NL2와 전원 노드사이에 접속되어 게이트가 노드 NL1에 접속되는 P 채널 MOS 트랜지스터(738)를 포함한다.

노드 NL2로부터는 래치 회로의 출력 신호 OUT가 출력된다.

도 42에서의 래치(237)도 동일한 회로 구성을 갖으므로 설명은 반복하지 않는다.

이러한 래치로 위상 비교 출력을 일단 유지함으로써, 위상 비교기의 출력 신호의 펄스 폭이 가는 경우라도 클럭 폭의 펄스가 되기 때문에, 외부로 출력했을 때의 관측이 용이하다.

도 46은, 입출력 회로부에 위상 비교 출력을 체크한 결과를 송부하는 체크 회로(370)의 구성을 도시하는 회로도이다.

도 46을 참조하면, 체크 회로(370)는 위상 비교기의 출력 신호 UP2를 수취하는 체크 회로(312)와, 위상 비교기의 출력 신호 DOWN2를 수취한 체크 회로(316)를 포함한다. 체크 회로(312)는, 신호 UP2를 수취하는 8개의 래치(372 386)와, 래치(372 386)의 출력을 수취하여 일치를 체크하는 EXOR 회로(398)를 포함한다.

각 클럭 사이클에서 래치(372 386) 중 어느 하나의 래치에 데이타가 취득된다. 데이타를 입력하는 래치는 매사이클 시프트한다. 따라서, 도 46에서는 8개의 래치가 있기 때문에 8사이클분의 출력 신호 UP2의 변동이 EXOR 회로(398)로써 판별된다. 래치(372 386)에는 초기치로서 교대로 반전 데이타가 설정된다.

체크 회로(316)는, 위상 비교기의 출력 신호 DOWN2를 데이타로서 취득하는 래치(402 416)와, 래치(402 416)의 출력 데이타를 수취하여 일치를 체크하는 EXOR 회로(418)를 포함한다. 각 클럭 사이클에서 래치(402 416) 중 어느 하나의 래치에 데이타를 취득한다. 데이타를 취득하는 래치는 매사이클 시프트한다. 따라서, 도 46에서는 8개의 래치가 있기 때문에 8사이클분의 출력 신호 DOWN2의 변동이 EXOR 회로(418)로써 판별된다.

실시예 4에서는 도 40, 도 41, 도 42, 도 46로써 나타낸 구성으로 테스트 A, 테스트 H, 테스트 I를 실시할 수 있다.

따라서, DLL 회로의 록인(예를 들면, 전원 투입 후 100클럭 이내)을 확인하는 것이 용이하게 할 수 있다.

도 46에서는, 8개의 래치를 사용했지만 더욱 래치의 수를 늘림에 따라 보다 장기간 동안의 안정을 판별하는 것도 가능하고, 또한 입출력 회로부에는 더욱 8개의 래치가 존재하기 때문에 이들에 취득된 데이타를 판독함에 따라, 보다 장기간의 DLL 회로의 안정도의 변화를 관측하는 것도 가능하다.

[테스트 B를 실시하기 위한 구성]

도 47은, 위상 비교기의 출력을 무효로 하는 구성을 설명하기 위한 도면이다.

도 47을 참조하면, 이 DLL 회로는 위상 비교기(232a)에 비활성화 신호 FCEN이 입력되는 점이 도 15에 도시된 통상의 DLL 회로와 다르다.

위상 비교기(232a)는 FCEN이 L레벨로 설정되면, 출력되는 신호 UP, DOWN이 모두 L 레벨로 고정된다.

위상 비교기가 동작하지 않은 것으로, 카운터(234)의 값은 변화하지 않는다. 따라서, 외부 클럭 CLK가 현재 설정되어 있는 카운터의 출력치에 따른 지연 시간만 지연되고, 내부 클럭으로서 칩 내부에 분배된다. 이 내부 클럭을 관측함으로써 지연단(238)의 기능을 확인할 수 있다.

[테스트 C를 실시하기 위한 구성]

테스트 C는 주로 위상 비교기의 동작을 확인하기 위해 실시한다.

이하에 나타내는 구성에서는 DLL 회로의 위상 비교기의 감도를 외부로부터 관측할 수 있다.

도 48은, DLL 회로(420)의 구성을 나타내는 회로도이다.

도 48을 참조하면, DLL 회로(420)는, 도 42에서 도시한 DLL 회로(360)와 비교하여 체크 회로(364)를 대신하여, 입력 버퍼(231)의 출력을 수취하여 위상 비교기로 전하는 버퍼(424)와, 더미 회로(233)의 출력을 수취하여 위상 비교기로 전하는 버퍼(426)를 구비하고, 위상 비교기의 2개의 입력사이에 접속되어 게이트에 신호 Del을 수취한 N 채널 MOS 트랜지스터(430)와, 위상 비교기(232) 2개의 입력 사이에 접속되어 게이트에 신호 /Del을 수취하는 P 채널 MOS 트랜지스터(428)를 구비하는 점이 DLL 회로(360)와 다르다. 다른 구성은 도 42에서 도시한 DLL 회로(360)와 동일하므로 설명은 반복하지 않는다.

이어서 테스트시의 DLL 회로(420)의 동작을 설명한다.

체크 모드시에는, 버퍼(426)는 비활성 상태가 되고, 위상 비교기의 입력에는 외부 클럭 CLK를 증폭시키는 버퍼(424)의 출력 신호와, 버퍼(424)의 출력 신호가 MOS 트랜지스터(428, 430)에 의해 지연된 신호가 입력된다.

도 49는, 위상 비교기의 테스트를 설명하기 위한 파형도이다.

도 49를 참조하면, 위상 비교기의 한쪽 입력에는 외부 클럭이 버퍼로 증폭된 클럭 신호 CLK1이 입력되어 다른 입력에는 클럭 신호 CLK1이 MOS 트랜지스터(428, 430)로 지연된 신호 CLK2가 입력된다. 여기서, MOS 트랜지스터(428, 430)의 게이트에 입력되어 있는 제어 신호/Del, Del의 전위를 변화시킴으로써 MOS 트랜지스터의 저항치는 변화하여 지연량이 변화한다. 따라서, 전위가 충분한 활성화 전위에 있어 MOS 트랜지스터가 충분한 도통 상태에 있으면 파형은 W0에 도시된 바와 같은 파형이 되어 위상 비교기에 입력되는 2개의 신호의 위상차는 거의 0과 동일해진다.

제어 신호 /Del, Del을 비활성화 레벨로 함에 따라 파형은 W1, W2와 같이 변화해가서 위상 비교기에 입력되는 신호의 위상차는 Td1, Td2와 같이 변화한다. 따라서, 카운터(234)의 출력을 외부로부터 모니터함으로써 위상 비교기의 감도를 체크할 수 있다.

또한, 직접적으로 위상 비교기에 입력 신호를 부여하는 구성도 생각할 수 있다.

도 50은, 상보인 외부 클럭을 이용하여 위상 비교기에 입력을 부여하는 구성을 나타내는 블럭도이다.

도 50을 참조하면, 상보 클럭 입력 신호 /CLK를 수취하는 입력 버퍼(231a)가 위상 비교기의 입력 노드에 접속된다. 이 입력 버퍼(231a)는 테스트 모드시에 신호TEN이 H 레벨이 되면 활성화된다. 한편, 더미 회로(233a)는 테스트 모드시에 신호/TEN이 L 레벨이 됨에 따라 비활성화된다.

따라서, 위상 비교기(232)의 2개의 입력 노드에는, 외부로부터 클럭 신호 CLK, /CLK를 각각 직접 입력할 수 있게 이루어진다. 클럭 신호 CLK와 상보 클럭 신호/CLK 사이에 위상차를 붙여 외부로부터 입력함으로써, 위상 비교기의 감도를 조사하는 것이 가능해진다.

[테스트 G를 실시하기 위한 구성]

테스트 G는 주로 DLL 회로가 포함하는 카운터를 테스트하기 위한 것이다

도 51은, 테스트 G를 실시하기 위한 DLL 회로(440)의 구성을 나타내는 블럭도이다.

도 51을 참조하면, DLL 회로(440)는 도 42에 도시된 DLL 회로(360)의 구성에서, 체크 회로(364)를 대신하여 클럭 ECLK를 수취하여 단안정 펄스를 발생시키는 단안정 펄스 발생 회로(442, 444)와, 카운트업 체크 모드시에 위상 비교기의 출력 신호 UP을 대신하여 단안정 펄스 발생 회로(442)의 출력을 카운터(234)에 부여하는 셀렉터(446)와, 카운트다운 체크 모드시에 위상 비교기(232)의 출력 신호 DOWN를 대신하여 단안정 펄스 발생 회로(444)의 출력 신호를 카운터(234)에 부여하는 셀렉터(448)를 포함한다. 다른 구성은 도 42에서 도시한 DLL 회로(360)와 동일하므로 설명은 반복하지 않는다.

DLL 회로(440)를 이용하면, 카운트업 체크 모드시에는 외부 클럭 신호에 의해 발생된 단안정 펄스가 카운터(234)에 카운트업 신호로서 입력되므로, 체크 펄스에 데이타 입출력 단자 DQ부에 출력되는 카운트치가 클럭 신호에 따라 업한다. 이것을 확인함으로써 용이하게 카운터(234)의 확인이 가능하다. 또한 카운트다운 체크 모드에서는, 클럭 신호 CLK에 따라 발생되는 단안정 펄스가 카운트다운 펄스로서 카운터(234)에 입력되므로, 데이타 입출력 단자 DQ 부에 출력되는 카운터의 출력치는 클럭 신호 CLK에 따라 변화한다. 이것을 확인함으로써 카운터(234)의 동작 확인이 용이하고 또한 확실하게 가능하다.

[테스트 F를 실시하기 위한 구성]

도 52는, 테스트 F를 실시하기 위해 이용하는 카운터(234a)의 구성을 나타내는 회로도이다.

도 52를 참조하면, 카운터(234a)는 신호 UP이 입력되면 카운트업하고, 신호DOWN이 입력되면 카운트다운하는 카운터(752)와, 체크 모드시에는 외부로부터 데이타 입출력 단자 DQ를 통해 부여되는 데이타를 출력하고, 통상 모드에서는 카운터(752)의 출력을 그대로 출력하는 셀렉트 회로(754)와, 셀렉트 회로(754)의 출력을 수취하는 래치 회로(756)를 포함한다.

카운터를 이러한 구성으로 함에 따라 지연단의 지연량을 테스트시에 외부로부터 직접적으로 부여할 수 있다. 따라서, 지연단의 지연량을 자세히 체크하는 것이 가능하다.

[테스트 D를 실시하기 위한 구성]

도 53은, 테스트 D를 실시하기 위한 더미 회로(233b)의 구성을 나타내는 회로도이다.

더미 회로는, 내부 클럭이 클럭 트리로부터 위상 비교기의 입력으로 들어갈 때까지의 경로에 설치된다. 이것은, 외부 클럭 신호 CLK가 위상 비교기에 입력될 때까지 통과하는 입력 버퍼등에 의한 지연분에 상당하는 지연량을 캔슬하기 위해, 내부 클럭을 지연시켜 위상 비교기에 입력하기 위한 것이다.

그러나, 입력 버퍼의 지연량이 예상에 반하는 경우나, 지연량에 변동이 생기는 경우를 고려하면, 더미 회로는 지연량을 튜닝할 수 있는 것이 바람직하다.

도 53을 참조하면, 더미 회로(233b)는, 지연 데이타를 설정하는 설정 회로(762)와, 테스트시에는 데이타 입출력 단자 DQ1 DQn으로부터 부여되는 데이타를 출력하고, 통상 동작시에는 설정 회로(762)의 출력을 그대로 출력하는 셀렉트 회로(766)와, 셀렉트 회로(766)의 출력을 수취하는 전류 발생 회로(768)와, 전류 발생 회로(768)로부터 제어 신호를 수취하고, 이에 따른 지연량만큼 신호 CLKIN을 지연시켜 신호CLKOUT로서 출력하는 지연단(770)을 포함한다. 신호 CLKIN으로는, 내부 클럭 신호 CLK(in)가 더미 회로에 입력되고, 더미 회로의 출력 신호 CLKOUT는 클럭 신호 CCLK로서 위상 비교기에 입력된다.

설정 회로(762)는, 설정부(762. 1 762. n)를 포함한다. 셀렉트 회로(766)는 셀렉터(766. 1 766. n)를 포함한다.

설정부(762. 1)는, 노드 NS1과 접지 노드사이에 직렬로 접속되어 게이트가 노드 NS2에 접속되는 N 채널 MOS 트랜지스터(776) 및 퓨즈 소자 H1과, 노드 NS1과 전원 노드사이에 접속되어 게이트가 노드 NS2에 접속되는 P 채널 MOS 트랜지스터(772)를 포함한다.

설정부(762. 1)는, 또한 노드 NS2와 접지 노드사이에 직렬로 접속되어 게이트가 노드 NS1에 접속되는 N채널 MOS 트랜지스터(778), 퓨즈 소자 H2와, 노드 NS2와 전원 노드사이에 접속되어 게이트가 노드 NS1에 접속되는 P 채널 MOS 트랜지스터(774)를 포함한다. 노드 NS2로부터는 이 설정부로부터의 출력 신호가 출력된다.

설정부(762. n)는 설정부(762. 1)와 동일한 구성을 구비하기 때문에, 설명은 반복하지 않는다.

또한 전류 발생 회로(768)와 지연단(770)은, 각각 도 42에 나타낸 전류 발생 회로(234), 지연단(238)과 동일한 구성을 구비하므로 설명은 반복하지 않는다.

도 54는, 튜닝용의 데이타를 데이타 입출력 단자로부터 입력시키기 위한 입출력 회로(780)의 회로 구성을 나타내는 회로도이다.

도 54를 참조하면, 입출력 회로(780)는 입력 버퍼(152)의 출력이 스위치(782)를 통해 래치(784)에 부여된다. 스위치(782)는 스트로브 신호 QS에 따라 도통한다. 래치(784)의 출력은 DLL 회로로 이송되고, 더미 회로(233b)에 입력된다. 다른 구성은 도 10에 도시된 입출력 회로(64)와 동일하므로 설명은 반복하지 않는다.

튜닝의 동작을 간단히 설명하면, 우선 테스트시에는 외부로부터 데이타 입출력 단자를 통해 전류 발생 회로에 지연량 설정이 행해진다. 이 때, 지연량을 바꾸면서 최적의 지연량을 구한다.

구한 지연량을 설정 회로(762)에 설정하면, 통상 동작시에 더미 회로는 지연량을 동작한다.

설정 회로(762)에의 지연 데이타 설정은 설정부(762. 1 762. n) 내의 퓨즈 소자 H1, H2 중 어느 하나를 절단함으로써 행한다. 퓨즈 소자 H1을 절단하면 전원 입상과 함께 설정부(762. n)의 출력은 L 레벨이 되고, 퓨즈 소자 H2를 절단하면 전원 입상함과 동시에 설정부(762. n)의 출력은 H 레벨이 된다.

이러한 더미 회로를 구비함에 따라 록시의 위상의 오프셋을 보정하는 것이 가능해진다.

[테스트 E를 실시하기 위한 구성]

도 55는, 테스트 E를 실시하기 위해 이용되는 입출력 회로(450)의 구성을 나타내는 회로도이다.

테스트 E는 DLL 회로의 출력 클럭에 동기하여 교대로 H 데이타와 L 데이타를 데이타 입출력 단자로부터 출력시킴으로써, 내부 클럭의 주기를 외부에서 관측하는 테스트이다.

도 55를 참조하면, 입출력 회로(450)는 테스트 신호 /TEST가 "L" (로우) 레벨이 되는 테스트 모드시에 리시버(143)의 출력 노드에 "H" (하이) 레벨의 신호를 부여하는 P 채널 MOS 트랜지스터(147)와, 테스트 신호 /TEST를 수취하여 반전하는 인버터(151)와, 인버터(151)의 출력을 수취하여 리시버(142)의 출력 노드에 "L" 레벨의 신호를 부여하는 N 채널 MOS 트랜지스터(149)를 더욱 포함하고, 리시버(142, 143)가 테스트 신호 /TEST에 의해 테스트 모드시에 비활성화되는 점이 실시예 1에서의 입출력 회로(64)와 다르다.

다른 부분은 도 10에서 설명한 입출력 회로(64)와 동일하므로 설명은 반복하지 않는다.

테스트 E의 실시시에서는, 테스트 모드시에 테스트 신호 /TEST가 "L" 레벨이 되고, 메모리 어레이로부터 데이타 버스를 통해 판독되는 신호를 대신하여 래치(148)에는 "H" 데이타가 기록되고, 래치(146)에는 "L" 데이타가 기록된다. 래치(148, 146)의 데이타는 DLL 회로에 의해 발생되는 클럭 DLLe, DLLo에 의해 교대로 판독되기 때문에 테스트 모드시에는 단자 DQ0으로부터의 외부에의 출력에는 "H" 데이타, "L" 데이타가 교대로 출력되게 된다.

따라서, 출력 데이타와 외부로부터 동기형 반도체 기억 장치에 부여되는 클럭을 관측하고, 출력 데이타의 변화점과 클럭 에지를 비교하면 DLL 회로의 동작 상황을 용이하게 알 수 있다. 즉, 출력 데이타의 변화점과 클럭 에지 시간의 편차를 관측함으로써, DLL 회로의 록의 상황 및 록으로부터의 편차의 상황을 간접적으로 외부로부터 모니터할 수 있다.

도 56은, 테스트 E를 실시하기 위해 이용되는 제2예의 입출력 회로(791)의 구성을 나타내는 회로도이다.

도 56을 참조하면, 출력 버퍼(150)의 입력 노드에는 각각 스위치(792, 798)를 통해 H 데이타를 출력하는 소자(794), L 데이타를 출력하는 소자(796)가 접속된다. 스위치(792, 798)는 클럭 신호 DLCK, 상보 클럭 신호 /DLCK에 의해 교대로 도통 상태가 된다. 여기서, 클럭 신호 DLCK는 DLL 회로가 발생한 클럭을 분주하여 만들어지는 클럭이고, 상보 클럭 신호 /DLCK는 그 반전 신호이다.

다른 부분은 도 10에서 도시된 입출력 회로(64)와 동일한 구성을 구비하므로 설명은 반복하지 않는다.

테스트 모드에서는, 스위치(168, 170)는 비도통 상태가 된다.

따라서, 클럭이 분주된 신호를 기준으로 H 데이타 /L 데이타를 출력하기 때문에, 외부로부터 내부 클럭의 파형을 알 수 있다.

실시예 4에서는 이상 설명된 테스트 A I를 조합하여 이용함에 따라 DLL 회로의 각 구성 요소의 동작 확인을 자세히 실시하는 것이 가능하다.

본 발명을 상세히 설명하고 기술했지만, 이는 단지 설명 및 예를 보여주는 것에 불과하며 발명을 한정하는 것으로 인식해서는 안된다. 본 발명의 사상과 범주는 첨부된 청구 범위에 의해서만 제한된다.

발명의 효과

상기 장치에 따르면, 내부 회로와 데이타 교환하는 클럭과 외부 회로와 데이타 교환하는 클럭을 독립적으로 설정할 수 있으므로, 동작 마진을 확대할 수 있고, 검사 공정에 있어서 동작 확인시의 입출력 단자 수가 적어도 가능하므로 검사 비용을 줄일 수 있으며, BIST를 내장한 경우, 내부의 상태도 테스트 장치로 모니터할 수 있으므로, 동작 확인의 결과가 보다 확실하게 할 수 있음과 동시에, 문제가 발생한 경우의 해명등이 보다 용이하게 할 수 있다.

(57) 청구의 범위

청구항 1.

동기형 반도체 기억 장치에 있어서,

데이타를 입출력하는 입출력 단자;

상기 입출력 단자와 제1 내부 노드 사이의 상기 데이타의 전달을 행하는 제1 경로;

상기 제1 내부 노드와 상기 데이타의 교환을 행하는 입출력 회로 - 상기 입출력 회로는 상기 제1 내부 노드에 접속되어 상기 제1 데이타를 유지하는 제1 데이타 유지 회로와, 상기 제1 내부 노드에 접속되어 제2 데이타를 유지하는 제2 데이타 유지 회로를 포함함 -;

상기 입출력 회로와 상기 데이타의 교환을 행하는 데이타 버스; 및

상기 데이타 버스로부터 상기 데이타를 수취하여 기억하는 동작과, 상기 데이타 버스에 상기 데이타를 판독하는 동작을 행하는 내부 회로

를 구비하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 2.

동기형 반도체 기억 장치에 있어서,

통상 동작 모드에서 제1 데이타군이 입력되고, 테스트 모드에 있어서 상기 제1 데이타군과 제2 데이타군이 외부 클럭에 따라 시분할적으로 입력되는 제1 데이타 단자군;

통상 동작 모드에 있어서 제2 데이타군이 입력되는 제2 데이타 단자군;

상기 제1 데이타군에 따라 동작하는 제1 내부 회로;

상기 제2 데이타군에 따라 동작하는 제2 내부 회로; 및

통상 동작 모드에 있어서 상기 제1 데이타 단자군으로부터 상기 제1 데이타군을 수취하여 상기 제1 내부 회로에 출력하고, 상기 제2 데이타 단자군으로부터 상기 제2 데이타군을 수취하여 상기 제2 내부 회로에 출력하며, 테스트 모드에 있어서 상기 제1 입력 단자군으로부터 상기 제1 데이타군과 상기 제2 데이타군을 수취하여 상기 제1 내부 회로와 상기 제2 내부 회로에 각각 출력하는 테스트 제어 회로

를 구비하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 3.

통상 동작을 행하는 제1 모드와, 상기 통상 동작과 다른 동작을 행하는 제2 모드를 동작 모드로서 갖는 동기형 반도체 기억 장치에 있어서,

내부 회로,

상기 제2 모드시에 활성화되어, 상기 내부 회로의 상태를 나타내는 데이타군을 출력하는 데이타 전달 회로, 및

상기 제2 모드시에 상기 데이타 전달 회로로부터 상기 데이타군을 수취하는 제1 입출력 단자군

을 구비하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 4.

제3항에 있어서,

상기 제2 모드시에 빌트 인 셀프 테스트(BIST : Built In Self Test)가 실행되고,

상기 내부 회로는 메모리 블록을 포함하며,

상기 데이타군은 상기 메모리 블록의 기억 동작을 위한 커맨드 데이타, 어드레스 데이타, 및 기억 데이타에 대응하는 테스트 출력 데이타를 포함하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 5.

제3항에 있어서,

상기 내부 회로는, 외부 클럭에 따라 내부 클럭의 발생을 행하는 DLL(Delay Locked Loop) 회로를 포함하고,

상기 DLL 회로는, 상기 외부 클럭에 따른 제1 신호와 상기 DLL 회로가 생성하는 내부 클럭에 따른 제2 신호를 비교하는 위상 비교기, 상기 위상 비교기의 출력에 따라 카운트를 하는 카운트 회로, 및 상기 카운트 회로의 카운트값에 따른 지연 시간분만큼 상기 외부 클럭을 지연시키는 지연 회로를 포함하며,

상기 데이타군은 상기 위상 비교기의 출력 데이타를 포함하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 6.

제3항에 있어서,

상기 내부 회로는, 외부 클럭에 따라 내부 클럭의 발생을 행하는 DLL(Delay Locked Loop) 회로를 포함하고,

상기 DLL 회로는, 상기 외부 클럭에 따른 제1 신호와 상기 DLL 회로가 생성하는 내부 클럭에 따른 제2 신호를 비교하는 위상 비교기, 상기 위상 비교기의 출력에 따라 카운트하는 카운트 회로, 및 상기 카운트 회로의 카운트값에 따른 지연 시간분만큼 상기 외부 클럭을 지연시키는 지연 회로를 포함하며,

상기 데이타군은 상기 카운트 회로의 출력 데이타를 포함하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 7.

제3항에 있어서,

상기 내부 회로는, 외부 클럭에 따라 내부 클럭의 발생을 행하는 DLL(Delay Locked Loop) 회로를 포함하고,

상기 동기형 반도체 기억 장치는, 상기 내부 클럭에 동기하여 제1 및 제2 논리값을 교대로 출력하는 클럭 데이타 발생 회로를 더 구비하며, 상기 데이타군은 상기 클럭 데이타 발생 회로의 출력 신호를 포함하는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 8.

제3항에 있어서,

상기 내부 회로는, 외부 클럭에 따라 내부 클럭의 발생을 행하는 DLL(Delay Locked Loop) 회로를 포함하고,

상기 DLL 회로는, 상기 외부 클럭을 수취하는 클럭 버퍼, 상기 내부 클럭을 수취하여 소정의 지연량만 지연시키는 더미 지연 회로, 상기 클럭 버퍼의 출력 신호와 상기 더미 지연 회로의 출력 신호와의 위상을 비교하는 위상 비교기, 상기 위상 비교기의 출력에 따라 카운트하는 카운트 회로, 및 상기 카운트 회로의 카운트값에 따른 지연 시간분만큼 상기 외부 클럭을 지연시켜 상기 내부 클럭을 출력하는 지연 회로를 포함하며,

상기 더미 지연 회로는 상기 지연 시간을 설정하는 설정 회로를 갖는 것을 특징으로 하는 동기형 반도체 기억 장치.

청구항 9.

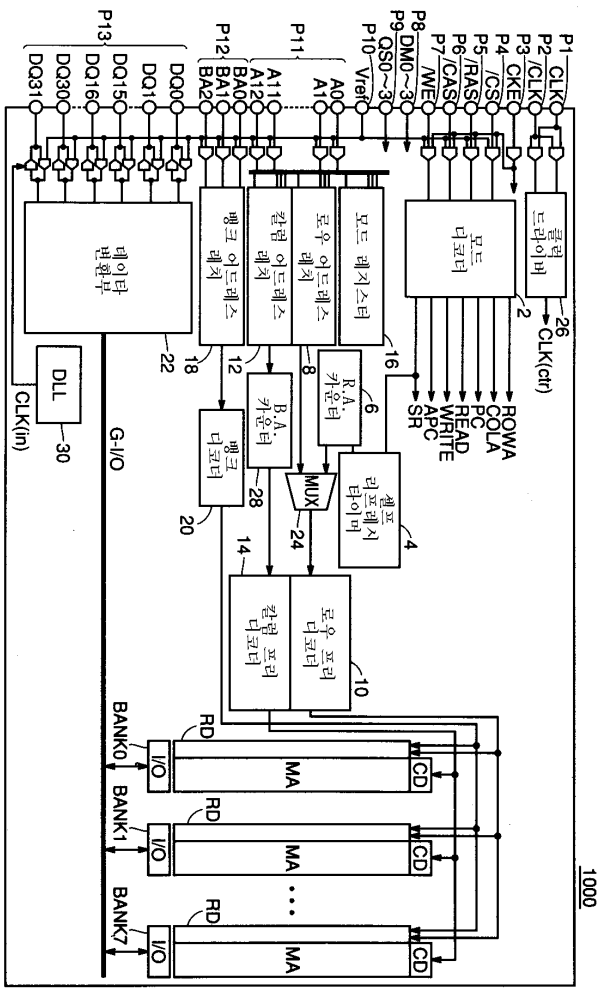
제3항에 있어서,

상기 내부 회로는, 외부 클럭에 따라 내부 클럭의 발생을 행하는 DLL(Delay Locked Loop) 회로를 포함하고,

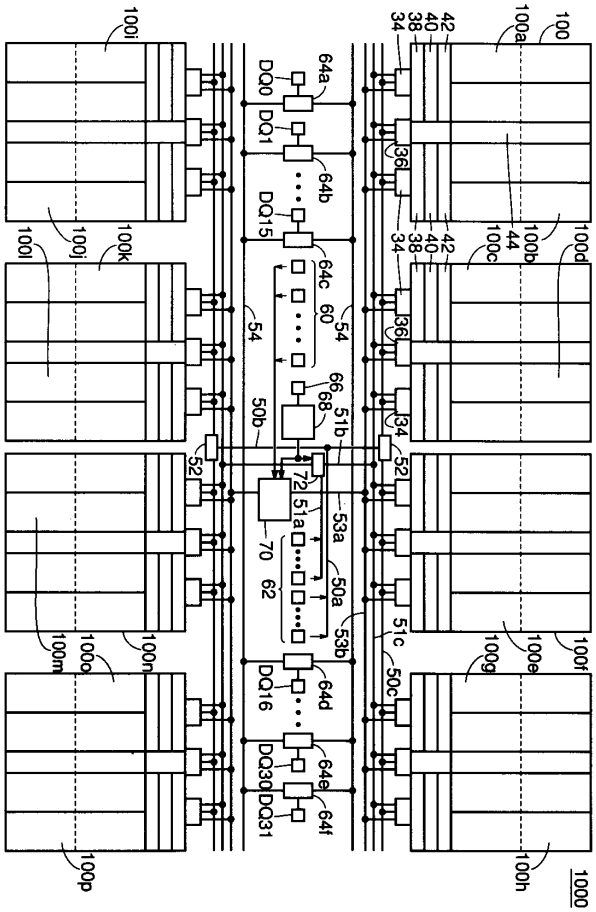
상기 DLL 회로는, 상기 제1 모드에서는 상기 외부 클럭에 따른 제1 신호와 상기 DLL 회로가 생성하는 내부 클럭에 따른 제2 신호와의 비교 결과를 출력하고, 상기 제2 모드에서는 출력이 비활성화되는 위상 비교기, 상기 위상 비교기의 출력에 따라 카운트하는 카운트 회로, 및 상기 카운트 회로의 카운트값에 따른 지연 시간분만큼 상기 외부 클럭을 지연시키는 지연 회로를 포함하는 것을 특징으로 하는 동기형 반도체 기억 장치.

도면

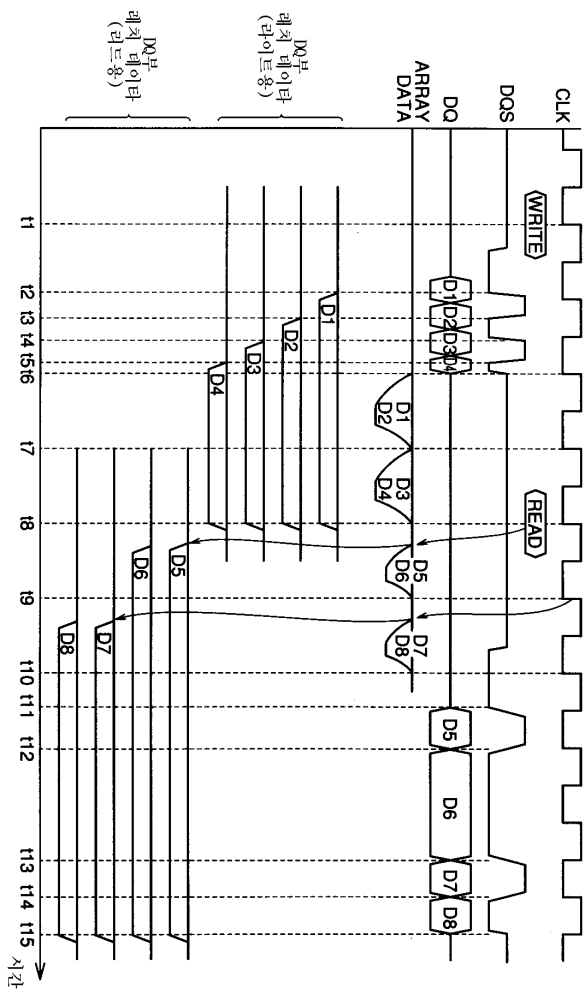
도면 1


P1 CLK
P2 /CLK
P3 /CLK
P4 CKE
P5 /CS
P6 /RAS
P7 /CAS
P8 /WE
P9 DM0~3
P10 QS0~3
P11 Vref
P12 A0 A1
P13 A11 A12
BA0 BA1 BA2
DQ0 DQ1 DQ15 DQ16 DQ30 DQ31
클럭 드라이버
모드 디코더
모드 레지스터
로우 어드레스 래치
칼럼 어드레스 래치
뱅크 어드레스 래치
데이타 변환부
R.A 카운터
B.A 카운터
뱅크 디코더
MUX
셀프 리프레시 타이머
칼럼 프리 디코더
로우 프리 디코더
DLL
CLK(in)
CLK(ctr)
ROWA
COLA
PC
READ
WRITE
APC
SR
G-I/O
BANK0
BANK1
BANK7
RD
I/O
MA
CD
1000

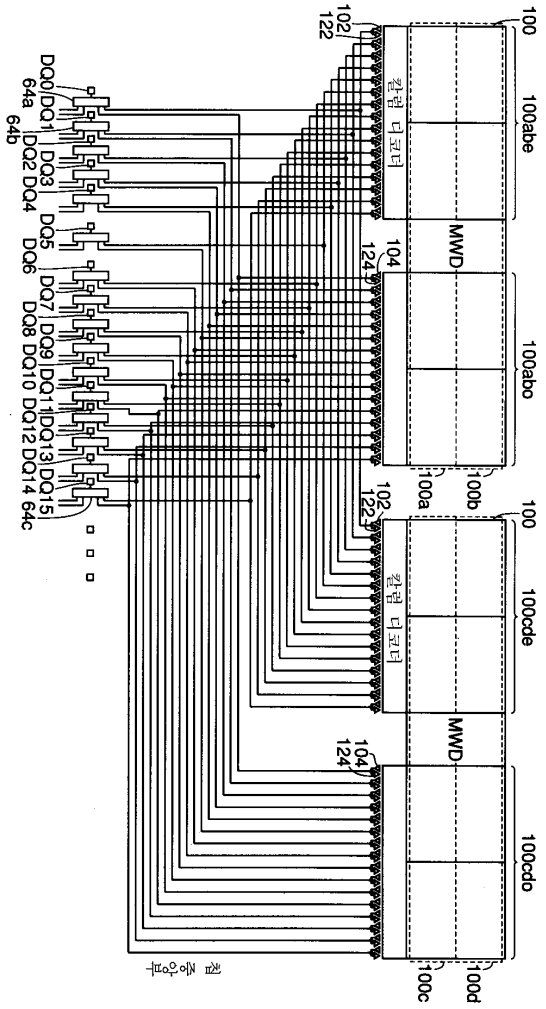
도면 2


100
100a
100b
100c
100d
100e
100f
100g
100h
100i
100j
100k
100l
100m
100n
100o
100p
1000
34
36
38
40
42
44
50a
50b
50c
51a
51b
51c
52
53a
53b
54
60
62
64a
64b
64c
64d
64e
64f
66
68
70
72
DQ0
DQ1
DQ15
DQ16
DQ30
DQ31

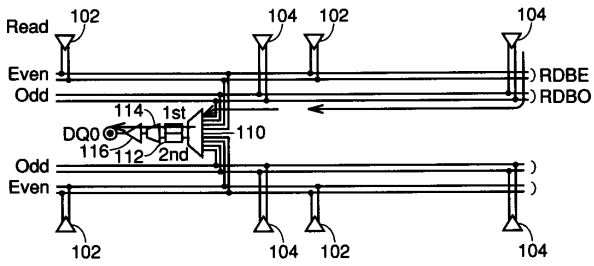
도면 3


CLK
DQS
DQ
ARRAY DATA
DQ부 레치 데이타 (라이트용)
DQ부 레치 데이타 (리드용)
WRITE
READ
D1
D2
D3
D4
D5
D6
D7
D8
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
시간

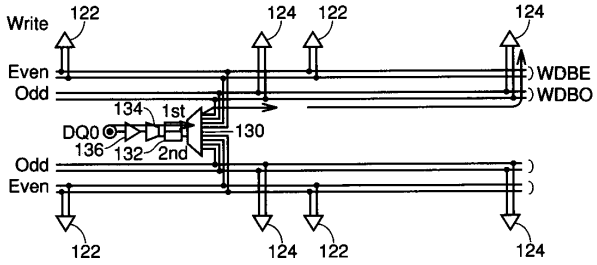
도면 4


100
100abe
100abo
100cde
100cdo
102
122
104
124
MWD
칼럼 디코더
100a
100b
100c
100d
DQ0/DQ1
64a
64b
DQ2 DQ3
DQ4 DQ5
DQ6 DQ7
DQ8 DQ9
DQ10 DQ11
DQ12 DQ13
DQ14 DQ15
64c
로 컬 입 출 력 선

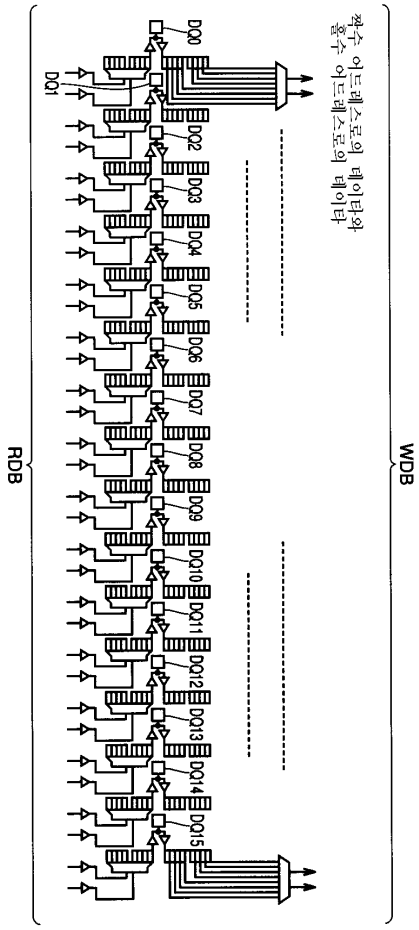
도면 5


Read
Even
Odd
102
104
RDBE
RDBO
114
1st
DQ0
110
116
112
2nd
Odd
Even

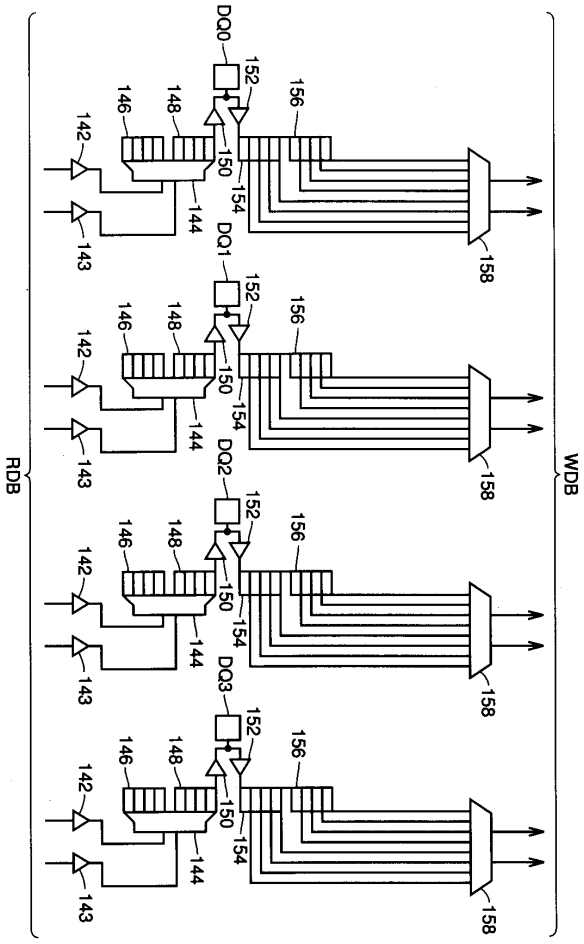
도면 6


Write
122
124
122
124
Even
Odd
WDBE
WDBO
134
1st
DQ0
130
136
132
2nd
Odd
Even
122
124
122
124

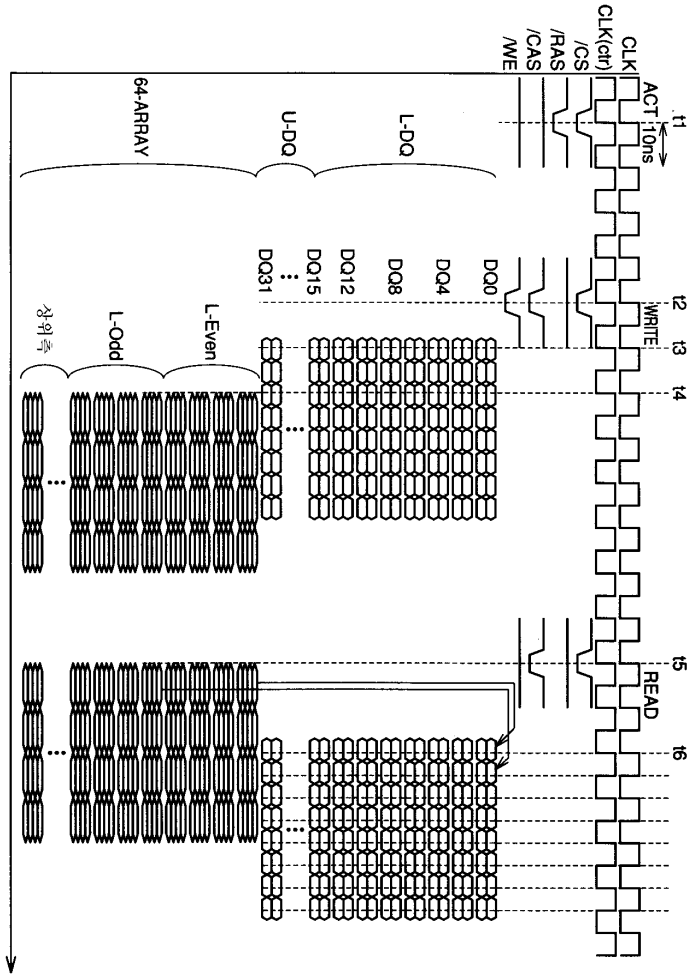
도면 7


RDB
WDB
DQ0
DQ1
DQ2
DQ3
DQ4
DQ5
DQ6
DQ7
DQ8
DQ9
DQ10
DQ11
DQ12
DQ13
DQ14
DQ15
짝수 어드레스로의 데이터와
홀수 어드레스로의 데이터

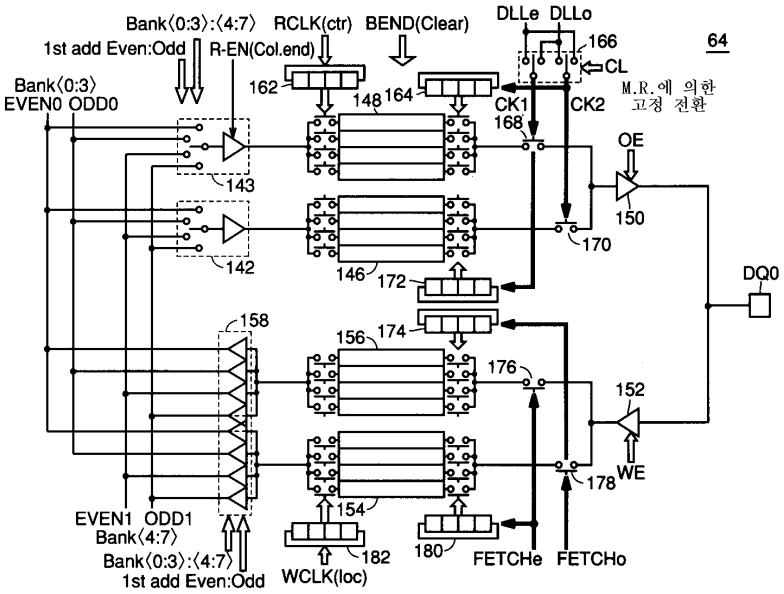
도면 8



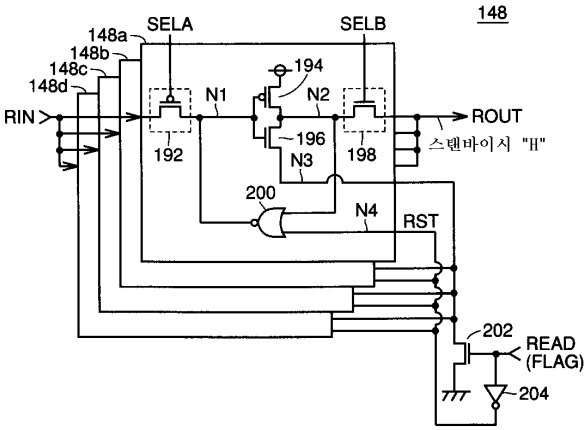
도면 9


CLK
CLK(ctr)
/CS
/RAS
/CAS
/WE
ACT
10ns
t1
t2
WRITE
t3
t4
t5
READ
t6
64-ARRAY
U-DQ
L-DQ
DQ31
DQ15
DQ12
DQ8
DQ4
DQ0
상위측
L-Odd
L-Even

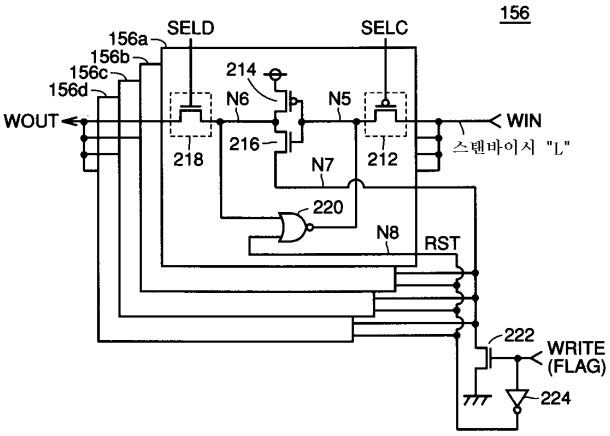
도면 10


Bank〈0:3〉:〈4:7〉
1st add Even:Odd
R-EN(Col.end)
RCLK(ctr)
BEND(Clear)
DLLe DLLo
166
CL
64
M.R.에 의한 고정 전환
Bank〈0:3〉
EVEN0 ODD0
162
148
164
CK1
CK2
168
OE
143
150
142
170
146
172
DQ0
158
156
174
176
152
WE
178
154
180
182
FETCHe
FETCHo
EVEN1 ODD1
Bank〈4:7〉
Bank〈0:3〉:〈4:7〉
1st add Even:Odd
WCLK(loc)

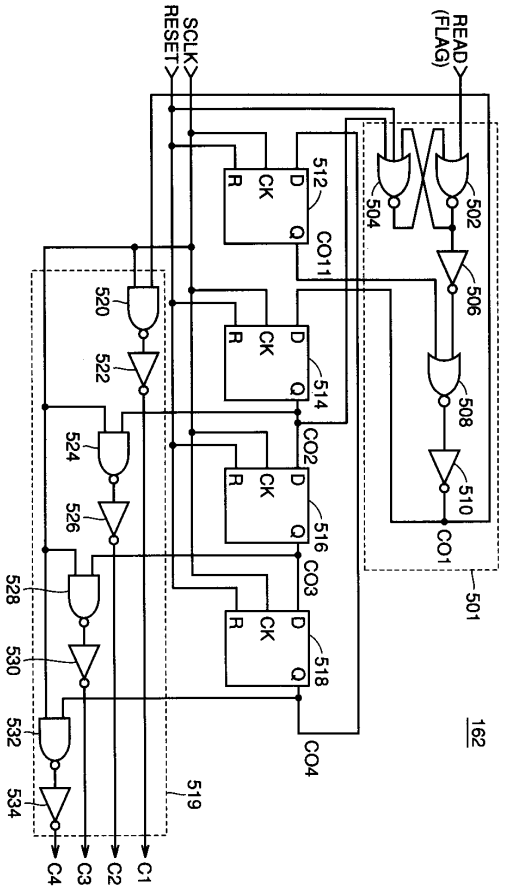
도면 11


148
SELA
SELB
148a
148b
148c
148d
194
N1
N2
RIN
ROUT
196
N3
192
198
스탠바이시 "H"
200
N4
RST
202
READ
(FLAG)
204

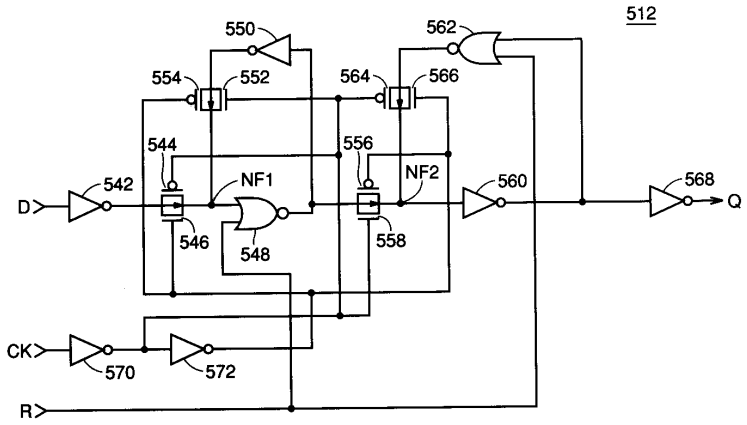
도면 12


156
SELD
SELC
156a
156b
156c
156d
214
N6
N5
WOUT
WIN
216
218
212
스탠바이시 "L"
N7
220
N8
RST
222
WRITE
(FLAG)
224

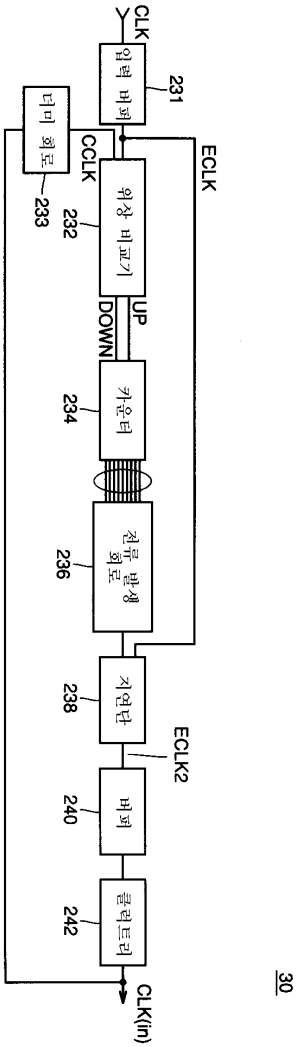
도면 13


SCLK
RESET
READ
(FLAG)
CK
R
D
Q
512
CO11
514
CO2
516
CO3
518
CO4
504
502
506
508
510
CO1
501
520
522
524
526
528
530
532
534
519
162
C4
C3
C2
C1

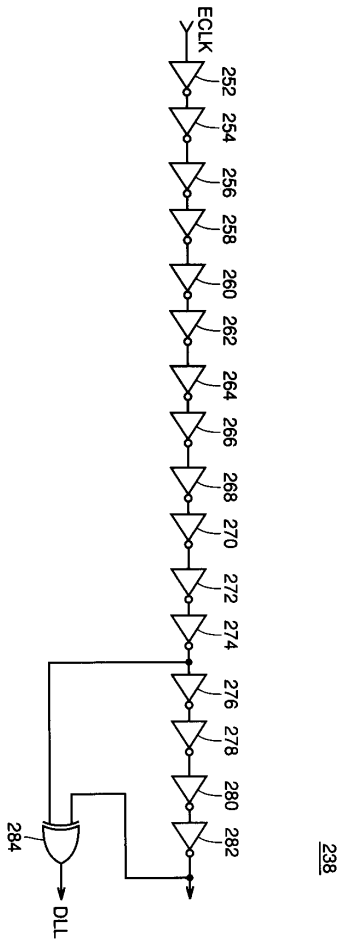
도면 14


512
550
562
554
552
564
566
544
556
542
NF1
NF2
560
568
D
Q
546
548
558
CK
570
572
R

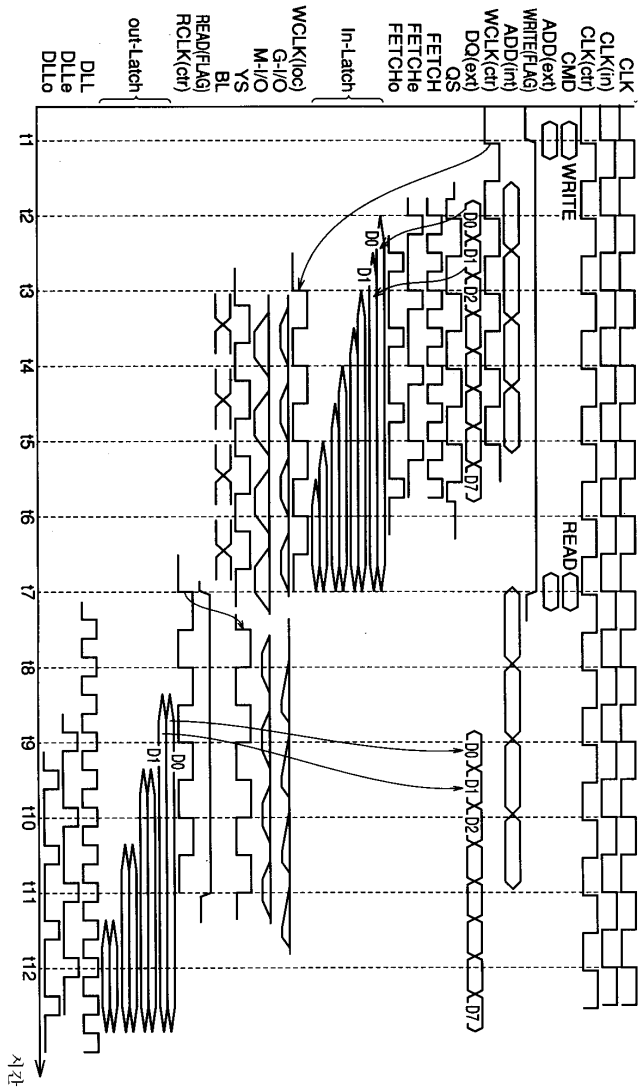
도면 15


CLK
입력 버퍼
231
더미 회로
233
CCLK
232
위상 비교기
ECLK
UP
DOWN
카운터
234
전류 발생 회로
236
지연단
238
ECLK2
버퍼
240
클럭드라이버
242
CLK(in)
30

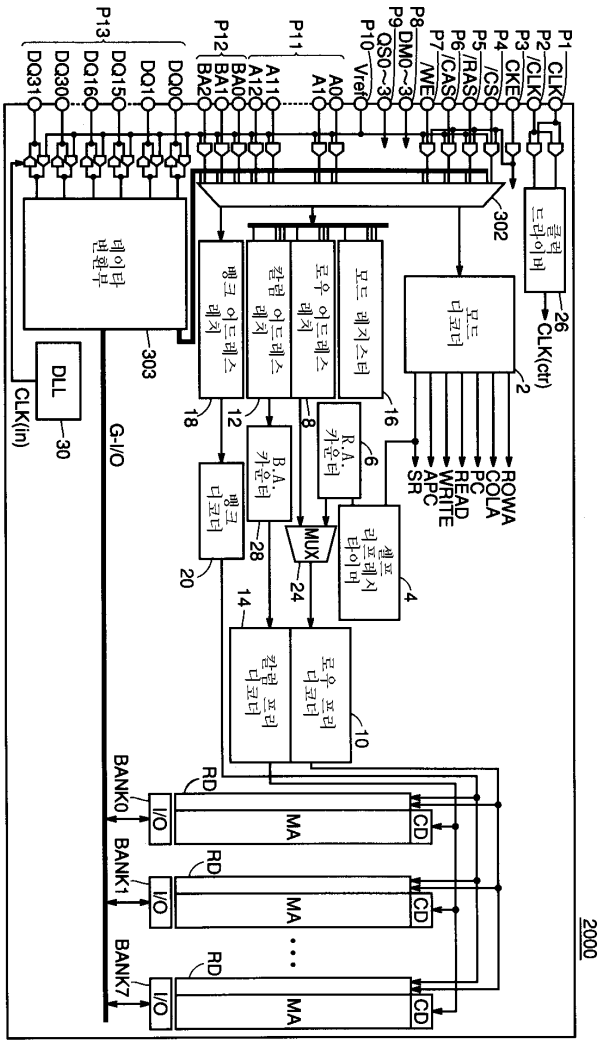
도면 16


ECLK
252
254
256
258
260
262
264
266
268
270
272
274
276
278
280
282
284
DLL
238

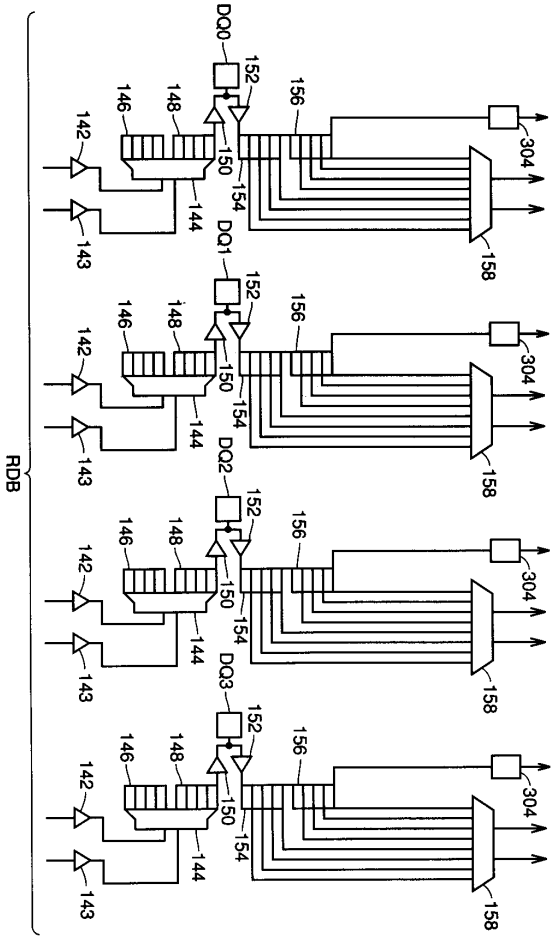
도면 17


CLK
CLK(in)
CLK(ctr)
CMD
ADD(ext)
WRITE(FLAG)
ADD(int)
WCLK(ctr)
DQ(ext)
QS
FETCH
FETCHe
FETCHo
WRITE
READ
In-Latch
WCLK(loc)
G-I/O
M-I/O
YS
BL
READ(FLAG)
RCLK(ctr)
out-Latch
DLL
DLLe
DLLo
D0
D1
D2
D7
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
시간

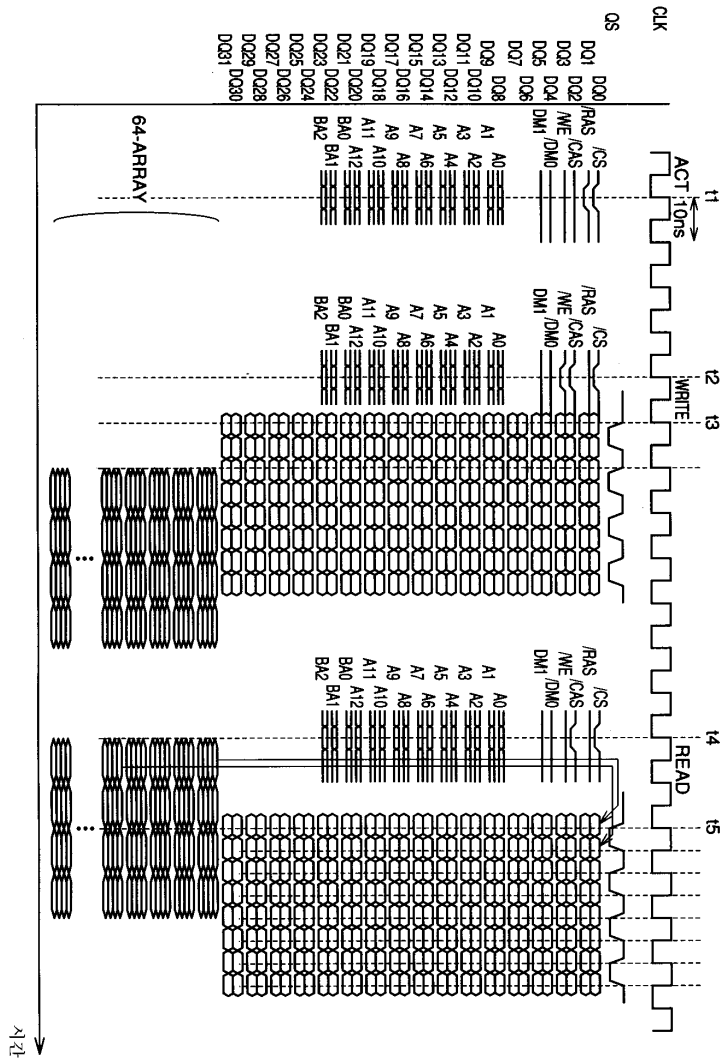
도면 18


P1 CLK
P2 /CLK
P3 CKE
P4 /CS
P5 /RAS
P6 /CAS
P7 /WE
P8 DM0~3
P9 QS0~3
P10 Vref
P11 A0 A10
A11 A12
P12 BA0 BA1 BA2
P13 DQ0 DQ1 DQ15 DQ16 DQ30 DQ31
302
303
클럭 드라이버
26
CLK(ctr)
2
모드 디코더
모드 레지스터
로우 어드레스 레치
칼럼 어드레스 레치
뱅크 어드레스 레치
데이타 변환부
DLL
30
CLK(in)
G-I/O
18
12
8
16
6
R.A. 카운터
B.A. 카운터
뱅크 디코더
20
28
MUX
24
셀프 레시 타이머
4
14
칼럼 프리 디코더
로우 프리 디코더
10
ROWA
COLA
PC
READ
WRITE
APC
SR
BANK0
BANK1
BANK7
RD
I/O
MA
CD
2000

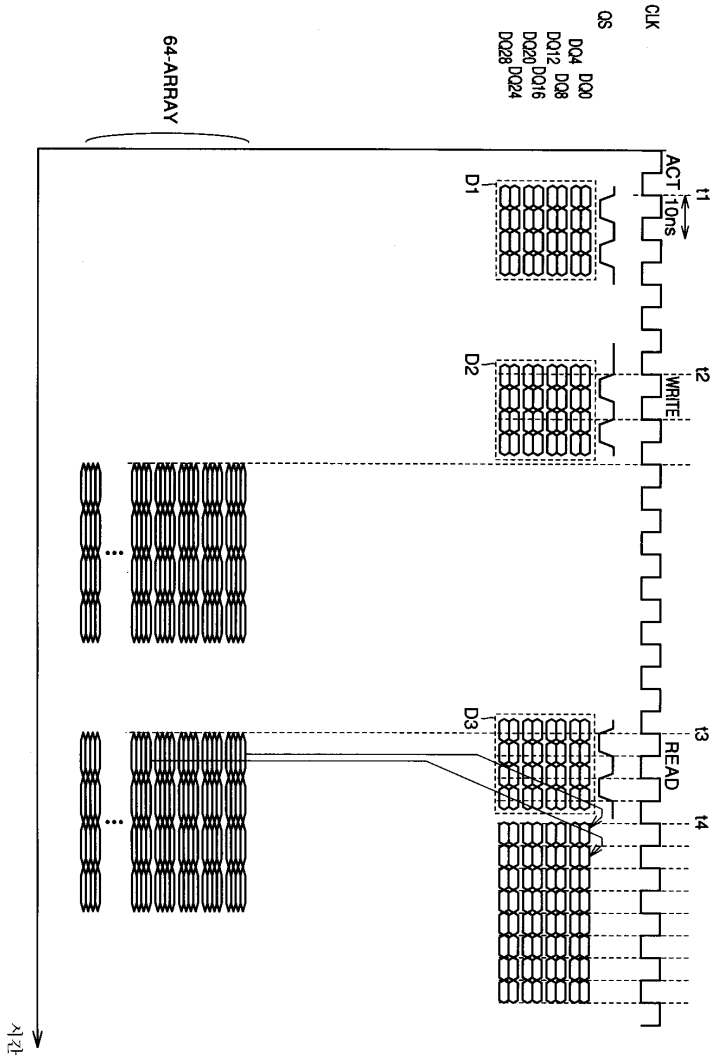
도면 19



도면 20


CLK
DQS
DQ0 DQ1 DQ2 DQ3 DQ4 DQ5 DQ6 DQ7 DQ8 DQ9 DQ10 DQ11 DQ12 DQ13 DQ14 DQ15 DQ16 DQ17 DQ18 DQ19 DQ20 DQ21 DQ22 DQ23 DQ24 DQ25 DQ26 DQ27 DQ28 DQ29 DQ30 DQ31
/CS /RAS /CAS /WE DM0 DM1
A0 A1 A2 A3 A4 A5 A6 A7 A8 A9 A10 A11 A12
BA1 BA0 BA2
64-ARRAY
t1
ACT
10ns
t2
WRITE
t3
t4
READ
t5
시간

도면 21


64-ARRAY
CLK
QS
DQ0 DQ4
DQ8 DQ12
DQ16 DQ20
DQ24 DQ28
t1
ACT
10ns
D1
t2
WRITE
D2
t3
READ
D3
t4
시간

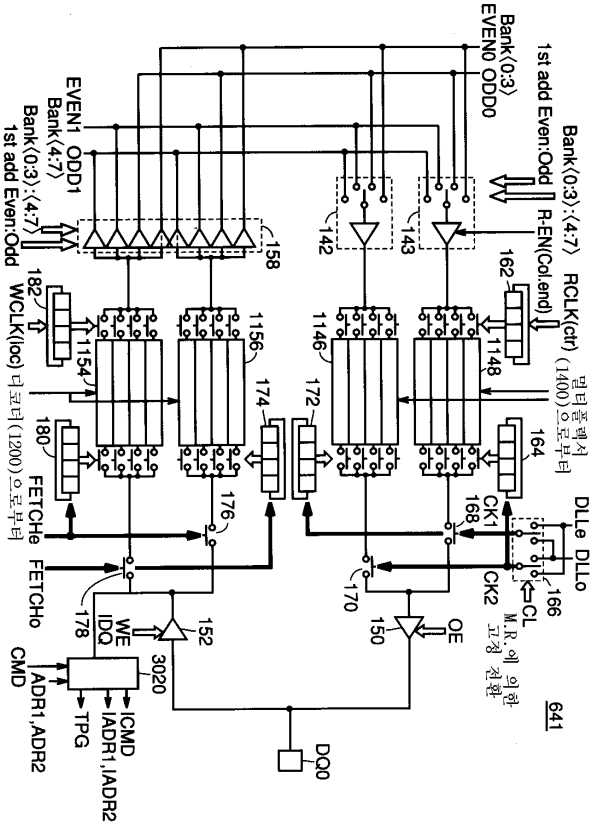
도면 22

	#1	#2	#3	#4
DQ0	CKE	BA0	A7	DT7
DQ4	/CS	BA1	A6	DT6
DQ8	/RAS	BA2	A5	DT5
DQ12	/CAS	A12	A4	DT4
DQ16	/WE	A11	A3	DT3
DQ20	DM0	A10	A2	DT2
DQ24	DM1	A9	A1	DT1
DQ28	—	A8	A0	DT0
	커맨드	어드레스	어드레스	데이터

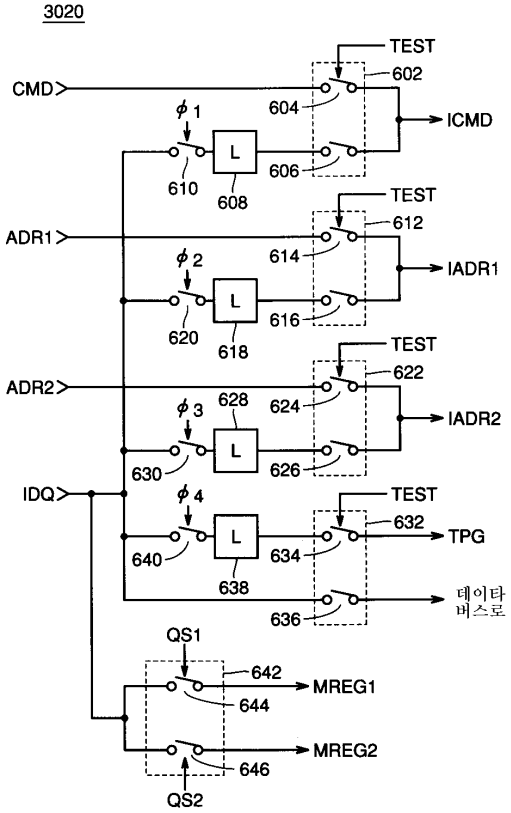
⇩

데이터 패턴

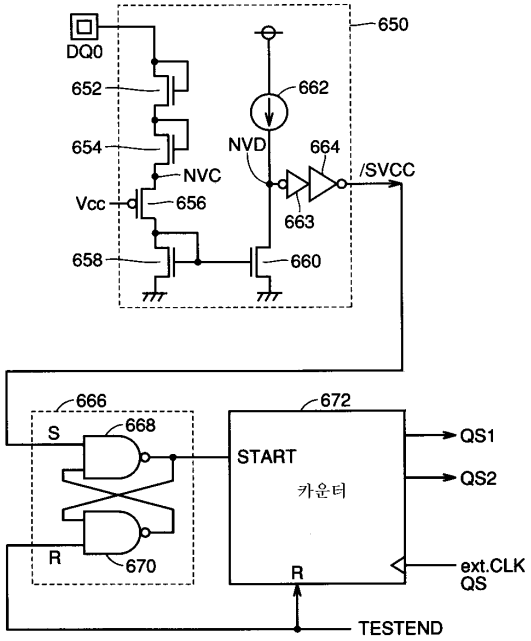
도면 23



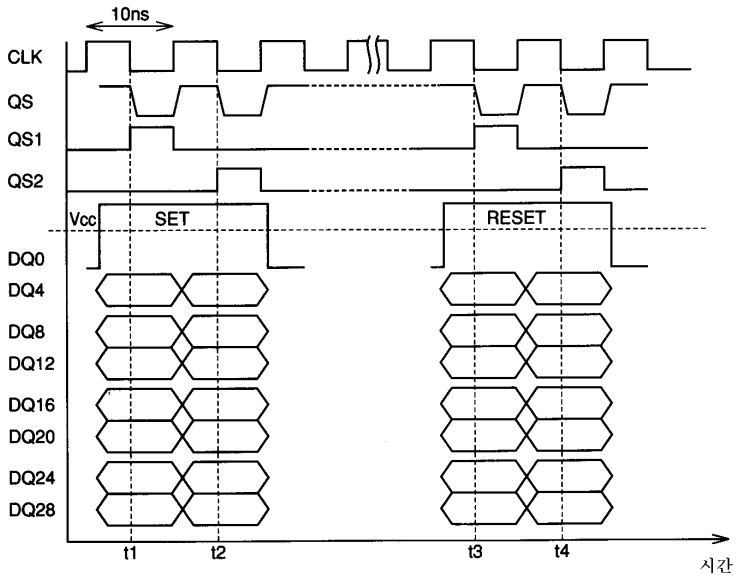
도면 24


3020
TEST
602
CMD
604
ICMD
φ1
L
610
606
608
TEST
612
ADR1
614
IADR1
φ2
L
620
616
618
TEST
622
ADR2
628
624
IADR2
φ3
L
630
626
IDQ
TEST
φ4
632
L
TPG
640
634
638
데이타
버스로
636
QS1
642
MREG1
644
MREG2
646
QS2

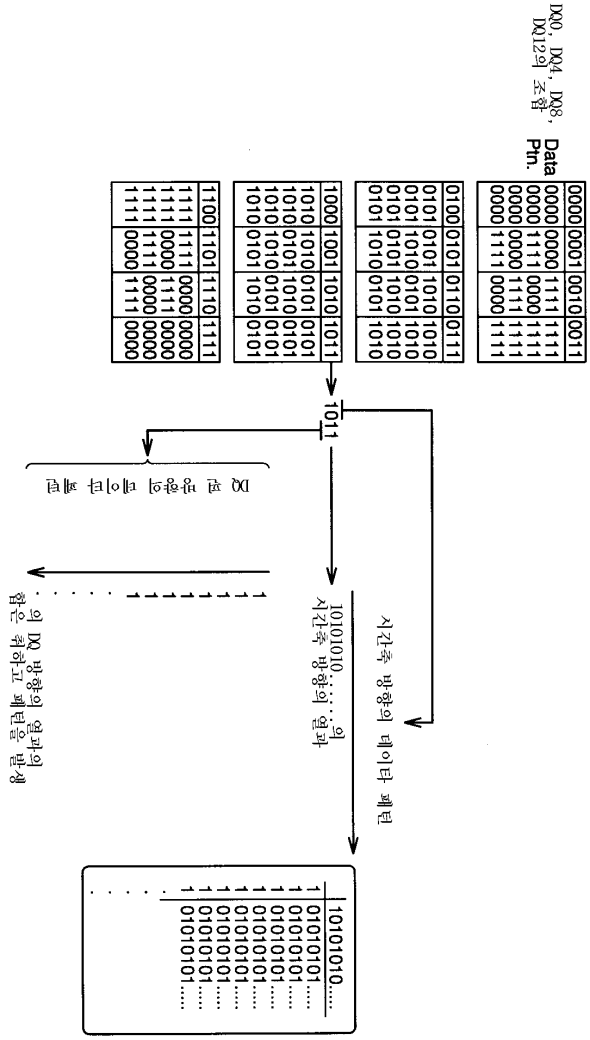
도면 25


650
DQ0
652
662
654
NVD
664
/SVCC
NVC
Vcc
656
663
658
660
666
672
S
668
START
QS1
QS2
카운터
R
670
R
ext.CLK
QS
TESTEND

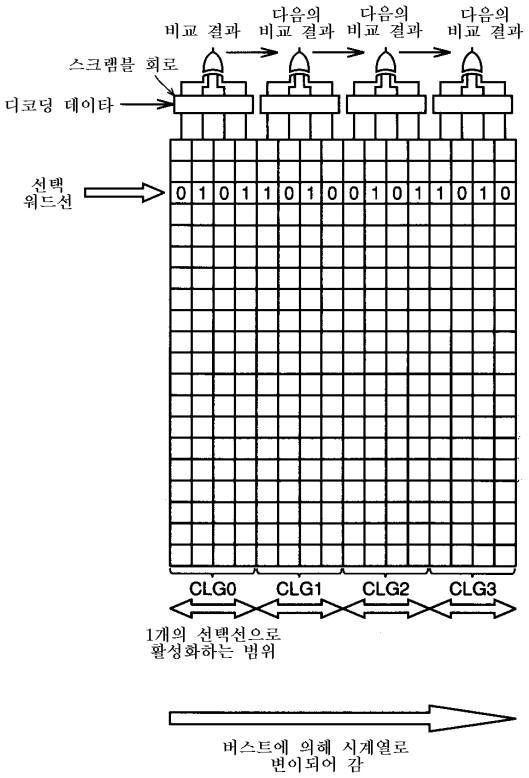
도면 26


10ns
CLK
QS
QS1
QS2
Vcc
SET
RESET
DQ0
DQ4
DQ8
DQ12
DQ16
DQ20
DQ24
DQ28
t1
t2
t3
t4
시간

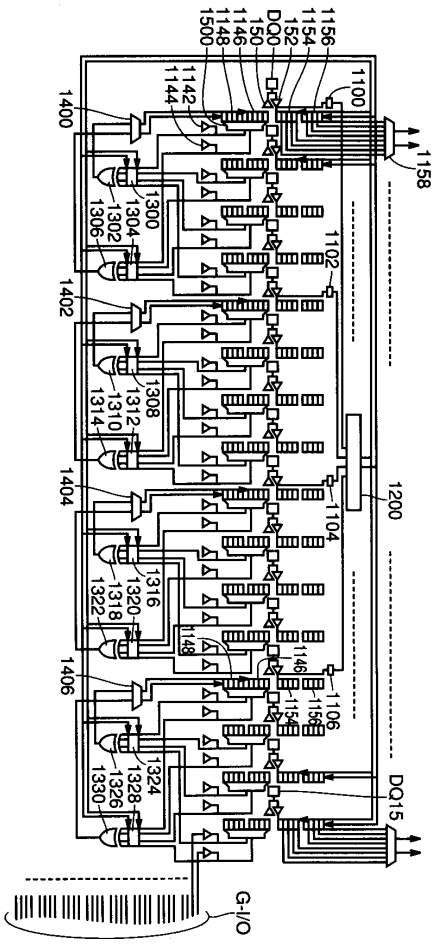
도면 27


DQ0, DQ4, DQ8, DQ12의 조합
Data Ptn.
0000 0000 0000 0000
0000 0000 0000 1111
0000 0000 1111 0000
0000 0000 1111 1111
0000 1111 0000 0000
0000 1111 0000 1111
0000 1111 1111 0000
0000 1111 1111 1111
0001 0010 0011
0101 0110 0111
1001 1010 1011
1101 1110 1111
1011
DQ 핀 방향의 데이타 패턴
시간축 방향의 데이타 패턴
10101010……의 시간축 방향의 열과
행은 같고 DQ 방향의 열과의 행은 같고 패턴을 바꿈

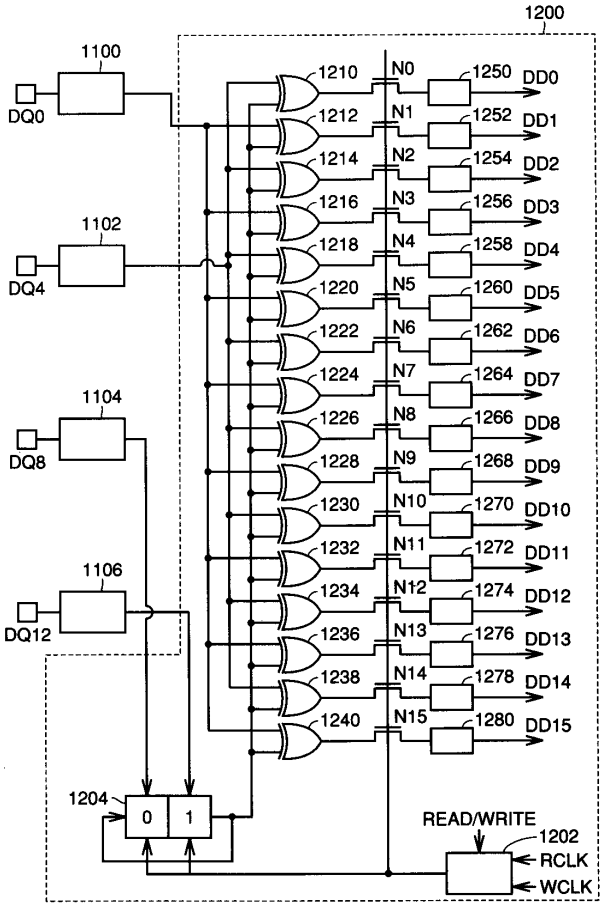
도면 28


다음의 비교 결과
다음의 비교 결과
다음의 비교 결과
다음의 비교 결과
스크램블 회로
디코딩 데이타
선택 워드선
0 1 0 1 1 0 1 0 0 1 0 1 1 0 1 0
CLG0
CLG1
CLG2
CLG3
1개의 선택선으로 활성화하는 범위
버스트에 의해 시계열로 변이되어 감

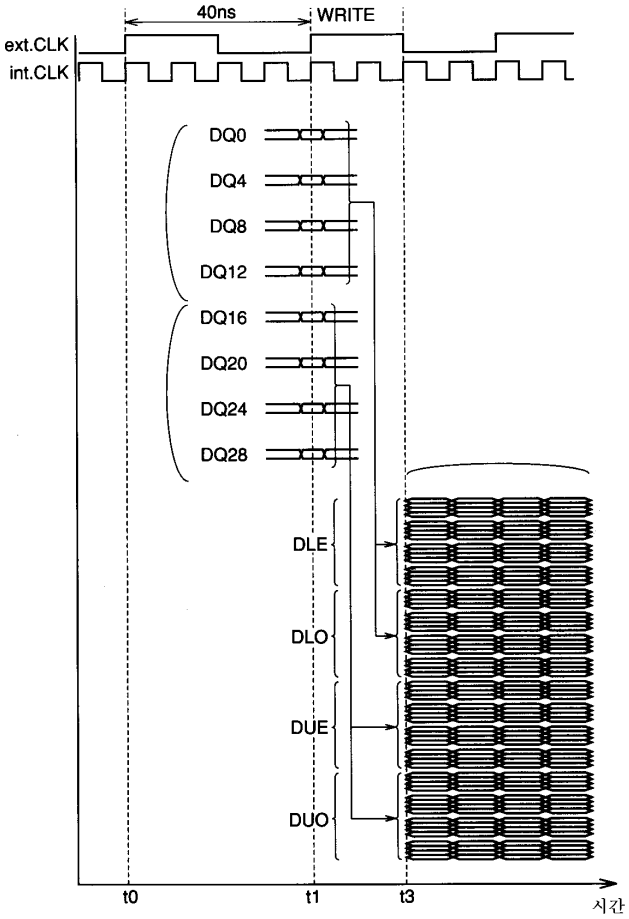
도면 29


1500
1148
1146
DQ0
150
152
1154
1156
1142
1144
1100
1400
1158
1300
1302
1304
1306
1102
1402
1308
1310
1312
1314
1200
1104
1404
1316
1318
1320
1322
1148
1146
1106
1406
1324
1326
1328
1330
DQ15
G-I/O

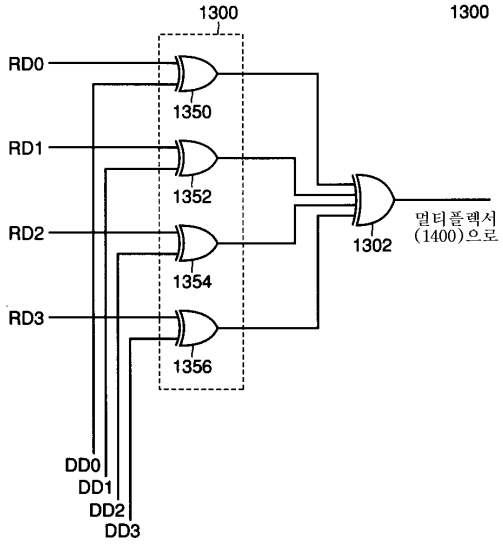
도면 30


1200
1100
DQ0
1102
DQ4
1104
DQ8
1106
DQ12
1210
1212
1214
1216
1218
1220
1222
1224
1226
1228
1230
1232
1234
1236
1238
1240
N0
N1
N2
N3
N4
N5
N6
N7
N8
N9
N10
N11
N12
N13
N14
N15
1250
1252
1254
1256
1258
1260
1262
1264
1266
1268
1270
1272
1274
1276
1278
1280
DD0
DD1
DD2
DD3
DD4
DD5
DD6
DD7
DD8
DD9
DD10
DD11
DD12
DD13
DD14
DD15
1204
0
1
READ/WRITE
1202
RCLK
WCLK

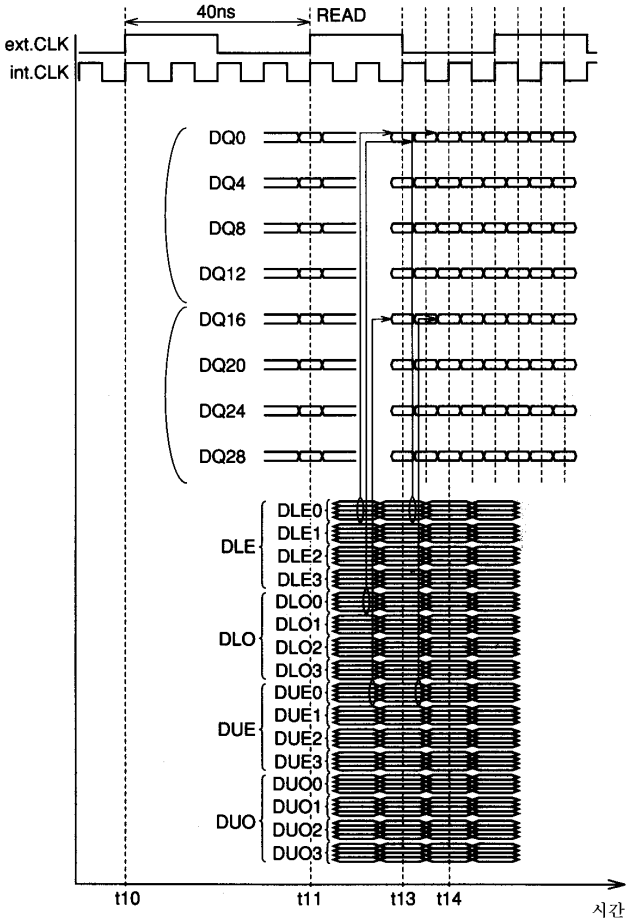
도면 31


40ns
WRITE
ext.CLK
int.CLK
DQ0
DQ4
DQ8
DQ12
DQ16
DQ20
DQ24
DQ28
DLE
DLO
DUE
DUO
t0
t1
t3
시간

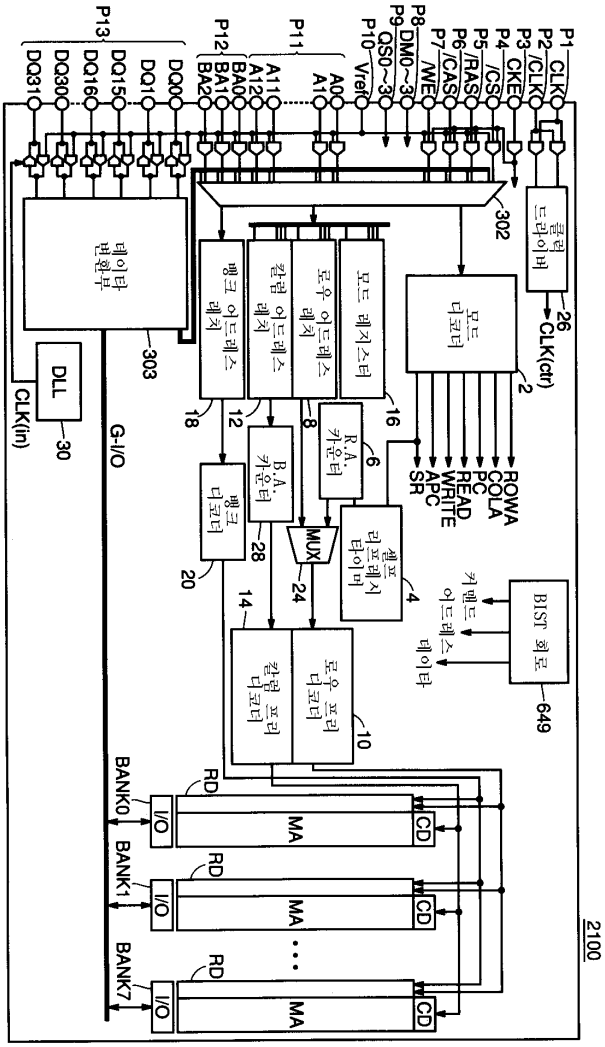
도면 32


1300
1300
RD0
RD1
RD2
RD3
1350
1352
1354
1356
1302
멀티플렉서
(1400)으로
DD0
DD1
DD2
DD3

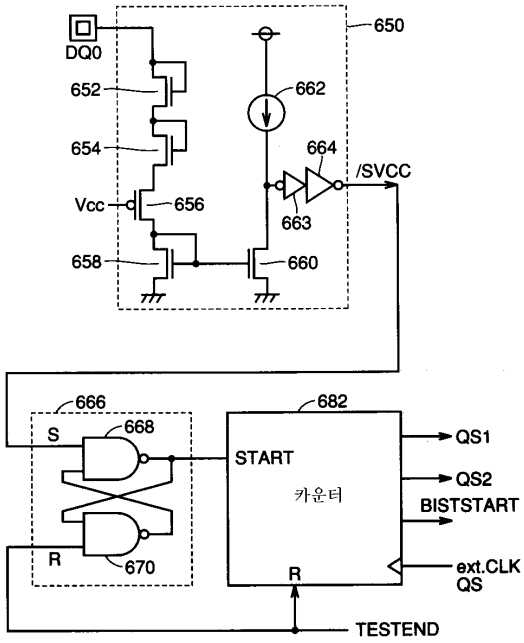
도면 33


40ns
READ
ext.CLK
int.CLK
DQ0
DQ4
DQ8
DQ12
DQ16
DQ20
DQ24
DQ28
DLE
DLE0
DLE1
DLE2
DLE3
DLO
DLO0
DLO1
DLO2
DLO3
DUE
DUE0
DUE1
DUE2
DUE3
DUO
DUO0
DUO1
DUO2
DUO3
t10
t11
t13
t14
시간

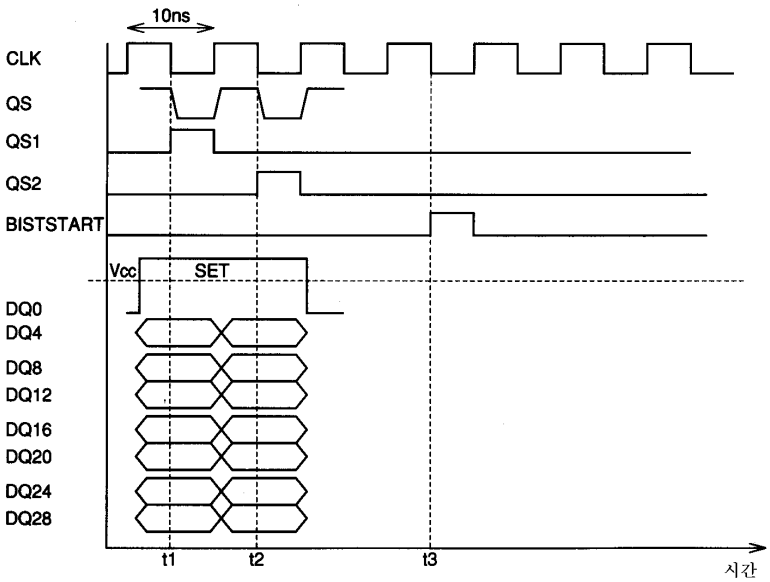
도면 34


P1 CLK
P2 /CLK
P3 CKE
P4 /CS
P5 /RAS
P6 /CAS
P7 /WE
P8 DM0~3
P9 QS0~3
P10 Vref
P11 A0 A1 A11 A12
P12 BA0 BA1 BA2
P13 DQ0 DQ1 DQ15 DQ16 DQ30 DQ31
클럭 드라이버
26
CLK(ctr)
302
모드 디코더
2
ROWA
COLA
PC
READ
WRITE
APC
SR
모드 레지스터
로우 어드레스 레치
칼럼 어드레스 레치
뱅크 어드레스 레치
16
8
12
18
R.A 카운터
6
B.A 카운터
28
뱅크 디코더
20
MUX
24
셀프 레시 타이머
4
커맨드
어드레스
데이타
BIST 회로
649
14
칼럼 프리 디코더
로우 프리 디코더
10
데이타 변환부
303
DLL
30
CLK(in)
G-I/O
BANK0
BANK1
BANK7
RD
I/O
MA
CD
2100

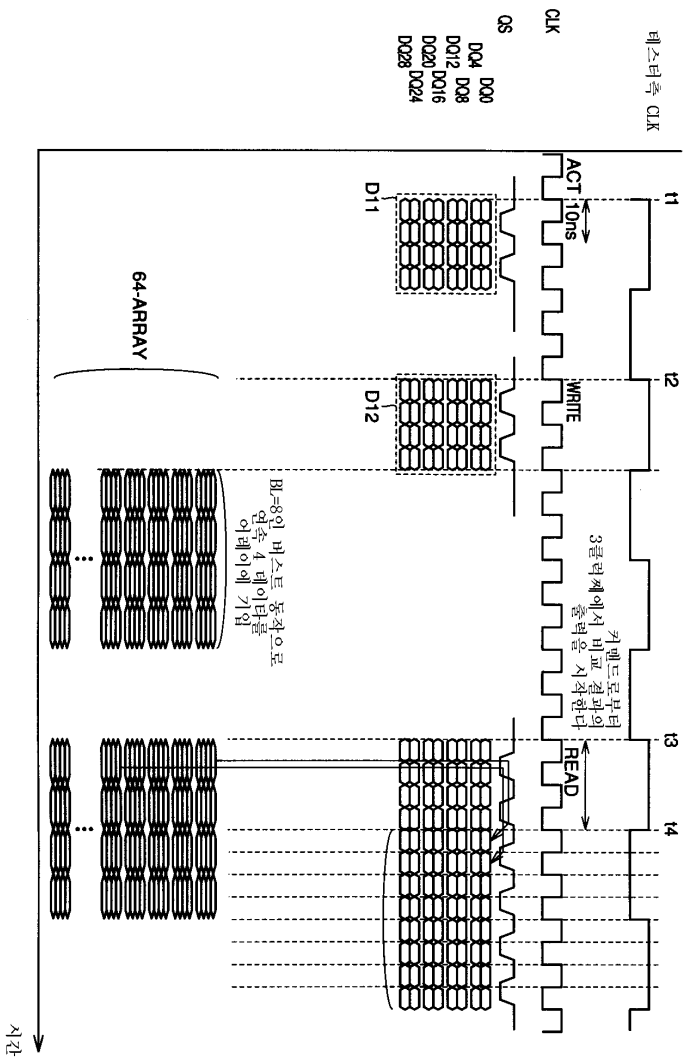
도면 35


650
DQ0
652
662
654
664
/SVCC
Vcc
656
663
658
660
666
682
S
668
START
QS1
QS2
카운터
BISTSTART
R
670
R
ext.CLK
QS
TESTEND

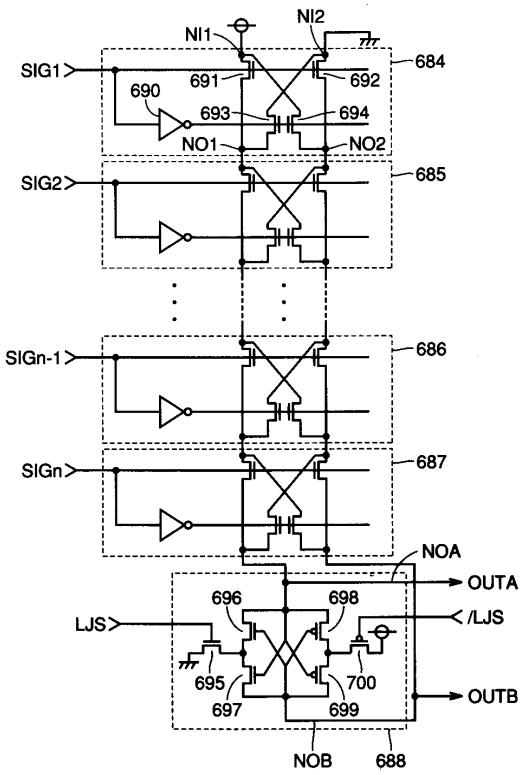
도면 36


10ns
CLK
QS
QS1
QS2
BISTSTART
Vcc
SET
DQ0
DQ4
DQ8
DQ12
DQ16
DQ20
DQ24
DQ28
t1
t2
t3
시간

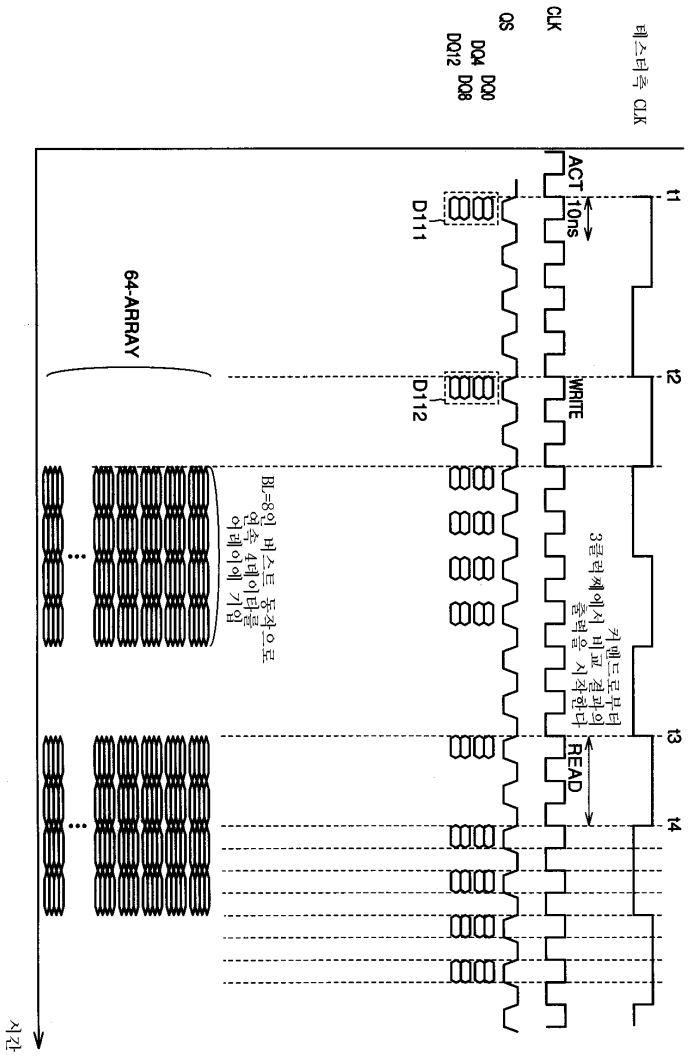
도면 37


테스터측 CLK
CLK
DQS
DQ4 DQ0
DQ12 DQ8
DQ20 DQ16
DQ28 DQ24
t1
t2
t3
t4
ACT
10ns
WRITE
READ
D11
D12
64-ARRAY
BL=8인 버스트 동작으로
연속 4 데이타를
어레이에 기입
3클럭째에서 비교 결과의
출력을 시작한다
시간

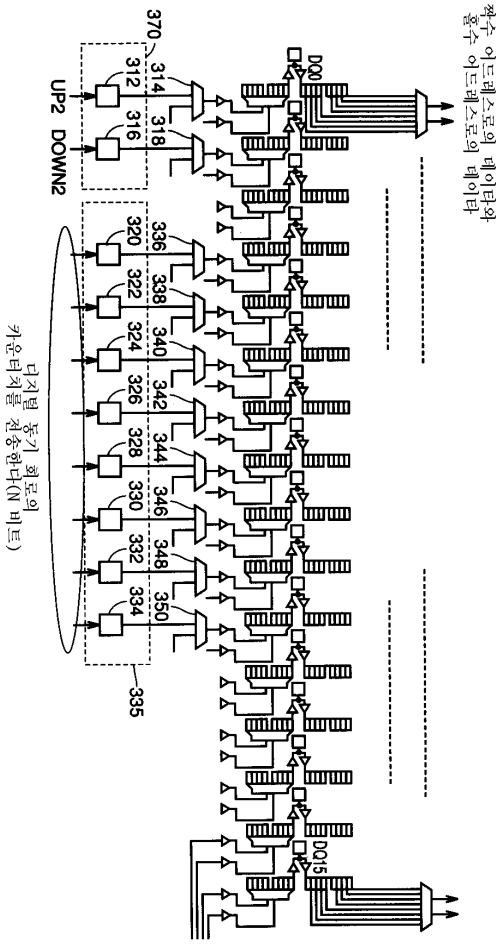
도면 38


NI1
NI2
SIG1
684
691
692
690
693
694
NO1
NO2
SIG2
685
SIGn-1
686
SIGn
687
NOA
OUTA
696
698
LJS
/LJS
695
700
697
699
OUTB
NOB
688

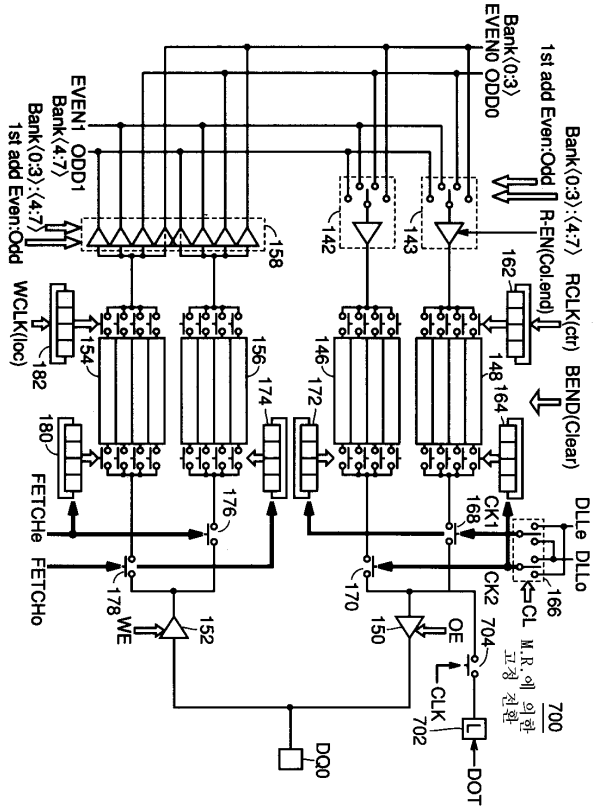
도면 39


테스터측 CLK
CLK
QS
DQ4 DQ0
DQ12 DQ8
t1
t2
t3
t4
ACT
10ns
WRITE
READ
D111
D112
64-ARRAY
BL=8인 버스트 동작으로 한 쪽 4데이터를 어레이에 기입
커맨드로부터 3클럭째에서 비교 결과의 출력을 시작한다
시간

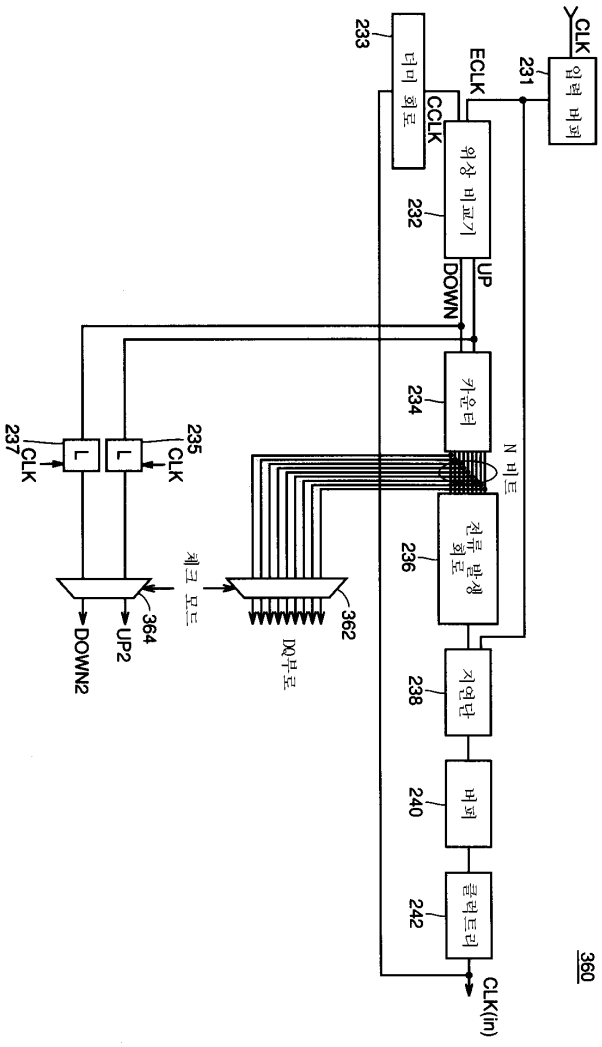
도면 40


짝수 어드레스로의 데이터와
홀수 어드레스로의 데이터
DQ0
DQ15
370
312
314
316
318
UP2
DOWN2
320
322
324
326
328
330
332
334
336
338
340
342
344
346
348
350
335
디지털 동기 회로의
카운터치를 전송한다(N 비트)

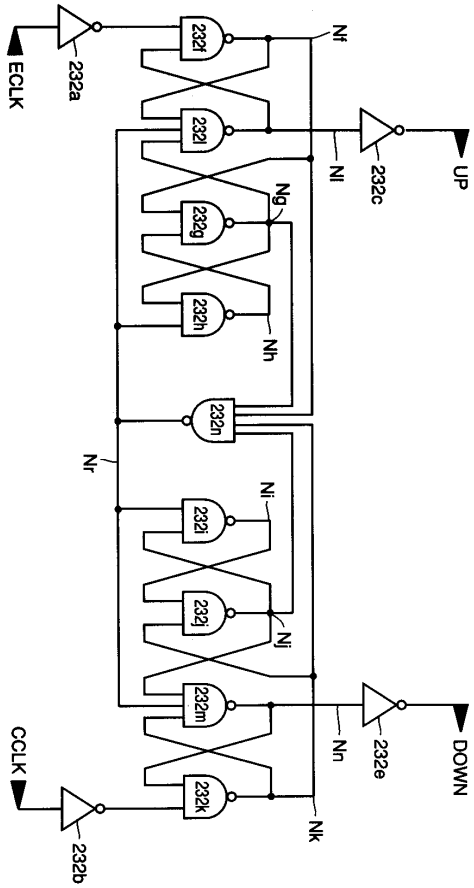
도면 41


Bank(0:3)
EVEN0 ODD0
1st add Even:Odd
Bank(0:3):(4:7)
R-EN(Col.end)
RCLK(ctr)
BEND(Clear)
EVEN1 ODD1
Bank(4:7)
Bank(0:3):(4:7)
1st add Even:Odd
WCLK(ioc)
FETCHe
FETCHo
DLLe DLLo
CK1
CK2
CL
OE
WE
CLK
DQ0
DOT
M.R.에 의한 고정 전환

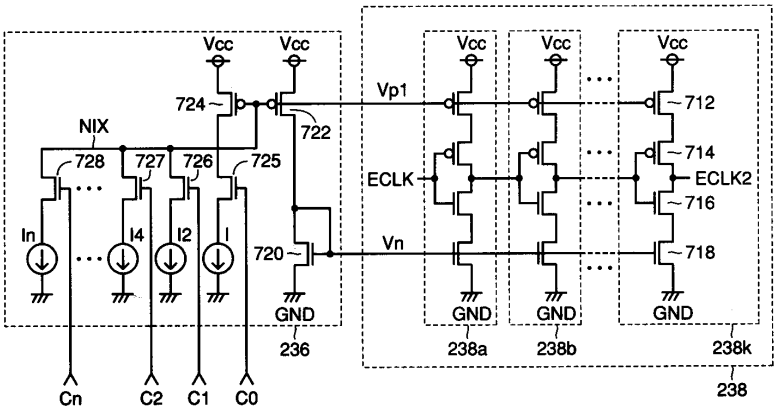
도면 42


CLK
입력 버퍼
231
ECLK
더미 회로
233
CCLK
위상 비교기
232
UP
DOWN
카운터
234
N 비트
클럭 발생 회로
236
지연단
238
버퍼
240
클럭트리
242
CLK(in)
360
235
CLK
237
CLK
체크 모드
364
362
DQ부로
DOWN2
UP2

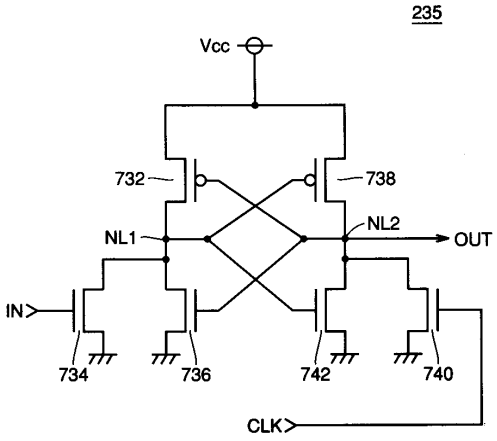
도면 43


ECLK
232a
232f
Nf
232l
Nl
232c
UP
Ng
232g
232h
Nh
232n
Nr
Ni
232i
232j
Nj
232m
Nn
232e
DOWN
CCLK
232b
232k
Nk

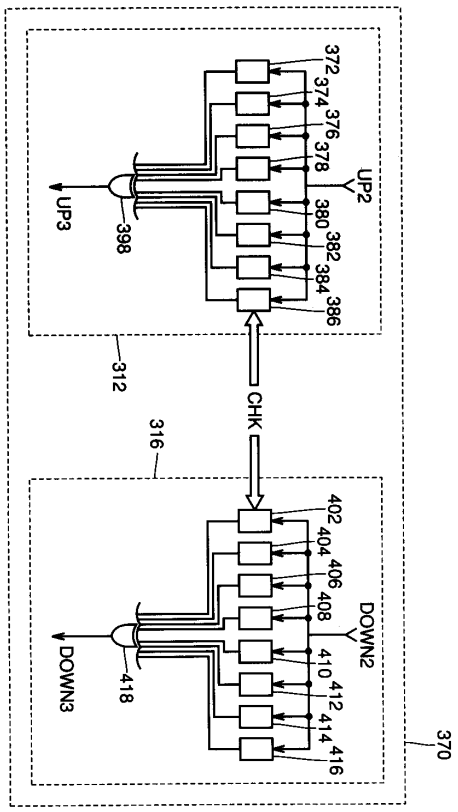
도면 44


Vcc
Vcc
724
722
NIX
728
727
726
725
In
I4
I2
I
720
GND
236
Cn
C2
C1
C0
Vp1
ECLK
Vn
712
714
716
718
ECLK2
238a
238b
238k
238

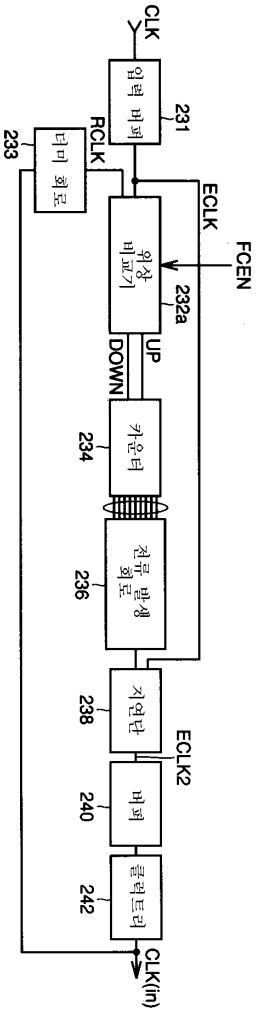
도면 45


235
Vcc
732
738
NL1
NL2
OUT
IN
734
736
742
740
CLK

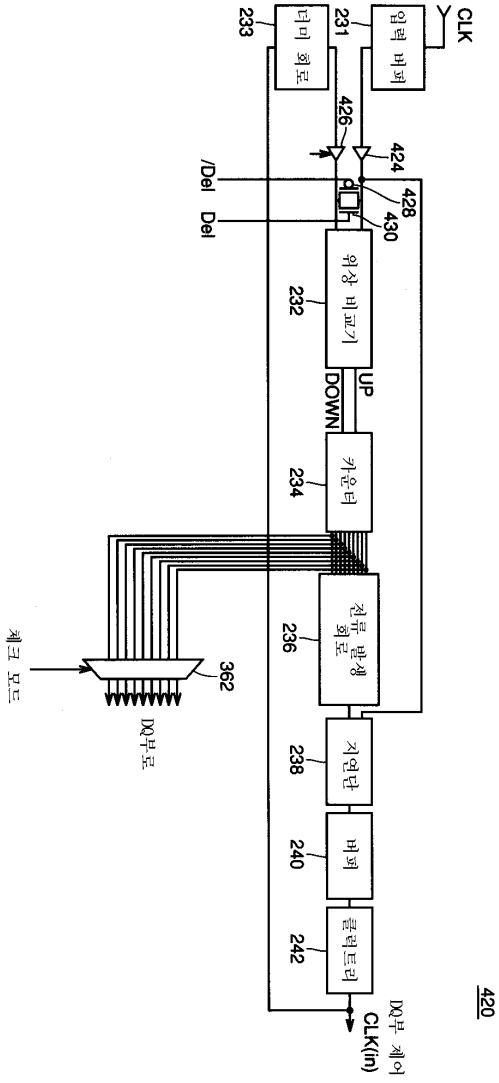
도면 46


372
374
376
378
UP2
UP3
398
380
382
384
386
312
CHK
316
402
404
406
408
DOWN2
DOWN3
418
410
412
414
416
370

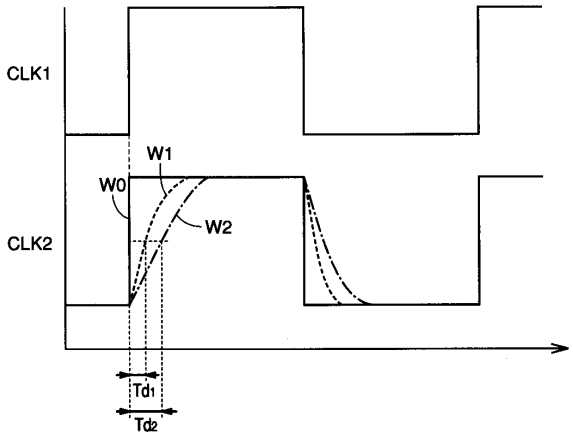
도면 47


CLK
입력 버퍼
231
RCLK
ECLK
FCEN
딜레이 회로
233
위상 비교기
232a
UP
DOWN
카운터
234
전달 발생 회로
236
지연단
238
ECLK2
버퍼
240
클럭 드라이버
242
CLK(in)

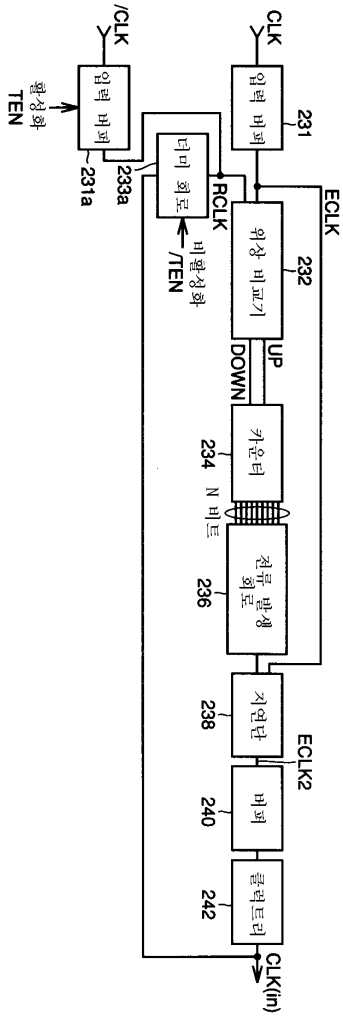
도면 48


CLK
입력 버퍼
231
더미 회로
233
426
424
/Del
Del
428
430
위상 비교기
232
UP
DOWN
카운터
234
전류 발생 회로
236
지연단
238
버퍼
240
클럭트리
242
CLK(in)
DQ부 제어
420
체크 모드
362
DQ부로

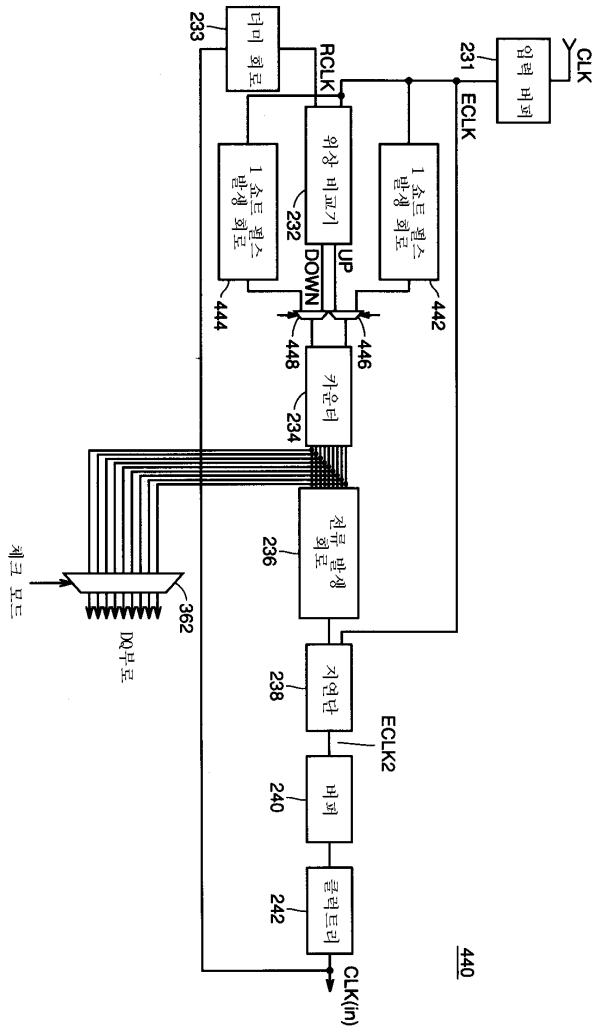
도면 49



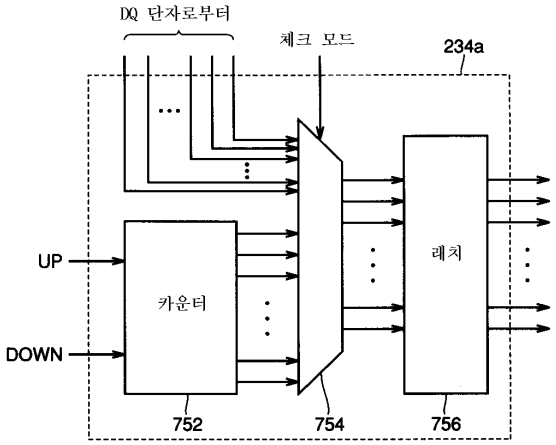
도면 50


CLK
/CLK
입력 버퍼
231
231a
입력 버퍼
233a
TEN
활성화
디미 회로
RCLK
/TEN
비활성화
위상 비교기
232
ECLK
UP
DOWN
카운터
234
N 비트
전류 발생 회로
236
지연단
238
ECLK2
버퍼
240
플립플롭
242
CLK(in)

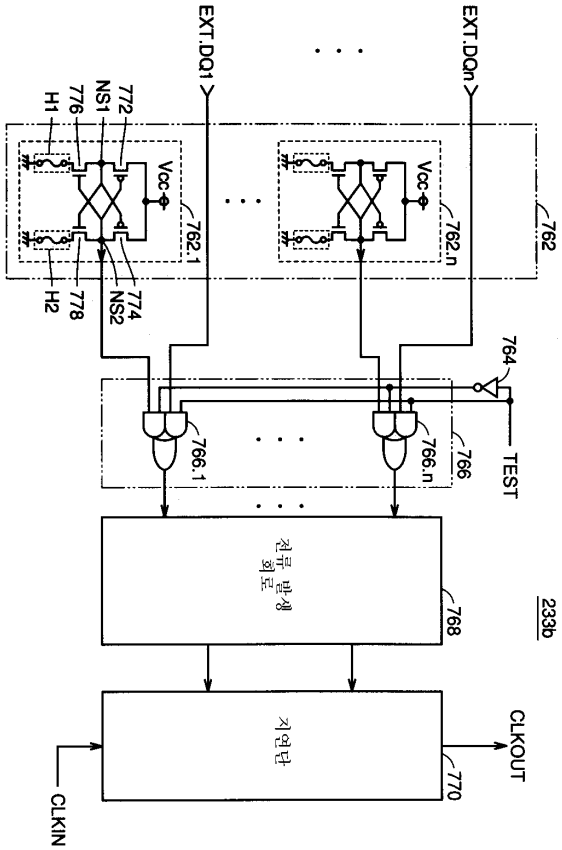
도면 51


CLK
입력 버퍼
231
ECLK
RCLK
더미 회로
233
위상 비교기
232
1 쇼트 펄스 발생 회로
1 쇼트 펄스 발생 회로
442
444
UP
DOWN
448
446
카운터
234
천류 발생 회로
236
체크 모드
362
DQ부로
지연단
238
ECLK2
버퍼
240
클럭트리
242
CLK(in)
440

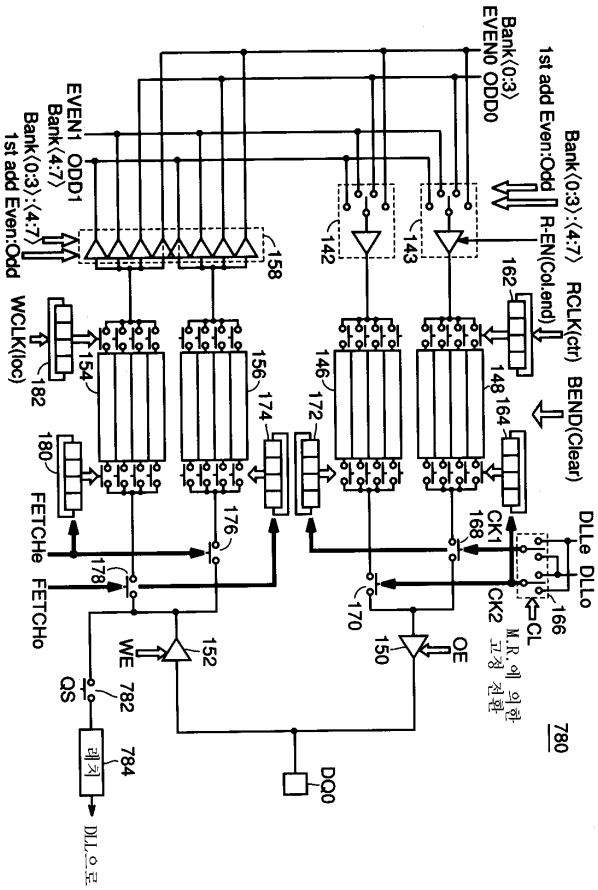
도면 52


DQ 단자로부터
체크 모드
234a
UP
DOWN
카운터
래치
752
754
756

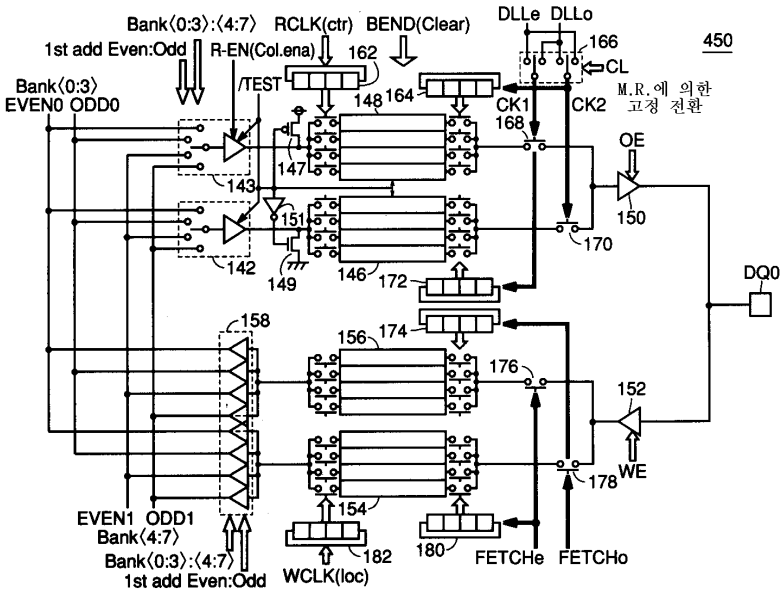
도면 53


EXT.DQ1
EXT.DQn
H1
776
NS1
772
Vcc
762.1
762.n
762
H2
778
NS2
774
764
766.1
766.n
766
TEST
전류 발생 회로
768
233b
지연단
770
CLKOUT
CLKIN

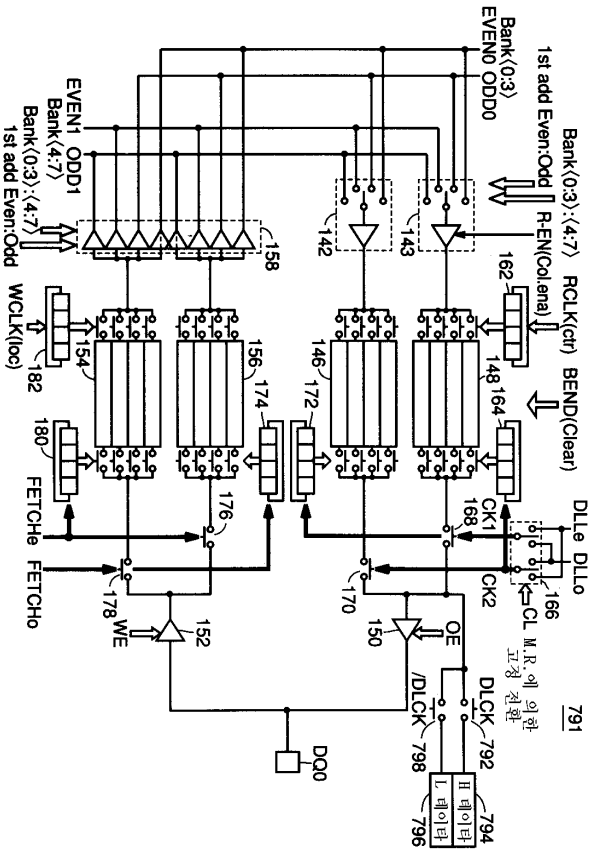
도면 54


Bank(0:3)
EVEN0 ODD0
1st add Even:Odd
Bank(0:3):(4:7)
R-EN(Col.end)
RCLK(ctr)
BEND(Clear)
EVEN1 ODD1
Bank(4:7)
Bank(0:3):(4:7)
1st add Even:Odd
WCLK(loc)
FETCHe
FETCHo
CK1
CK2
DLLe
DLLo
CL
M.R.에 의한 고정 전환
WE
OE
QS
DQ0
레치
DLL으로
780
782
784
142
143
146
148
150
152
154
156
158
162
164
166
168
170
172
174
176
178
180
182

도면 55


Bank〈0:3〉:〈4:7〉
RCLK(ctr)
BEND(Clear)
DLLe
DLLo
1st add Even:Odd
R-EN(Col.ena)
162
166
450
CL
Bank〈0:3〉
EVEN0 ODD0
/TEST
148
164
CK1
CK2
M.R.에 의한 고정 전환
168
OE
147
143
151
150
170
142
149
146
172
DQ0
158
156
174
176
152
178
WE
154
180
182
FETCHe
FETCHo
EVEN1 ODD1
Bank〈4:7〉
Bank〈0:3〉:〈4:7〉
1st add Even:Odd
WCLK(loc)

도면 56


Bank(0:3)
EVEN0 ODD0
Bank(0:3):(4:7)
1st add Even:Odd
R-EN(Col.ena)
RCLK(ctr)
BEND(Clear)
EVEN1 ODD1
Bank(4:7)
Bank(0:3):(4:7)
1st add Even:Odd
WCLK(loc)
DLLe DLLo
CK1
CK2
CL
M.R.에 의한 고정 전환
791
FETCHe
FETCHo
WE
OE
/DLCK
DLCK
H 데이타
L 데이타
DQ0
142
143
146
148
150
152
154
156
158
162
164
166
168
170
172
174
176
178
180
182
792
794
796
798