

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-201280

(P2013-201280A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号 特願2012-68498 (P2012-68498)
 (22) 出願日 平成24年3月24日 (2012. 3. 24)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 久保 光一
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F083 FZ10 GA10 GA11 JA37 JA38
 JA39 JA40 JA42 JA43 JA45
 MA06 MA20 PR22

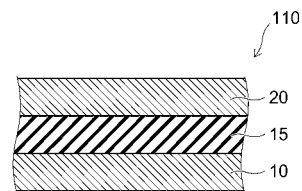
(54) 【発明の名称】 不揮発性記憶装置及びその製造方法

(57) 【要約】

【課題】動作安定性の高い不揮発性記憶装置及びその製造方法を提供する。

【解決手段】実施形態によれば、第1導電部と、第2導電部と、これらの間の記憶層と、を含む不揮発性記憶装置が提供される。記憶層は、 $(M1_{1-u}M2_u) \times X + y + z$ の材料を含む。M1及びM2は、Mg、Al、Sc、Y、Ga、Ti、Zr、Hf、Si、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Nb、Ta、Mo、W、Ru、Rh、Ca、Sr、Ba及びLnよりなる群から選択された少なくともいずれか、Xは、OまたはNの少なくともいずれか、 y は、Li、Na、K、Rb、Cs及びFrの少なくともいずれか、 z は、F、Cl、Br及びIの少なくともいずれかである。組成比は、 0.1×1.1 、 $0.0001y$ 0.2 、 $0.9 y/z$ 1.1 である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電部と、

第 2 導電部と、

前記第 1 導電部と前記第 2 導電部との間に設けられ、前記第 1 導電部と前記第 2 導電部とを介して供給される電流により、抵抗が低い第 1 状態と前記第 1 状態よりも抵抗が高い第 2 状態との間で可逆的に遷移可能な記憶層と、

を備え、

前記記憶層は、スピネル構造、イルメナイト構造、ホランダイト構造、ウルフラマイト構造、ラムスデライト構造、デラフォサイト構造、 NaFeO_2 構造、 LiMoN_2 構造、蛍石構造、岩塩型構造、ルチル構造及びアナターゼ構造のいずれかの結晶構造を持ち、

10

前記記憶層は、 $(M1_x M2_y)X_z$ ($M1$ 及び $M2$ は、 Mg 、 Al 、 Sc 、 Y 、 Ga 、 Ti 、 Zr 、 Hf 、 Si 、 Ge 、 Sn 、 V 、 Cr 、 Mn 、 Fe 、 Co 、 Ni 、 Cu 、 Zn 、 Nb 、 Ta 、 Mo 、 W 、 Ru 、 Rh 、 Ca 、 Sr 、 Ba 及び Ln (ランタノイド元素) よりなる群から選択された少なくともいずれかを含み、 X は、 O または N の少なくともいずれかを含み、 Y は、 Li 、 Na 、 K 、 Rb 、 Cs 及び Fr の少なくともいずれかを含み、 Z は、 F 、 Cl 、 Br 及び I の少なくともいずれかを含み、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ である) で表される材料を含み、

20

前記記憶層は、少なくとも 1 種の陽イオン元素と、少なくとも 1 種の陰イオン元素と、を含み、

前記陽イオン元素の少なくとも 1 種は、電子が不完全に満たされた d 軌道を有する遷移元素であり、

隣接する前記陽イオン元素間の平均最短距離は、 0.32 nm 以下であり、

前記記憶層は、結晶を含み、前記結晶の粒界部における前記 Y の濃度は、前記結晶の中心部における前記 Y の濃度よりも高い不揮発性記憶装置。

【請求項 2】

第 1 導電部と、

第 2 導電部と、

30

前記第 1 導電部と前記第 2 導電部との間に設けられ、前記第 1 導電部と前記第 2 導電部とを介して供給される電流により、抵抗が低い第 1 状態と前記第 1 状態よりも抵抗が高い第 2 状態との間で可逆的に遷移可能な記憶層と、

を備え、

前記記憶層は、 $(M1_x M2_y)X_z$ ($M1$ 及び $M2$ は、 Mg 、 Al 、 Sc 、 Y 、 Ga 、 Ti 、 Zr 、 Hf 、 Si 、 Ge 、 Sn 、 V 、 Cr 、 Mn 、 Fe 、 Co 、 Ni 、 Cu 、 Zn 、 Nb 、 Ta 、 Mo 、 W 、 Ru 、 Rh 、 Ca 、 Sr 、 Ba 及び Ln (ランタノイド元素) よりなる群から選択された少なくともいずれかを含み、 X は、 O または N の少なくともいずれかを含み、 Y は、 Li 、 Na 、 K 、 Rb 、 Cs 及び Fr の少なくともいずれかを含み、 Z は、 F 、 Cl 、 Br 及び I の少なくともいずれかを含み、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ である) で表される材料を含む不揮発性記憶装置。

40

【請求項 3】

前記記憶層は、少なくとも 1 種の陽イオン元素と、少なくとも 1 種の陰イオン元素と、を含み、

前記陽イオン元素の少なくとも 1 種は、電子が不完全に満たされた d 軌道を有する遷移元素であり、

隣接する前記陽イオン元素間の平均最短距離は、 0.32 nm 以下である請求項 2 記載の不揮発性記憶装置。

【請求項 4】

50

前記記憶層は、スピネル構造、イルメナイト構造、ホランダイト構造、ウルフラマイト構造、ラムスデライト構造、デラフォサイト構造、 LiNaFeO_2 構造、 LiMoN_2 構造、蛍石構造、岩塩型構造、ルチル構造及びアナターゼ構造のいずれかの結晶構造を持つ請求項2または3記載の不揮発性記憶装置。

【請求項5】

前記記憶層は、結晶を含み、前記結晶の粒界部における前記の濃度は、前記結晶の中心部における前記の濃度よりも高い請求項2～4のいずれか1つに記載の不揮発性記憶装置。

【請求項6】

前記記憶層は、結晶を含み、前記結晶の粒界部における前記の濃度は、前記結晶の中心部における前記の濃度よりも高い請求項2～5のいずれか1つに記載の不揮発性記憶装置。

10

【請求項7】

前記は、Liであり、前記は、Fである請求項2～6のいずれか1つに記載の不揮発性記憶装置。

【請求項8】

第1導電部を形成し、

$(M1_{1-x}M2_x)_x X + y + z$ (M1及びM2は、Mg、Al、Sc、Y、Ga、Ti、Zr、Hf、Si、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Nb、Ta、Mo、W、Ru、Rh、Ca、Sr、Ba及びLn(ランタノイド元素)よりなる群から選択された少なくともいずれかを含み、Xは、OまたはNの少なくともいずれかを含み、は、Li、Na、K、Rb、Cs及びFrの少なくともいずれかを含み、は、F、Cl、Br及びIの少なくともいずれかを含み、 $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ である)で表される材料を用いて、抵抗が低い第1状態と前記第1状態よりも抵抗が高い第2状態との間で可逆的に遷移可能な記憶層を、前記第1導電部の上に形成し、

20

前記記憶層の上に、第2導電部を形成することを備えた不揮発性記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性記憶装置及びその製造方法に関する。

30

【背景技術】

【0002】

近年、小型携帯機器が世界的に普及し、同時に、高速情報伝送網の大幅な進展に伴い、小型で大容量の不揮発性記憶装置の需要が急速に拡大してきている。記憶密度の限界を大幅に超えることを目指した新規メモリがいくつか提案されている。例えば、低抵抗状態と高抵抗状態とを有する抵抗変化材料を用いたメモリが提案されている。

【先行技術文献】

【特許文献】

【0003】

40

【特許文献1】特開2008-84512号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、動作安定性の高い不揮発性記憶装置及びその製造方法を提供する。

【課題を解決するための手段】

【0005】

本発明の実施形態によれば、第1導電部と、第2導電部と、記憶層と、を備えた不揮発性記憶装置が提供される。前記記憶層は、前記第1導電部と前記第2導電部との間に設け

50

られる。前記記憶層は、前記第1導電部と前記第2導電部とを介して供給される電流により、抵抗が低い第1状態と前記第1状態よりも抵抗が高い第2状態との間で可逆的に遷移する。前記記憶層は、 $(M1_u - M2_u) \times X + y + z$ で表される材料を含む。前記M1及び前記M2は、Mg、Al、Sc、Y、Ga、Ti、Zr、Hf、Si、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Nb、Ta、Mo、W、Ru、Rh、Ca、Sr、Ba及びLn(ランタノイド元素)よりなる群から選択された少なくともいずれかを含む。前記Xは、OまたはNの少なくともいずれかを含む。前記yは、Li、Na、K、Rb、Cs及びFrの少なくともいずれかを含む。前記zは、F、Cl、Br及びIの少なくともいずれかを含む。前記xは、 $0.1 \leq x \leq 1.1$ である。前記yは、 $0.0001 \leq y \leq 0.2$ である。前記zは、 $0.9 \leq y/z \leq 1.1$ である。

10

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。

【図2】第1の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式図である。

【図3】第1の実施形態に係る不揮発性記憶装置の動作を例示する模式図である。

【図4】第1の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

【図5】不揮発性記憶装置の特性を例示する表である。

【図6】第2の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

【図7】第2の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。

【図8】第2の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的断面図である。

20

【図9】第2の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。

【図10】第2の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。

【図11】第3の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

【図12】第3の実施形態に係る不揮発性記憶装置の構成を例示する模式的平面図である。

【図13】第4の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。

30

【図14】第4の実施形態に係る不揮発性記憶装置の動作を例示する模式的断面図である。

【図15】第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

【図16】図16(a)~図16(c)は、第4の実施形態に係る別の不揮発性記憶装置を例示する模式的断面図である。

【図17】第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

【図18】第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。

【図19】第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

40

【図20】第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。

【図21】第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。

【図22】実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャートである。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の

50

大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0008】

(第1の実施形態)

図1は、第1の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。

図1に表したように、本実施形態に係る不揮発性記憶装置110は、第1導電部10と、第2導電部20と、記憶層15と、を含む。記憶層15は、第1導電部10と第2導電部20との間に設けられる。

【0009】

記憶層15には、第1導電部10と第2導電部20とを介して電流が供給される。記憶層15は、その電流により、抵抗が低い第1状態(低抵抗状態)と、第1状態よりも抵抗が高い第2状態(高抵抗状態)との間を可逆的に遷移可能である。

【0010】

不揮発性記憶装置110は、記憶層15の状態の遷移により、情報の記憶を行う。例えば、高抵抗状態をデジタル信号の「0」とし、低抵抗状態をデジタル信号の「1」とする。これにより、デジタル信号の1ビットの情報を記憶することができる。

【0011】

記憶層15には、例えば、 $(M1_u \dots M2_u) \times X + y + z$ で表される材料を用いる。

ここで、「M1」及び「M2」は、例えば、Mg、Al、Sc、Y、Ga、Ti、Zr、Hf、Si、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Nb、Ta、Mo、W、Ru、Rh、Ca、Sr、Ba及びLn(ランタノイド元素)よりなる群から選択された少なくともいずれかを含む。

ランタノイド元素Lnは、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb及びLuを含む。

また、「M1」及び「M2」は、V、Cr、Mn、Fe、Co及びNiよりなる群から選択された少なくともいずれかであると、より好ましい。これにより、結晶内の電子状態が、コントロールしやすくなる。

【0012】

「X」は、例えば、OまたはNの少なくともいずれかを含む。

「 \dots 」は、例えば、Li、Na、K、Rb、Cs及びFrの少なくともいずれかを含む。

「 \dots 」は、F、Cl、Br及びIの少なくともいずれかを含む。

組成比「x」は、 $0.1 \leq x \leq 1.1$ を満たす。

組成比「y」は、 $0.0001 \leq y \leq 0.2$ を満たす。

組成比「z」は、 $0.9 \leq y/z \leq 1.1$ を満たす。

すなわち、「X」は、OまたはNを主成分とし、陰イオン数に対して少なくとも0.01%以上20%以下のアルカリ金属元素及びハロゲン元素を含む。

また、組成比「u」は、0以上1以下の任意の値である。すなわち、「M1」及び「M2」は、いずれか一方だけでもよい。換言すると、記憶層15は、M1、M2及びXを含む3元系の化合物でもよいし、M1及びXを含む2元系の化合物でもよい。

記憶層15の材料及び組成比は、例えば、二次イオン質量分析法(SIMS)によって分析することができる。

【0013】

記憶層15に使用する材料は、少なくとも1種類の陽イオン元素を有する複合化合物とする。また、陽イオン元素の少なくとも1種類は、電子が不完全に満たされたd軌道を有する遷移元素とする。隣接する陽イオン元素間の平均最短距離は、 0.32 nm とする。

10

20

30

40

50

これにより、記憶層 15 の電子伝導度が向上する。

例えば、2 種類の陽イオン元素を用いる場合は、その 1 方が M 1 であり、他方が M 2 である。3 種類以上の陽イオン元素を用いる場合は、その陽イオン元素の 1 つが M 1 であり、他の陽イオン元素が M 2 に含まれる。または、その陽イオン元素の 1 つが M 2 であり、他の陽イオン元素が M 1 に含まれる。

【0014】

記憶層 15 に使用する材料は、例えば、

- ・スピネル構造、
- ・イルメナイト構造、
- ・ホランダイト構造、
- ・ウルフラマイト構造、
- ・ラムスデライト構造、
- ・デラフォサイト構造、
- ・ NaFeO_2 構造、
- ・ LiMoN_2 構造、
- ・蛍石構造、
- ・岩塩型構造、
- ・ルチル構造、
- ・アナターゼ構造

10

のいずれかの結晶構造を有する。

20

記憶層 15 の結晶構造は、例えば、X 線回折法 (XRD) により、分析することができる。

【0015】

図 2 は、第 1 の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式図である。

図 2 は、記憶層 15 の結晶 CR を例示している。

記憶層 15 は、例えば、スパッタリングによって形成される。スパッタリングにおいては、上記の M 1、M 2、X、及び を含む材料をターゲットとして用いる。

【0016】

M 1、M 2、X、及び のうち、及び は、上記いずれかの結晶構造で結晶化する際に、結晶 CR の粒界部 CR b 付近に集まる。このため、結晶 CR の粒界部 CR b における の濃度は、結晶 CR の中心部 CR c における の濃度よりも高い。また、結晶 CR の粒界部 CR b における の濃度は、結晶 CR の中心部 CR c における の濃度よりも高い。

30

【0017】

以上のような材料を記憶層 15 に使用することで、高い記録密度を実現しつつ、低抵抗状態と高抵抗状態との間で遷移可能な回数が増加する。例えば、スイッチング確率が向上する。スイッチング確率は、低抵抗状態と高抵抗状態との間で記憶層 15 を遷移させる処理を行った回数に対する、処理に回答して記憶層 15 が正常に遷移した回数の割合である。低抵抗状態と高抵抗状態との間の遷移は、情報の書き込み及び消去に対応している。従って、スイッチング確率が向上すると、情報の書き込み及び消去を正常に実施できるサイクル寿命が向上する。本実施形態によれば、動作安定性の高い不揮発性記憶装置が得られる。例えば、本実施形態においては、Pbps (Peta bit per square inch) 以上の記憶密度を実現することができる。

40

【0018】

以下、本実施形態に係る不揮発性記憶装置 110 における動作の例をモデル的に説明する。

図 3 は、第 1 の実施形態に係る不揮発性記憶装置の動作を例示する模式図である。

図 3 に表したように、記憶層 15 は、抵抗 (抵抗率) が低い低抵抗状態 (低抵抗状態 LR) と、低抵抗状態よりも抵抗 (抵抗率) が相対的に高い高抵抗状態 (高抵抗状態 HR) と

50

とを有する。記憶層 15 において、低抵抗状態 L R と、高抵抗状態 H R と、の間を可逆的に遷移可能である。

【 0 0 1 9 】

以下では、記憶層 15 の初期状態が高抵抗状態 H R である場合として説明する。

記憶層 15 に設けられた電位勾配により、記憶層 15 を変化させ、記憶層 15 を低抵抗状態 L R にすることにより情報の書き込みを行う。

【 0 0 2 0 】

記憶層 15 は、位置が固定された陽イオン（第 1 陽イオン 5 1）と、移動可能な陽イオン（第 2 陽イオン 5 2）と、陰イオン 5 3 と、を含む。例えば、第 1 陽イオン 5 1 として上記の「M 1」の元素が用いられ、第 2 陽イオン 5 2 として上記の「M 2」の元素が用いられ、陰イオン 5 3 として上記の「X」の元素が用いられる。例えば、第 1 陽イオン 5 1 の少なくとも一部は、遷移元素である。すなわち、第 1 陽イオン 5 1 の価数は変化可能である。

10

【 0 0 2 1 】

まず、例えば、第 2 導電部 2 0 の電位が、第 1 導電部 1 0 の電位よりも相対的に低い状態を作る。例えば、第 1 導電部 1 0 を固定電位（例えば、接地電位）とし、第 2 導電部 2 0 に負の電位を与える。これにより、第 2 陽イオン 5 2 の一部が結晶中（記憶層 15 の中）を第 2 導電部 2 0（陰極）に向けて移動する。結晶である記憶層 15 の内部において、第 2 陽イオン 5 2 の数が、陰イオン 5 3 に対して相対的に減少する。

【 0 0 2 2 】

第 2 導電部 2 0 の側に移動した第 2 陽イオン 5 2 は、第 2 導電部 2 0 から電子を受取り、例えば、金属原子 5 2 m として析出して金属層 1 7 が形成される。すなわち、記憶層 15 のうちで第 2 導電部 2 0 に近い領域では、第 2 陽イオン 5 2 が還元されて金属的に振る舞う。これにより、電気抵抗が減少する。

20

【 0 0 2 3 】

一方、記憶層 15 の内部では、陰イオン 5 3 が過剰となるため、記憶層 15 の内部に残された第 1 陽イオン 5 1 の価数が上昇する。これにより、記憶層 15 において、電子伝導性が発現する。その結果、記憶層 15 全体として、低抵抗状態 L R へと変化する。この動作を、セット動作 S O という。セット動作 S O は、例えば書き込み動作である。

【 0 0 2 4 】

書き込んだ情報の読み出しは、例えば電圧パルスを記憶層 15 に印加し、記憶層 15 の抵抗値を検出することにより行う。この時、電圧パルスの大きさは、記憶層 15 の抵抗が変化しない程度の微小な値とされる。

30

【 0 0 2 5 】

なお、以上説明した過程は、一種の電気分解である。例えば、第 1 導電部 1 0（陽極）の側では電気化学的酸化により酸化剤が生じ、第 2 導電部 2 0（陰極）の側では電気化学的還元により還元剤が生じる。

【 0 0 2 6 】

一方、低抵抗状態 L R を高抵抗状態 H R に戻す動作（リセット動作 R O）の際には、例えば、記憶層 15 に大電流パルス印加し、それによるジュール熱によって記憶層 15 を加熱して、記憶層 15 の酸化還元反応を促進させる。ジュール熱により、第 2 陽イオン 5 2 は、熱的により安定な結晶構造内（記憶層 15 の内部）へと戻り、初期の高抵抗状態 H R が現れる。リセット動作 R O は、例えば消去動作である。

40

【 0 0 2 7 】

また、セット動作 S O とは逆極性の電圧パルス印加してリセット動作 R O を行うことができる。例えば、第 1 導電部 1 0 を固定電位とし、第 2 導電部 2 0 に正の電位を与えることにより、第 2 導電部 2 0 の近傍の金属原子 5 2 m は第 2 導電部 2 0 に電子を与え、第 2 陽イオン 5 2 となる。第 2 陽イオン 5 2 は、記憶層 15 内の電位勾配により記憶層 15 の内部に戻る。これにより、初期の高抵抗状態 H R へと変化する。

このようにして、本実施形態に係る不揮発性記憶装置 1 1 0 の書き込み動作及び消去動

50

作、すなわち、セット動作 S O 及びリセット動作 R O が行われる。

【 0 0 2 8 】

このようなセット動作 S O 及びリセット動作 R O が行われる不揮発性記憶装置を実用化するには、以下の 2 つの条件が満たされることが好ましい。1 つは、室温におけるリセット動作 R O が十分に抑制されることである。言い換えると、十分に長いリテンション時間を確保することである。もう 1 つは、リセット動作 R O の消費電力が十分に小さいことである。

【 0 0 2 9 】

室温でのリセット動作 R O は、例えば、第 1 陽イオン 5 1 及び第 2 陽イオン 5 2 を 2 価以上にすることで抑制できる。リセット動作 R O の消費電力は、例えば、結晶破壊を引き起こすことなく、記憶層 1 5 内 (結晶 C R 内) を移動する第 2 陽イオン 5 2 のイオン半径及び移動パスを導入することにより、小さくできる。これらの条件は、既に説明した元素及び結晶構造を有する記憶層 1 5 を用いることで、実現できる。

10

【 0 0 3 0 】

セット動作 S O 後の第 1 導電部 1 0 (陽極) 側には、酸化剤が生じる。このため、第 1 導電部 1 0 には、酸化され難い材料を用いる。これにより、第 1 導電部 1 0 の酸化による不揮発性記憶装置 1 1 0 の劣化を防止できる。酸化され難い材料としては、例えば、電気伝導性窒化物や電気伝導性酸化物などが挙げられる。

【 0 0 3 1 】

また、第 1 導電部 1 0 の材料は、イオン電導性を有しないものがよい。

20

酸化され難く、イオン電導性を有しない材料としては、例えば、 $D 1 N$ 、 $D 2 O_t$ 、 $D 3 D 4 O_3$ 、及び、 $D 5_2 D 6 O_4$ などが挙げられる。

ここで、「D 1」は、Ti、Zr、Hf、V、Nb 及び Ta よりなる群から選択された少なくともいずれかを含む。

「N」は、窒素である。

「D 2」は、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Hf、Ta、W、Re、Ir、Os 及び Pt よりなる群から選択された少なくともいずれかを含む。

組成比 t は、 $1 \leq t \leq 4$ を満たす。

「O」は、酸素である。

30

「D 3」は、La、K、Ca、Sr、Ba 及び Ln (ランタノイド元素) よりなる群から選択された少なくともいずれかを含む。

「D 4」は、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Hf、Ta、W、Re、Ir、Os 及び Pt よりなる群から選択された少なくともいずれかを含む。

「D 5」は、K、Ca、Sr、Ba 及び Ln (ランタノイド元素) よりなる群から選択された少なくともいずれかを含む。

「D 6」は、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Hf、Ta、W、Re、Ir、Os 及び Pt よりなる群から選択された少なくともいずれかを含む。

40

上記のうち、最も好ましい材料は、電気伝導率の良さなどを加味した総合的性能の観点から、 $LaNiO_3$ である。

【 0 0 3 2 】

図 4 は、第 1 の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

図 4 に表したように、不揮発性記憶装置 1 1 2 は、ヒータ層 3 5 と、保護層 3 3 B と、を、さらに備える。保護層 3 3 B は、第 2 導電部 2 0 の上に設けられる。保護層 3 3 B は、第 2 導電部 2 0 を保護する。ヒータ層 3 5 は、第 2 導電部 2 0 と保護層 3 3 B との間に設けられる。ヒータ層 3 5 は、リセット動作 R O において記憶層 1 5 の加熱に用いられる。これにより、リセット動作 R O の際の記憶層 1 5 の酸化還元反応をより促進させることができる。保護層 3 3 B は、第 1 導電部 1 0 の下に設けてもよい。ヒータ層 3 5 及び保護

50

層 3 3 B は、必要に応じて設けられ、省略可能である。

【 0 0 3 3 】

セット動作 S O の後、記憶層 1 5 の第 2 導電部 2 0 側の部分には、還元剤が生じる。そこで、保護層 3 3 B には、例えば、 SnO_2 などの半導体、アモルファスカーボン及びダイヤモンドライクカーボンなどを用いる。これにより、セット動作 S O 後に記憶層 1 5 に生じた還元剤が、大気と反応することを防止できる。ヒータ層 3 5 には、例えば、約 10^{-5} cm 以上の抵抗率を持つ材料を用いる。

【 0 0 3 4 】

第 1 導電部 1 0 と記憶層 1 5 との間、または第 2 導電部 2 0 と記憶層 1 5 との間に、ペルチエ素子膜を設けてもよい。これにより、第 1 導電部 1 0 及び第 2 導電部 2 0 を保護しつつ、記憶層 1 5 のみを有効に加熱することができる。例えば、陽極である第 1 導電部 1 0 と記憶層 1 5 との間に、p 型ペルチエ素子膜を設ける。p 型ペルチエ素子膜は、第 1 導電部 1 0 から記憶層 1 5 に向けて熱を移動させる。これにより、第 1 導電部 1 0 の劣化を抑制しつつ、記憶層 1 5 を効率的に加熱できる。これにより、サイクル寿命、リセット確率及びリセット動作 R O 時の消費電力のいずれも特性が改善する。

【 0 0 3 5 】

p 型ペルチエ素子膜には、例えば、ペルチエ係数の大きい材料を用いる。ペルチエ係数は、ゼーベック係数と温度との積で表される。従って、p 型ペルチエ素子膜には、ゼーベック係数の大きい材料を用いる。ゼーベック係数の大きい材料は、例えば、フェルミ面での状態密度が急峻になっている。また、p 型ペルチエ素子膜には、例えば、ゼーベック係数が大きいとともに、強相関電子系であり、かつ低次元構造の結晶構造を有する材料を用いる。これにより、不揮発性記憶装置 1 1 2 の特性が、より改善される。この条件を満足する材料としては、例えば、 $\text{Ca}_3\text{Co}_4\text{O}_9$ 、 LaCaCoO_4 、 La_2CuO_4 、 CuAlO_2 などが挙げられる。また、p 型ペルチエ素子膜の抵抗値は、記憶層 1 5 の抵抗値よりも低くする。そこで、p 型ペルチエ素子膜には、上記の材料に若干 p 形キャリアを注入し、低抵抗化したものを用いる。これにより、ゼーベック係数は、いずれも $100 \mu\text{V}/\text{K}$ 以上を有する。上記の材料を用いた場合、計算上において、リセット動作 R O 時の記憶層 1 5 の全発熱量に対して、30% ~ 100% の第 1 導電部 1 0 の冷却効果が期待される。

【 0 0 3 6 】

以下、記憶層 1 5 に関する材料の特性の例について説明する。

試料においては、直径が約 60 mm で、厚さ約 1 mm のガラス基板からなるディスクが用いられる。このディスクの上に、下部電極層が設けられ、下部電極層の上に記憶層 1 5 となる試料層が設けられ、その上に上部電極層及び保護層が設けられる。下部電極層及び上部電極層には、厚さが 500 nm の Pt 膜が用いられる。保護層には、ダイヤモンドライクカーボン (DLC) が用いられる。

【 0 0 3 7 】

記憶層 1 5 となる原料を含む所定のターゲットを用い、所定の雰囲気での RF マグネトロンスパッタにより、記憶層 1 5 が形成できる。記憶層 1 5 の形成の際のディスクの温度は 300 ~ 600 の範囲内の値に維持される。記憶層 1 5 の厚さは、約 10 nm である。

【 0 0 3 8 】

上部電極層に、タングステン (W) のプローブを接触させ、記憶層 1 5 に電流を通電する。プローブの先端の径は、約 10 nm である。書き込み動作においては、下部電極層とプローブとの間に 10 ナノ秒 (ns) で 1 ボルト (V) の電圧パルスを加する。消去動作においては、下部電極層とプローブとの間に、100 ns で 0.2 V の電圧パルスを加する。この書き込み動作と消去動作とを繰り返して実施したときに、記憶層 1 5 における高抵抗状態 H R の抵抗値の、低抵抗状態 L R の抵抗値に対する比 (オンオフ比) が 1,000 以上であるときのスイッチング確率が評価値として用いられる。

【 0 0 3 9 】

10

20

30

40

50

第1試料においては、記憶層15として $ZnV_2O_4 + 0.1Li + 0.1F$ が用いられる。第1試料における記憶層15は、 $ZnV_2O_4 + 0.1Li + 0.1F$ の合金ターゲットを用い、95%のArと、5%の O_2 と、を含む雰囲気中でのRFマグネトロンスパッタにより形成される。ダイヤモンドライクカーボンは、例えば、CVD (Chemical Vapor Deposition) 法により、記憶層15の上に、厚さ約3nmで形成される。

【0040】

第1試料に対し、10,000箇所プローブを当てて電圧パルスの印加を実施する。第1試料では、全ての箇所において、オンオフ比1,000以上で書き込み及び消去が繰り返される。すなわち、第1試料のスイッチング確率は、100%である。また、第1試料のスイッチング回数SWNは、10,000サイクル以上である。

【0041】

以下の各試料において、説明しない部分は、上記の第1試料と同様である。

第2試料においては、記憶層15として $ZnCr_2O_4 + 0.1Li + 0.1F$ が用いられる。

第3試料においては、記憶層15として $ZnMn_2O_4 + 0.1Li + 0.1F$ が用いられる。

第4試料においては、記憶層15として $ZnCo_2O_4 + 0.1Li + 0.1F$ が用いられる。

第5試料においては、記憶層15として $MgCr_2O_4 + 0.1Li + 0.1F$ が用いられる。

第6試料においては、記憶層15として $MgMn_2O_4 + 0.1Li + 0.1F$ が用いられる。

第7試料においては、記憶層15として $MgCo_2O_4 + 0.1Li + 0.1F$ が用いられる。

第8試料においては、記憶層15として $CoMn_2O_4 + 0.1Li + 0.1F$ が用いられる。

第9試料においては、記憶層15として $CaCr_2O_4 + 0.1Li + 0.1F$ が用いられる。

第10試料においては、記憶層15として $CaMn_2O_4 + 0.1Li + 0.1F$ が用いられる。

第11試料においては、記憶層15として $SrMn_2O_4 + 0.1Li + 0.1F$ が用いられる。

第12試料においては、記憶層15として $Ba_{0.25}Mn_2O_4 + 0.1Li + 0.1F$ が用いられる。製造方法については、 $Ba_{0.25}Mn_2O_4 + 0.1Li + 0.1F$ をスパッタ法により形成し、Baを約10nmの厚さで形成する。

第13試料においては、記憶層15として $Zn_{0.25}Mn_2O_4 + 0.1Li + 0.1F$ が用いられる。製造方法については、 $Zn_{0.25}Mn_2O_4 + 0.1Li + 0.1F$ をスパッタ法により形成し、Znを約10nmの厚さで形成する。

第14試料においては、記憶層15として $CuAlO_2 + 0.1Li + 0.1F$ が用いられる。

第15試料においては、記憶層15として $MgCrO_3 + 0.1Li + 0.1F$ が用いられる。

第16試料においては、記憶層15として $NiWN_2 + 0.1Li + 0.1F$ が用いられる。また、保護層として SnO_2 が用いられる。製造方法については、 $NiWN_2 + 0.1Li + 0.1F$ をAr95%、 NH_3 5%の雰囲気中でスパッタ法により形成する。

第17試料においては、記憶層15として $Zn_{1.2}V_{1.8}O_4 + 0.1Li + 0.1F$ が用いられる。また、保護層として SnO_2 が用いられる。

第18試料においては、記憶層15として $Zn_{1.2}Cr_{1.8}O_4 + 0.1Li + 0.1F$ が用いられる。また、保護層として SnO_2 が用いられる。

第19試料においては、記憶層15として $ZnAl_{1.8}Cr_{0.2}O_4 + 0.1Li$

10

20

30

40

50

- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 20 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Mn}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 21 試料においては、記憶層 15 として $\text{ZnSc}_{1.8}\text{Mn}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 22 試料においては、記憶層 15 として $\text{ZnY}_{1.8}\text{Mn}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 23 試料においては、記憶層 15 として $\text{ZnLn}_{1.8}\text{Mn}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 24 試料においては、記憶層 15 として $\text{ZnGa}_{1.8}\text{Mn}_{0.2}\text{O}_4 + 0.1\text{Li}$ 10
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 25 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Ti}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 26 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Zr}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 27 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Hf}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 28 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Si}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 29 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Ge}_{0.2}\text{O}_4 + 0.1\text{Li}$ 20
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 30 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Sn}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 31 試料においては、記憶層 15 として $\text{ZnFe}_{1.8}\text{Mn}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 32 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Nb}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 33 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Ta}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 34 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Mo}_{0.2}\text{O}_4 + 0.1\text{Li}$ 30
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 35 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Ru}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 第 36 試料においては、記憶層 15 として $\text{ZnAl}_{1.8}\text{Rh}_{0.2}\text{O}_4 + 0.1\text{Li}$
- + 0.1 F が用いられる。また、保護層として SnO_2 が用いられる。
- 以上の第 2 ~ 第 36 試料においては、10,000 箇所プローブを当てて電圧パルスの印加を実施し、全ての箇所において、オンオフ比 1,000 以上で書き込み及び消去が繰り返される。すなわち、第 2 ~ 第 36 試料のスイッチング確率は、100% である。また、第 2 ~ 第 36 試料のスイッチング回数 SWN は、10,000 サイクル以上である。
- 【0042】 40
- 第 37 試料においては、記憶層 15 として ZnV_2O_4 が用いられる。
- 第 37 試料において、10,000 箇所プローブを当てて電圧パルスの印加を実施する。第 37 試料において、オンオフ比 1,000 以上で書き込み及び消去が繰り返されるのは、10,000 箇所のうち、7562 箇所のみである。すなわち、第 37 試料のスイッチング確率は、75.62% である。
- 【0043】
- 第 38 試料においては、記憶層 15 として ZnCr_2O_4 が用いられる。
- 第 38 試料において、10,000 箇所プローブを当てて電圧パルスの印加を実施する。第 38 試料において、オンオフ比 1,000 以上で書き込み及び消去が繰り返されるのは、10,000 箇所のうち、8541 箇所のみである。すなわち、第 38 試料のスイ 50

ッチング確率は、85.41%である。

【0044】

第39試料においては、記憶層15として $ZnMn_2O_4$ が用いられる。

第39試料において、10,000箇所プローブを当てて電圧パルスの印加を実施する。第39試料において、オンオフ比1,000以上で書き込み及び消去が繰り返されるのは、10,000箇所のうち、9682箇所のみである。すなわち、第39試料のスイッチング確率は、96.82%である。

【0045】

第40試料においては、記憶層15として $ZnCo_2O_4$ が用いられる。

第40試料において、10,000箇所プローブを当てて電圧パルスの印加を実施する。第40試料において、オンオフ比1,000以上で書き込み及び消去が繰り返されるのは、10,000箇所のうち、6534箇所のみである。すなわち、第40試料のスイッチング確率は、65.34%である。

【0046】

第41試料においては、記憶層15として $MgCr_2O_4$ が用いられる。

第41試料において、10,000箇所プローブを当てて電圧パルスの印加を実施する。第41試料において、オンオフ比1,000以上で書き込み及び消去が繰り返されるのは、10,000箇所のうち、3766箇所のみである。すなわち、第41試料のスイッチング確率は、37.66%である。

【0047】

第42試料においては、記憶層15として $MgMn_2O_4$ が用いられる。

第42試料において、10,000箇所プローブを当てて電圧パルスの印加を実施する。第42試料において、オンオフ比1,000以上で書き込み及び消去が繰り返されるのは、10,000箇所のうち、3587箇所のみである。すなわち、第42試料のスイッチング確率は、35.87%である。

【0048】

第1～第36試料においては、記憶層15は $(M1_{1-u}M2_u) \times X + y + z$ で表される材料である。第37～第42試料においては、記憶層15は $(M1_{1-u}M2_u) \times X + y + z$ で表される材料でない。このように、 $(M1_{1-u}M2_u) \times X + y + z$ で表される材料を記憶層15に用いることで、低抵抗状態と高抵抗状態との間で遷移可能な回数が増加する。すなわち、動作安定性が向上する。

【0049】

本実施形態において、記憶層15に含まれる $(M1_{1-u}M2_u) \times X + y + z$ の組成比「x」は、0.1 ≤ x ≤ 1.1を満たす。組成比「y」は、0.0001 ≤ y ≤ 0.2を満たす。組成比「z」は、0.9 ≤ y/z ≤ 1.1を満たす。

【0050】

以下、組成比x、組成比y及び組成比zを変えたときの記憶層15の特性の例について説明する。

図5は、不揮発性記憶装置の特性を例示する表である。

図5には、 $(M1_{1-u}M2_u) \times X + y + z$ で表される材料において、組成比x、組成比y及び組成比zを変えたときの、スイッチング確率の判定Evを示している。ここで、記憶層15において、低抵抗状態と高抵抗状態との相互の遷移（スイッチング）を10,000箇所実施したときに、スイッチング確率が100%の場合が、良好な特性が得られている状態である。スイッチング確率100%未満の場合は、特性が良くない状態である。

図5においては、良好な特性が得られている状態は、「判定Ev」に関して「OK」と表示されている。特性が良くない状態は、「判定Ev」に関して「NG」と表示されている。図5においては、「M1」としてZnを用い、「M2」としてMnを用い、「X」としてO（酸素）を用い、「 \quad 」としてLiを用い、「 \quad 」としてFを用いたときの例が示されている。

10

20

30

40

50

【0051】

図5から分かるように、良好な特性が得られているとき（判定E_vが「OK」のとき）は、組成比xが0.1以上1.1以下である。組成比xが0.1未満、または、1.1より大きいときは、良好な特性が得られない（判定E_vは「NG」）。組成比xが0.1以上1.1以下であっても、組成比yが、0.0001より小さい、または、0.2より大きいときは、良好な特性が得られない。さらに、組成比xが0.1以上1.1以下であっても、組成比yと組成比zとの比であるy/zが、0.9より小さい、または、1.1より大きいときは、良好な特性が得られない。

【0052】

また、図5では、「M1」がZ_nで、「M2」がM_nで、「X」がO（酸素）で、「Y」がLiで、「Z」がFのときの例が示されている。「M1」及び「M2」が、Mg、Al、Sc、Y、Ga、Ti、Zr、Hf、Si、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Nb、Ta、Mo、W、Ru、Rh、Ca、Sr、Ba及びLnのいずれかであるときも、同様の傾向となる。「X」が、OまたはNであるときも、同様の傾向となる。「Y」が、Na、K、Rb、Cs及びFrのいずれかであるときも、同様の傾向となる。「Z」が、Cl、Br及びIのいずれかであるときも、同様の傾向となる。

10

【0053】

このように、記憶層15では、 $(M1_u \dots M2_u) \times X + y + z$ で表される材料において、組成比「x」が0.1以上1.1以下であり、組成比「y」が0.0001以上0.2以下であり、かつ組成比「y/z」が0.9以上1.1以下のときに、良好な特性が得られる。

20

【0054】

（第2の実施形態）

本実施形態に係る不揮発性記憶装置は、クロスポイント型の構成を有する。

図6は、第2の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

図7は、第2の実施形態に係る不揮発性記憶装置の構成を例示する模式図である。

図6及び図7に表したように、本実施形態に係る不揮発性記憶装置210においては、基板30が設けられる。基板30の主面に対して並行な平面をX-Y平面とする。X-Y平面内の1つの方向をX軸方向とする。X-Y平面内においてX軸方向に対して垂直な方向をY軸方向とする。X軸方向とY軸方向とに対して垂直な方向をZ軸方向とする。

30

【0055】

不揮発性記憶装置210において、基板30の主面の上に、X軸方向に延在する帯状の第1の配線（ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} ）が設けられる。さらに、Y軸方向に延在する帯状の第2の配線（ビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} ）が、設けられる。第2の配線（ビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} ）は、第1の配線（ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} ）に対向する。

【0056】

なお、上記では、第1の配線の延在方向が第2の配線の延在方向に対して直交するが、第1の配線の延在方向が第2の配線の延在方向と交差（非平行）すれば良い。

40

【0057】

なお、上記において添え字i及び添え字jは任意である。すなわち、第1の配線の数及び第2の配線の数は、任意である。

本具体例では、第1の配線がワード線となり、第2の配線がビット線となる。ただし、第1の配線がビット線で、第2の配線がワード線でも良い。以下では、第1の配線がワード線であり、第2の配線がビット線であるとして説明する。

【0058】

図6及び図7に表したように、第1の配線と第2の配線との間にメモリセル33が設けられる。

50

【0059】

図7に表したように、例えば、ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} の一端は、選択スイッチであるMOSトランジスタRSWを介して、デコーダ機能を有するワード線ドライバ31に接続される。ビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} の一端は、選択スイッチであるMOSトランジスタCSWを介して、デコーダ及び読み出し機能を有するビット線ドライバ32に接続される。

【0060】

MOSトランジスタRSWのゲートには、ワード線(ロウ)を選択するための選択信号 R_{i-1} 、 R_i 、 R_{i+1} が入力され、MOSトランジスタCSWのゲートには、ビット線(カラム)を選択するための選択信号 C_{i-1} 、 C_i 、 C_{i+1} が入力される。

10

【0061】

メモリセル33は、ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} と、ビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} と、が互いに対向する交差部に配置される。メモリセル33には、書き込み/読み出し時における回り込み電流(sneak current)を防止するための整流素子34を付加することができる。

【0062】

図8は、第2の実施形態に係る不揮発性記憶装置の一部の構成を例示する模式的断面図である。

図8に表したように、ワード線 WL_i とビット線 BL_j の間には、メモリセル33及び整流素子34が設けられる。なお、ワード線 WL_i とビット線 BL_j との上下の配置の関係は任意である。ワード線 WL_i とビット線 BL_j の間における、メモリセル33と整流素子34との配置の順番は、任意である。

20

【0063】

図8に表したように、メモリセル33は、記憶部22を含む。記憶部22は、第1導電部10と、第2導電部20と、第1導電部10と第2導電部20との間に設けられた記憶層15と、を含む。記憶層15には、第1の実施形態に関して説明した構成が適用できる。

【0064】

メモリセル33は、保護層33Bをさらに含むことができる。本具体例では、保護層33Bは、記憶部22のビット線 BL_j の側に設けられているが、保護層33Bは、記憶部22のワード線 WL_i の側に設けても良く、整流素子34とワード線 WL_i との間に設けても良い。メモリセル33は、記憶部22と保護層33Bとの間に設けられたヒータ層35をさらに含むことができる。ヒータ層35及び保護層33Bは、必要に応じて設けられ、省略可能である。

30

【0065】

なお、第1導電部10及び第2導電部20の少なくともいずれかとして、記憶部22に隣接する、例えば、ワード線 WL_i 、整流素子34、ヒータ層35、保護層33B、ビット線 BL_j の少なくともいずれかを用いても良い。

【0066】

図9及び図10は、第2の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的斜視図である。

40

図9及び図10に表したように、本実施形態に係る不揮発性記憶装置211及び212においては、ワード線、ビット線、及び、それらの間に設けられたメモリセル33を含む積層構造体が、複数積み重ねられる。これにより、3次元構造の不揮発性記憶装置が形成される。

【0067】

本実施形態に係る不揮発性記憶装置210、211、212においては、駆動部となるワード線ドライバ31及びビット線ドライバ32は、ワード線 WL_i 及びビット線 BL_j を介して、記憶層15への電圧の印加、及び、記憶層15への電流の通電、の少なくともいずれかを行う。これにより、記憶層15に変化を発生させて情報を書き込む。例えば、

50

駆動部は、記憶層 1 5 に電圧を印加して記憶層 1 5 に変化を発生させて情報を書き込む。また、書き込んだ情報を読み出すことができる。また、消去を行うことができる。

【 0 0 6 8 】

本実施形態に係る不揮発性記憶装置 2 1 0、2 1 1、2 1 2 においても、動作安定性の高い不揮発性記憶装置が提供できる。

【 0 0 6 9 】

(第 3 の実施の形態)

本実施形態に係る不揮発性記憶装置は、プローブメモリ型の構成を有する。

図 1 1 は、第 3 の実施形態に係る不揮発性記憶装置の構成を例示する模式的斜視図である。

図 1 2 は、第 3 の実施形態に係る不揮発性記憶装置の構成を例示する模式的平面図である。

図 1 1 及び図 1 2 に表したように、本実施形態に係る不揮発性記憶装置 2 5 0 では、基板 5 2 0 と、基板 5 2 0 の上に設けられた電極 5 2 1 と、電極 5 2 1 の上に設けられた記憶層 1 5 (記憶媒体) と、を備える。基板 5 2 0 は、XY スキャナ 5 1 6 の上に設けられる。記憶層 1 5 には、複数のデータエリア 5 3 1 が設けられる。また、データエリア 5 3 1 の X 軸方向の両端には、サーボエリア 5 3 2 が設けられる。

【 0 0 7 0 】

記憶層 1 5 に対向するように、プローブアレイが配置される。

プローブアレイは、例えば、基板 5 2 3 と、基板 5 2 3 の一面側にアレイ状に配置される複数のプローブ (ヘッド) 5 2 4 と、を有する。プローブ 5 2 4 として、例えば、カンチレバーが用いられる。複数のプローブ 5 2 4 は、マルチプレクスドライバ 5 2 5、5 2 6 により駆動される。

複数のプローブ 5 2 4 は、それぞれ、基板 5 2 3 内のマイクロアクチュエータを用いて個別に動作可能である。また、全てをまとめて同じ動作をさせて記憶層 1 5 のデータエリア 5 3 1 に対してアクセスを行うこともできる。

【 0 0 7 1 】

例えば、電極 5 2 1 が第 1 導電部 1 0 として用いられ、プローブ 5 2 4 が第 2 導電部 2 0 として用いられる。また、記憶層 1 5 の上に導電性の保護層 3 3 B が設けられる場合は、その保護層 3 3 B が、第 2 導電部 2 0 となる。

【 0 0 7 2 】

例えば、マルチプレクスドライバ 5 2 5、5 2 6 を用いて、全てのプローブ 5 2 4 を X 方向に一定周期で往復動作させ、記憶媒体 (記憶層 1 5) のサーボエリア 5 3 2 から Y 方向の位置情報を読み出す。Y 方向の位置情報は、ドライバ 5 1 5 に転送される。

ドライバ 5 1 5 は、この位置情報に基づいて XY スキャナ 5 1 6 を駆動し、記憶層 1 5 を Y 方向に移動させ、記憶層 1 5 のデータエリア 5 3 1 とプローブ 5 2 4 との位置決めを行う。

両者の位置決めが完了したら、データエリア 5 3 1 上のプローブ 5 2 4 を用いてデータの書き込み、読み出しまたは消去を行う。

【 0 0 7 3 】

例えば、1 つのデータエリア 5 3 1 に対応して 1 つのプローブ (ヘッド) 5 2 4 が設けられ、1 つのサーボエリア 5 3 2 に対して 1 つのプローブ 5 2 4 が設けられる。各プローブ 5 2 4 は、例えばマルチプレクスドライバ 5 2 5、5 2 6 を介して、駆動部 6 0 0 に接続される。駆動部 6 0 0 は、それぞれのプローブ 5 2 4 に、情報記憶のための、電圧及び電流の少なくともいずれかを供給する。記憶層 1 5 は、プローブ 5 2 4 を介して与えられた電圧及び電流によって、高抵抗状態と低抵抗状態との間を遷移する。また、駆動部 6 0 0 は、記憶層 1 5 に記憶された高抵抗状態と低抵抗状態とを検出し、記憶された情報を読み出す。

【 0 0 7 4 】

このような構成の不揮発性記憶装置 2 5 0 は、記憶層 1 5 と、記憶層 1 5 への電圧の印

10

20

30

40

50

加、及び、記憶層 15 への電流の通電、の少なくともいずれかによって、記憶層 15 に変化を発生させて情報を記憶する駆動部 600 と、を備える。不揮発性記憶装置 250 は、記憶層 15 に併設されたプローブ 524 をさらに備え、駆動部 600 は、プローブ 524 を介して、記憶層 15 の記憶単位に対して電圧の印加及び電流の通電の少なくともいずれかを行う。これにより、記憶層 15 に変化を発生させて情報を記憶する。

【0075】

なお、駆動部 600 は、上記のドライバ 515 及び X Y スキャナ 516 を含むこともでき、逆に、駆動部は、上記のドライバ 515 及び X Y スキャナ 516 に含まれても良い。

【0076】

本実施形態に係るプローブメモリ型の不揮発性記憶装置 250 においても、動作安定性の高い不揮発性記憶装置が提供できる。

10

【0077】

(第4の実施の形態)

本実施形態に係る不揮発性記憶装置は、フラッシュメモリ型の構成を有する。

図 13 は、第 4 の実施形態に係る不揮発性記憶装置の構成を例示する模式的断面図である。

図 14 は、第 4 の実施形態に係る不揮発性記憶装置の動作を例示する模式的断面図である。

図 13 に表したように、本実施形態に係る不揮発性記憶装置 260 においては、フラッシュメモリ型のメモリセルを有する。このメモリセルは、MIS (metal-insulator-semiconductor) トランジスタの構成を有する。

20

【0078】

半導体基板 41 の表面領域には、複数の拡散層 42 が形成される。複数の拡散層 42 の間にチャンネル領域 42c が設けられる。チャンネル領域 42c 上には、ゲート絶縁層 43 が形成される。ゲート絶縁層 43 上には、実施形態に係る記憶層 15 が形成される。記憶層 15 の上には、コントロールゲート電極 45 が形成される。

【0079】

記憶層 15 は、第 1 の実施形態で説明した構成を有する。例えば、チャンネル領域 42c が第 1 導電部 10 であり、コントロールゲート電極 45 が第 2 導電部 20 であると見なすことができる。また、ゲート絶縁層 43 と、コントロールゲート電極 45 との間に、第 1 導電部 10、第 2 導電部 20 及び記憶層 15 を含む記憶部 22 が設けられても良い。以下の図においては、記憶部 22 を、適宜、記憶層 15 として省略して表示する。

30

【0080】

半導体基板 41 は、ウェル領域でも良い。半導体基板 41 は、拡散層 42 の導電形に対して逆の導電形を有する。コントロールゲート電極 45 は、ワード線となる。コントロールゲート電極 45 には、例えば、導電性ポリシリコンが用いられる。

【0081】

本実施形態においては、図示しない駆動部が、コントロールゲート電極 45 に接続されて設けられる。駆動部は、コントロールゲート電極 45 を介して、記憶層 15 への電圧の印加、及び、記憶層 15 への電流の通電、の少なくともいずれかを行う。

40

【0082】

図 14 に表したように、セット(書き込み)動作 S0 では、コントロールゲート電極 45 に電位 V1 を与え、半導体基板 41 に電位 V2 を与える。

電位 V1 及び電位 V2 の差は、記憶層 15 が変化、すなわち、抵抗が変化するのに十分な大きさである。ただし、電位の差の極性は、特に、限定されない。すなわち、 $V1 > V2$ 、及び、 $V1 < V2$ のいずれでも良い。

【0083】

例えば、初期状態(リセット状態)において、記憶層 15 が高抵抗状態 HR であると仮定すると、ゲート絶縁層 43 が厚くなったことになるため、メモリセル(MIS トランジスタ)の閾値は、高くなる。

50

【0084】

この状態から電位 V_1 、 V_2 を与えて記憶層 15 を低抵抗状態 LR に変化させると、ゲート絶縁層 43 が薄くなったことになるため、メモリセル (MIS トランジスタ) の閾値は、低くなる。

【0085】

なお、電位 V_2 は、半導体基板 41 に与えたが、これに代えて、メモリセルのチャネル領域 42c に拡散層 42 から電位 V_2 を転送するようにしても良い。なお、同図において、矢印 A_e は電子の移動を表し、矢印 A_i はイオンの移動を表している。

【0086】

一方、リセット (消去) 動作 RO では、コントロールゲート電極 45 に電位 V_1' を与え、拡散層 42 の一方に電位 V_3 を与え、拡散層 42 の他方に電位 V_4 ($< V_3$) を与える。電位 V_1' は、セット状態のメモリセルの閾値を越える値にする。

【0087】

この時、メモリセルはオンになり、電子が拡散層 42 の他方から一方に向かって流れると共に、ホットエレクトロンが発生する。このホットエレクトロンは、ゲート絶縁層 43 を介して記憶層 15 に注入されるため、記憶層 15 の温度が上昇する。

【0088】

これにより、記憶層 15 は、低抵抗状態 LR から高抵抗状態 HR に変化するため、ゲート絶縁層 43 が厚くなったことになり、メモリセル (MIS トランジスタ) の閾値は、高くなる。

【0089】

このように、フラッシュメモリと類似した原理により、メモリセルの閾値を変えることができ、不揮発性記憶装置として利用できる。

本実施形態に係る不揮発性記憶装置 260 においては、記憶層 15 として第 1 の実施形態に関して説明した記憶層 15 を用いているので、動作安定性の高い不揮発性記憶装置が提供できる。

【0090】

図 15 は、第 4 の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

図 16 (a) ~ 図 16 (c) は、第 4 の実施形態に係る別の不揮発性記憶装置を例示する模式的断面図である。

本実施形態に係る別の不揮発性記憶装置 261 は、NAND 型フラッシュメモリである。図 15 は、NAND セルユニット 261c の回路図を示している。図 26 (a) は、NAND セルユニット 261c の構造を例示している。

【0091】

図 15 に表したように、NAND セルユニット 261c は、直列接続される複数のメモリセル MC からなる NAND スtring と、その両端に 1 つずつ接続される合計 2 つのセレクトゲートトランジスタ ST と、を含む。

【0092】

図 16 (a) に表したように、p 形半導体基板 41a 内には、n 形ウェル領域 41b 及び p 形ウェル領域 41c が設けられる。p 形ウェル領域 41c 内に、NAND セルユニット 261c が形成される。

【0093】

この例では、メモリセル MC は、セレクトゲートトランジスタ ST と同じ構造を有する。具体的には、これらは、n 形拡散層 42 と、n 形拡散層 42 の間のチャネル領域 42c 上のゲート絶縁層 43 と、ゲート絶縁層 43 上の記憶層 15 と、記憶層 15 上のコントロールゲート電極 45 と、を含む。

【0094】

図 15 に表したように、各コントロールゲート電極 45 (CG) は、駆動部 600 に電氣的に接続される。なお、駆動部 600 は、NAND セルユニット 261c が設けられる

10

20

30

40

50

基板に設けられても良く、それとは別の基板に設けられても良い。

【0095】

メモリセルMCの記憶層15の状態（高抵抗状態HR及び低抵抗状態LR）は、図14に関して説明した動作により変化させることが可能である。これに対し、セレクトゲートトランジスタSTの記憶層15は、セット状態、すなわち、低抵抗状態LRに固定される。

【0096】

セレクトゲートトランジスタSTの1つは、ソース線SLに接続され、他の1つは、ビット線BLに接続される。

【0097】

セット（書き込み）動作SOの前には、NANDセルユニット261c内の全てのメモリセルは、リセット状態（抵抗大）になっているものとする。セット（書き込み）動作SOにおいては、ソース線SL側のメモリセルMCからビット線BL側のメモリセルに向かって1つずつ順番に行われる。選択されたワード線（コントロールゲート電極）WLに書き込み電位として V_1 （正電位）を与え、非選択のワード線WLに転送電位（メモリセルMCがオンになる電位）として V_{pass} を与える。ソース線SL側のセレクトゲートトランジスタSTをオフ、ビット線BL側のセレクトゲートトランジスタSTをオンにし、ビット線BLから選択されたメモリセルMCのチャンネル領域42cにプログラムデータを転送する。

【0098】

例えば、プログラムデータが“1”の時は、選択されたメモリセルMCのチャンネル領域42cに書き込み禁止電位（例えば、 V_1 と同じ程度の電位）を転送し、選択されたメモリセルMCの記憶層15の抵抗値が高い状態から低い状態に変化しないようにする。

【0099】

また、プログラムデータが“0”の時は、選択されたメモリセルMCのチャンネル領域42cに V_2 （ $< V_1$ ）を転送し、選択されたメモリセルMCの記憶層15の抵抗値を高い状態から低い状態に変化させる。

【0100】

一方、リセット（消去）動作ROでは、例えば、全てのワード線（コントロールゲート電極）WLに V_1' を与え、NANDセルユニット261c内の全てのメモリセルMCをオンにする。また、2つのセレクトゲートトランジスタSTをオンにし、ビット線BLに V_3 を与え、ソース線SLに V_4 （ $< V_3$ ）を与える。

【0101】

この時、ホットエレクトロンがNANDセルユニット261c内の全てのメモリセルMCの記憶層15に注入されるため、NANDセルユニット261c内の全てのメモリセルMCに対して一括してリセット動作が実行される。

【0102】

読み出し動作は、選択されたワード線（コントロールゲート電極）WLに読み出し電位（正電位）を与え、非選択のワード線（コントロールゲート電極）WLには、メモリセルMCがデータ“0”、“1”によらず必ずオンになる電位を与える。

また、2つのセレクトゲートトランジスタSTをオンにし、NANDストリングに読み出し電流を供給する。

選択されたメモリセルMCは、読み出し電位が印加されると、それに記憶されたデータの値に応じてオンまたはオフになるため、例えば、読み出し電流の変化を検出することにより、データを読み出すことができる。

【0103】

図16（b）に表したように、本実施形態に係る別の不揮発性記憶装置262では、セレクトゲートトランジスタSTについては、記憶層15を設けずに、通常のMISトランジスタが用いられている。このように、セレクトゲートトランジスタSTの構造は任意である。

10

20

30

40

50

【0104】

図16(c)に表したように、本実施形態に係る別の不揮発性記憶装置263では、NANDストリングを構成する複数のメモリセルMCのゲート絶縁層がp形半導体層47に置き換えられている。

【0105】

図17は、第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

図18は、第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。

本実施形態に係る別の不揮発性記憶装置264は、NOR型フラッシュメモリである。図17は、NORセルユニット264cの回路図を示している。図18は、NORセルユニット264cの構造を例示している。

【0106】

図18に表したように、p形半導体基板41a内には、n形ウェル領域41b及びp形ウェル領域41cが形成される。p形ウェル領域41c内に、NORセルが形成される。NORセルは、ビット線BLとソース線SLとの間に接続される1つのメモリセル(MISトランジスタ)MCを含む。メモリセルMCは、n形拡散層42と、n形拡散層42の間のチャンネル領域42c上のゲート絶縁層43と、ゲート絶縁層43上の記憶層15と、記憶層15上のコントロールゲート電極45と、を含む。

【0107】

図17に表したように、各コントロールゲート電極45(CG)は、駆動部600に電氣的に接続される。なお、駆動部600は、NORセルユニット264cが設けられる基板に設けられても良く、それとは別の基板に設けられても良い。不揮発性記憶装置264においても、図14に関して説明した動作が実施される。

【0108】

図19は、第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式図である。

図20は、第4の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。

本実施形態に係る別の不揮発性記憶装置265は、2トラ型フラッシュメモリである。図19は、2トラセルユニット265cの回路図を示している。図20は、2トラセルユニット265cの構造を例示している。

【0109】

図19及び図20に表したように、2トラセルユニット265cは、NANDセルユニットの特徴とNORセルの特徴とを併せ持ったセル構造を有する。

【0110】

p形半導体基板41a内には、n形ウェル領域41b及びp形ウェル領域41cが形成される。p形ウェル領域41c内に、2トラセルユニット265cが形成される。

【0111】

2トラセルユニット265cは、直列接続される1つのメモリセルMCと、1つのセレクトゲートトランジスタSTと、を含む。メモリセルMCは、セレクトゲートトランジスタSTと同じ構造を有する。具体的には、これらは、n形拡散層42と、n形拡散層42の間のチャンネル領域42c上のゲート絶縁層43と、ゲート絶縁層43上の記憶層15と、記憶層15上のコントロールゲート電極45と、を含む。セレクトゲートトランジスタSTは、ソース線SLに接続され、メモリセルMCは、ビット線BLに接続される。各コントロールゲート電極45(CG)は、駆動部600に電氣的に接続される。なお、駆動部600は、2トラセルユニット265cが設けられる基板に設けられても良く、それとは別の基板に設けられても良い。不揮発性記憶装置265においても、図14に関して説明した動作が実施される。

【0112】

10

20

30

40

50

図 2 1 は、第 4 の実施形態に係る別の不揮発性記憶装置の構成を例示する模式的断面図である。

図 2 1 に表したように、本実施形態に係る別の不揮発性記憶装置 2 6 6 では、セレクトゲートトランジスタ S T については、記憶層 1 5 を設けずに、通常の M I S トランジスタが用いられている。このように、セレクトゲートトランジスタ S T の構造は、任意である。

【 0 1 1 3 】

また、実施形態に係る不揮発性記憶装置を記憶媒体に応用しても良い。

【 0 1 1 4 】

図 2 2 は、実施形態に係る不揮発性記憶装置の製造方法を例示するフローチャートである。

図 2 2 に表したように、不揮発性記憶装置 1 1 0 の製造方法は、第 1 導電部 1 0 を形成するステップ S 1 1 0 と、第 1 導電部 1 0 の上に記憶層 1 5 を形成するステップ S 1 2 0 と、記憶層 1 5 の上に第 2 導電部 2 0 を形成するステップ S 1 3 0 と、を含む。

【 0 1 1 5 】

ステップ S 1 2 0 では、 $(M1_{1-u} \dots M2_u) \times X + y + z$ で表される材料を記憶層 1 5 に用いる。

ステップ S 1 2 0 では、上記の材料を含む記憶層 1 5 を結晶化させる。この結晶化では、及びの少なくとも一方を、結晶 C R の粒界部 C R b に集める。

また、不揮発性記憶装置 1 1 0 の製造方法には、ステップ S 1 2 0 とステップ S 1 3 0 との間に、記憶層 1 5 を洗浄するステップを、さらに含めてもよい。この洗浄では、粒界部 C R b に集められた及びの一部が洗い流される。従って、洗浄を行った場合、記憶層 1 5 に含まれるの量は、記憶層 1 5 の形成時に使用したの量よりも少ない。また、洗浄を行った場合、記憶層 1 5 に含まれるの量は、記憶層 1 5 の形成時に使用したの量よりも少ない。

【 0 1 1 6 】

実施形態によれば、動作安定性の高い不揮発性記憶装置及びその製造方法が提供できる。

【 0 1 1 7 】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明の実施形態は、これらの具体例に限定されるものではない。例えば、不揮発性記憶装置に含まれる第 1 導電部、第 2 導電部、記憶層、陽イオン元素及び陰イオン元素などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか 2 つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【 0 1 1 8 】

その他、本発明の実施の形態として上述した不揮発性記憶装置及びその製造方法を基にして、当業者が適宜設計変更して実施し得る全ての不揮発性記憶装置及びその製造方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

【 0 1 1 9 】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【 0 1 2 0 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

10

20

30

40

50

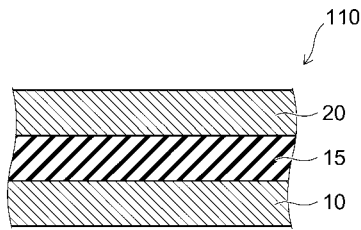
。

【符号の説明】

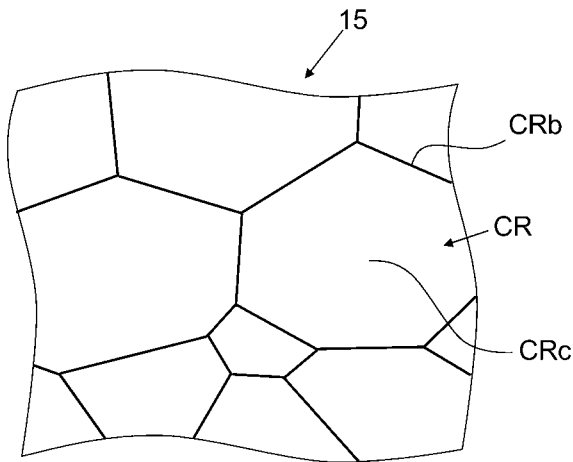
【0121】

10 ... 第1導電部、 15 ... 記憶層、 17 ... 金属層、 20 ... 第2導電部、 22 ... 記憶部、 30 ... 基板、 31 ... ワード線ドライバ、 32 ... ビット線ドライバ、 33 ... メモリセル、 33B ... 保護層、 34 ... 整流素子、 35 ... ヒータ層、 41 ... 半導体基板、 41a ... p形半導体基板、 41b ... n形ウェル領域、 41c ... p形ウェル領域、 42 ... 拡散層(n形核酸層)、 42c ... チャンネル領域、 43 ... ゲート絶縁層、 45 ... コントロールゲート電極、 47 ... p形半導体層、 51 ... 第1陽イオン、 52 ... 第2陽イオン、 52m ... 金属原子、 53 ... 陰イオン、 110、 210、 211、 212、 220、 250、 260、 261 ~ 266 ... 不揮発性記憶装置、 261c ... NANDセルユニット、 264c ... NORセルユニット、 265c ... 2トラセルユニット、 515 ... ドライバ、 516 ... XYスキャナ、 520 ... 基板、 521 ... 電極、 523 ... 基板、 524 ... プローブ、 525、 526 ... マルチプレクスドライバ、 531 ... データエリア、 532 ... サーボエリア、 600 ... 駆動部、 Ae、 Ai ... 矢印、 BL ... ビット線、 CR ... 結晶、 CRb ... 粒界部、 CRc ... 中心部、 HR ... 高抵抗状態、 LR ... 低抵抗状態、 MC ... メモリセル、 RSW ... トランジスタ、 SL ... ソース線、 ST ... セレクトゲートトランジスタ、 WL ... ワード線

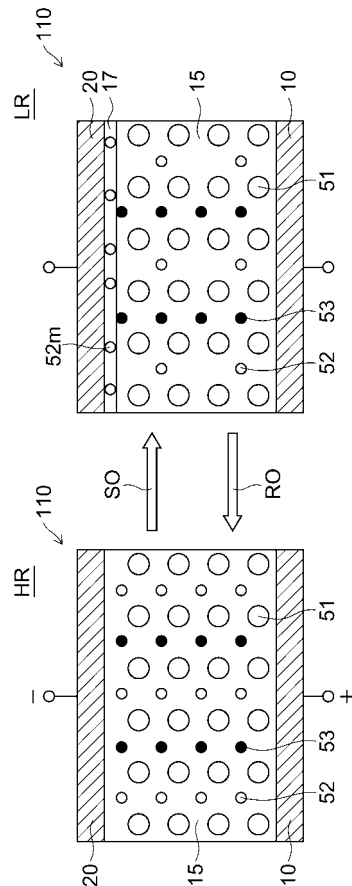
【図1】



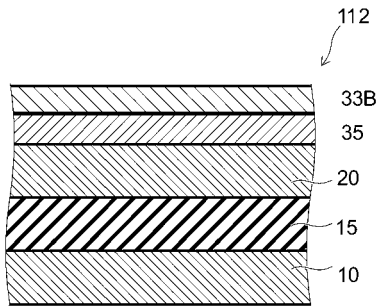
【図2】



【図3】



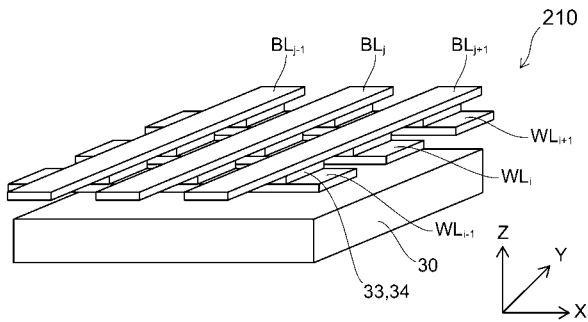
【 図 4 】



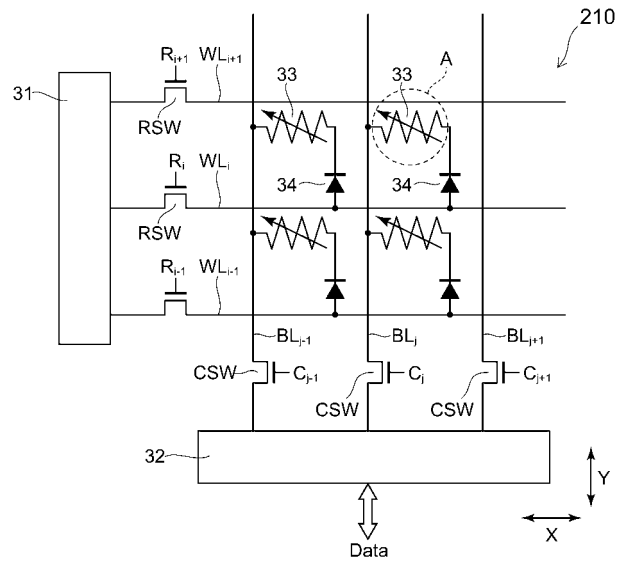
【 図 5 】

x	y	y/z	Ev
0.09	0.00009	0.89	NG
0.09	0.00009	0.90	NG
0.09	0.00009	1.10	NG
0.09	0.00009	1.11	NG
0.09	0.00010	0.89	NG
0.09	0.00010	0.90	NG
0.09	0.00010	1.10	NG
0.09	0.00010	1.11	NG
0.09	0.20000	0.89	NG
0.09	0.20000	0.90	NG
0.09	0.20000	1.10	NG
0.09	0.20000	1.11	NG
0.09	0.21000	0.89	NG
0.09	0.21000	0.90	NG
0.09	0.21000	1.10	NG
0.09	0.21000	1.11	NG
0.10	0.00009	0.89	NG
0.10	0.00009	0.90	NG
0.10	0.00009	1.10	NG
0.10	0.00009	1.11	NG
0.10	0.00010	0.89	NG
0.10	0.00010	0.90	OK
0.10	0.00010	1.10	OK
0.10	0.00010	1.11	NG
0.10	0.20000	0.89	NG
0.10	0.20000	0.90	OK
0.10	0.20000	1.10	OK
0.10	0.20000	1.11	NG
0.10	0.21000	0.89	NG
0.10	0.21000	0.90	NG
0.10	0.21000	1.10	NG
0.10	0.21000	1.11	NG
0.11	0.00009	0.89	NG
0.11	0.00009	0.90	NG
0.11	0.00009	1.10	NG
0.11	0.00009	1.11	NG
0.11	0.00010	0.89	NG
0.11	0.00010	0.90	NG
0.11	0.00010	1.10	NG
0.11	0.00010	1.11	NG
0.11	0.20000	0.89	NG
0.11	0.20000	0.90	NG
0.11	0.20000	1.10	NG
0.11	0.20000	1.11	NG
0.11	0.21000	0.89	NG
0.11	0.21000	0.90	NG
0.11	0.21000	1.10	NG
0.11	0.21000	1.11	NG

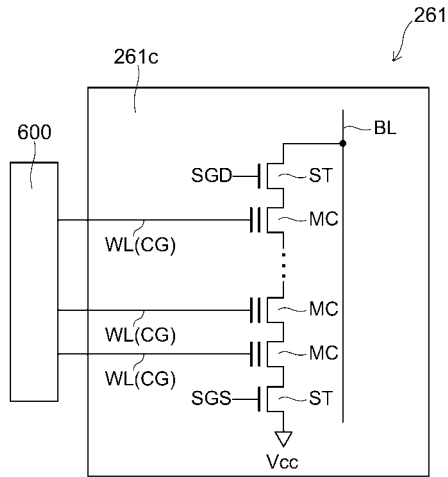
【 図 6 】



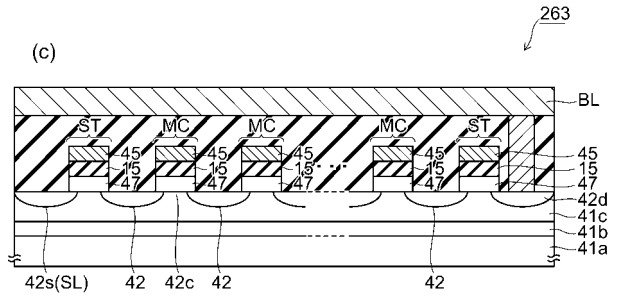
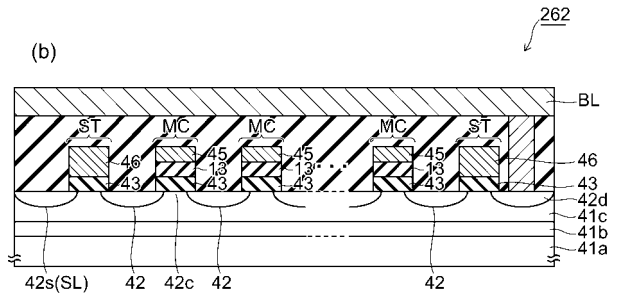
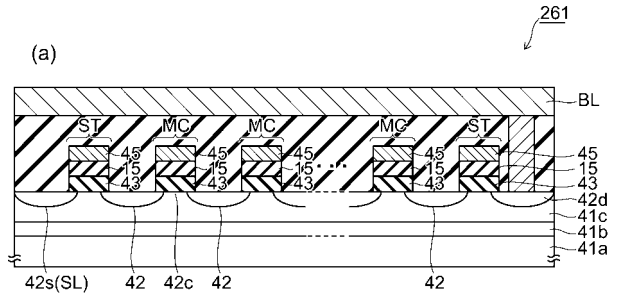
【 図 7 】



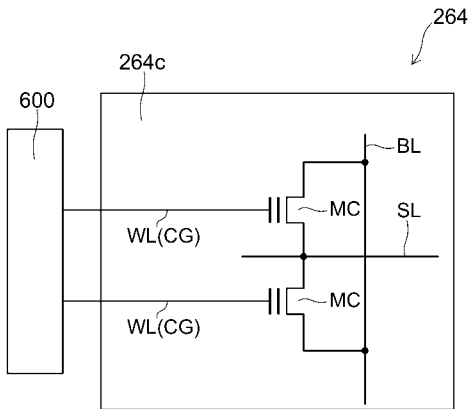
【 図 1 5 】



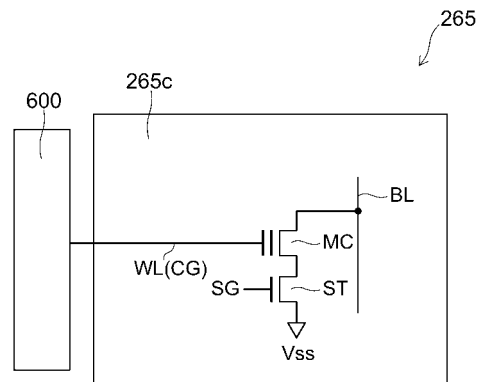
【 図 1 6 】



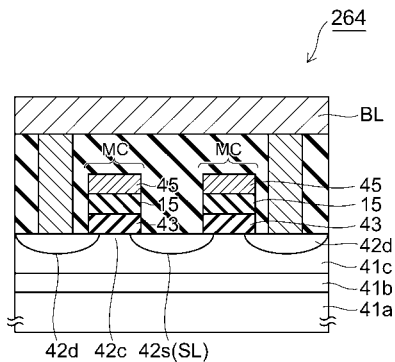
【 図 1 7 】



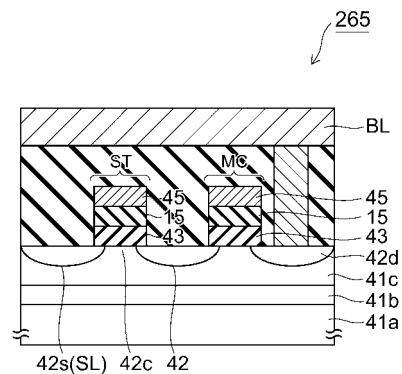
【 図 1 9 】



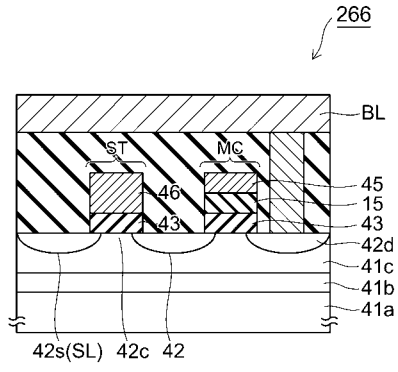
【 図 1 8 】



【 図 2 0 】



【 図 2 1 】



【 図 2 2 】

