

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-147056

(P2009-147056A)

(43) 公開日 平成21年7月2日(2009.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/146 (2006.01)	H O 1 L 27/14 A	4 M 1 1 8
H O 1 L 31/10 (2006.01)	H O 1 L 31/10 G	5 F O 4 9

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2007-321779 (P2007-321779)	(71) 出願人	000002369
(22) 出願日	平成19年12月13日 (2007.12.13)		
		(74) 代理人	セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100066980 弁理士 森 哲也
		(74) 代理人	100075579 弁理士 内藤 嘉昭
		(74) 代理人	100127384 弁理士 坊野 康博
		(72) 発明者	北野 洋司 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	4M118 AA10 AB01 BA14 CA03 DD01 DD12 EA01 EA14 FA06

最終頁に続く

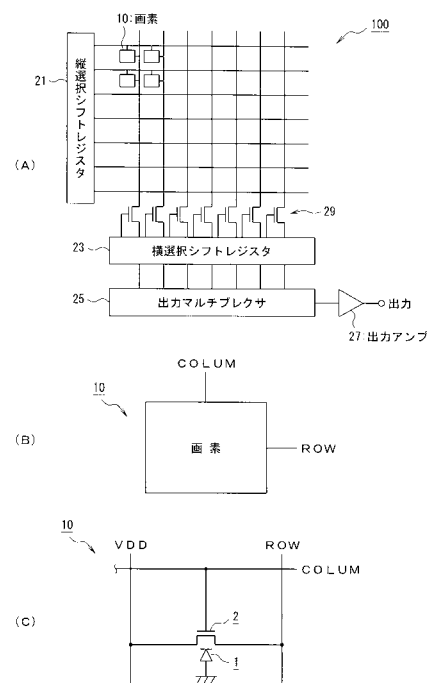
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】一画素の含まれるMOSトランジスタの個数を低減できるようにした半導体装置及びその製造方法を提供する。

【解決手段】光信号を電気信号に変換する複数の画素を備えるCMOSイメージセンサであって、P型Si基板に形成されたフォトダイオード1と、フォトダイオード1のカソード上に絶縁膜を介して形成されたSi層と、Si層に形成されたMOSトランジスタ2と、を一画素10内に有し、MOSトランジスタ2のソース又はドレイン(即ち、S/D)の一方は行方向に向かって延びるVDDラインに接続され、MOSトランジスタ2のS/Dの他方は行方向に向かって延びるROWラインに接続され、且つ、MOSトランジスタ2のゲート電極は行方向と交差する列方向に向かって延びるCOLUMNラインに接続されている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

光信号を電気信号に変換する複数の画素を備える半導体装置であって、
半導体基板に形成されたフォトダイオードと、
前記フォトダイオードのカソード上に絶縁膜を介して形成された半導体層と、
前記半導体層に形成された第 1 MOS トランジスタと、を一画素内に有し、
前記第 1 MOS トランジスタのソース又はドレインの一方は一の方向に向かって延びる電源線に接続され、前記第 1 MOS トランジスタのソース又はドレインの他方は前記一の方向に向かって延びる第 1 信号線に接続され、且つ、前記第 1 MOS トランジスタのゲート電極は前記一の方向と交差する他の方向に向かって延びる第 2 信号線に接続されていることを特徴とする半導体装置。

10

【請求項 2】

前記半導体基板に形成された第 2 MOS トランジスタを前記一画素内に有し、
前記第 2 MOS トランジスタのソース又はドレインの一方は前記カソードに接続され、
前記第 2 MOS トランジスタのソース又はドレインの他方は前記電源線に接続され、且つ、
前記第 2 MOS トランジスタのゲート電極は前記他の方向に向かって延びる第 3 信号線に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

光信号を電気信号に変換する複数の画素を備える半導体装置の製造方法であって、
前記画素となる領域の半導体基板にフォトダイオードを形成する工程と、
前記フォトダイオードのカソード上に第 1 半導体層を形成する工程と、
前記第 1 半導体層上に第 2 半導体層を形成する工程と、
前記第 2 半導体層及び前記第 1 半導体層をエッチングして、前記第 2 半導体層及び前記第 1 半導体層を貫く第 1 溝を形成する工程と、
前記第 1 溝に支持体を形成する工程と、
前記第 2 半導体層をエッチングして、前記第 1 半導体層を露出させる第 2 溝を形成する工程と、
前記第 2 溝を介して前記第 1 半導体層をエッチングすることにより、前記第 2 半導体層と前記カソードとの間に空洞部を形成する工程と、
前記空洞部内に絶縁膜を形成して埋め込む工程と、
前記第 2 半導体層に第 1 MOS トランジスタを形成する工程と、を含むことを特徴とする半導体装置の製造方法。

20

30

【請求項 4】

前記画素となる領域の前記半導体基板に第 2 MOS トランジスタを形成する工程、をさらに含み、
前記第 2 MOS トランジスタを形成する工程では、当該第 2 MOS トランジスタのソース又はドレインの一方を前記カソードの一部と重なるように形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に関し、特に、光信号を電気信号に変換する技術に関する。

【背景技術】**【0002】**

これまで主として用いられている CMOS イメージセンサとして、APS (Active Pixel Sensor) と呼ばれるタイプがある。APS 型のイメージセンサは、一画素が受光部であるフォトダイオード (PD) と、3 ~ 4 個の MOS トランジスタからなる構造を有する。

図 8 は、従来例に係る CMOS イメージセンサの構成例を示す回路図である。

50

【 0 0 0 3 】

図 8 に示す C M O S イメージセンサは A P S 型であり、行方向に向かって延びる電源線（以下、V d d ライン）及び信号線（以下、R O W ライン）と、列方向に向かって延びる読出し線（以下、C O L U M ライン）及びリセット線（以下、R E S E T ライン）とにより囲まれる 1 画素内に、受光部 3 0 1 と、検出用の M O S トランジスタ 3 0 2 と、読出し用の M O S トランジスタ 3 0 3 と、リセット用の M O S トランジスタ 3 0 4 と、を含んで構成されている。図 8 に示すように、受光部はフォトダイオード（P D : P h o t o D i o d e）からなり、そのカソードが M O S トランジスタ 3 0 2 のゲート電極に接続されている。

【特許文献 1】特開平 1 1 - 1 7 7 8 8 6 号公報

10

【特許文献 2】特開平 1 1 - 3 1 7 5 1 2 号公報

【特許文献 3】特開 2 0 0 5 - 3 5 4 0 2 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

ところで、図 8 に示したような A P S 型のイメージセンサでは、1 画素内に 3 ~ 4 個の M O S トランジスタを必要とするため、受光部の開口率が低くなり、また受光部の面積が小さくなる。このため、画素の感度が低くなりがちであり、光信号の S N 比（S i g n a l t o N o i s e r a t i o）が低下しやすいという問題があった。

そこで、本発明は、このような事情に鑑みてなされたものであって、一画素の含まれる M O S トランジスタの個数を低減できるようにした半導体装置及びその製造方法の提供を目的とする。

20

【課題を解決するための手段】

【 0 0 0 5 】

〔発明 1、2〕 上記問題点を解決するために、発明 1 の半導体装置は、光信号を電気信号に変換する複数の画素を備える半導体装置であって、半導体基板に形成されたフォトダイオードと、前記フォトダイオードのカソード上に絶縁膜を介して形成された半導体層と、前記半導体層に形成された第 1 M O S トランジスタと、を一画素内に有し、前記第 1 M O S トランジスタのソース又はドレインの一方は一の方向に向かって延びる電源線に接続され、前記第 1 M O S トランジスタのソース又はドレインの他方は前記一の方向に向か

30

【 0 0 0 6 】

発明 2 の半導体装置は、発明 1 の半導体装置において、前記半導体基板に形成された第 2 M O S トランジスタを前記一画素内に有し、前記第 2 M O S トランジスタのソース又はドレインの一方は前記カソードに接続され、前記第 2 M O S トランジスタのソース又はドレインの他方は前記電源線に接続され、且つ、前記第 2 M O S トランジスタのゲート電極は前記他の方向に向かって延びる第 3 信号線に接続されていることを特徴とするものである。ここで、本発明の「第 3 信号線」は例えば R E S E T ラインである。

40

【 0 0 0 7 】

発明 1、2 の半導体装置によれば、受光量に応じて大きさが変化するカソードの電位をバックゲートバイアスとして、第 1 M O S トランジスタのチャネルとなる領域（以下、チャネル領域）にバックゲートバイアスを印加することができ、受光量に応じて第 1 M O S トランジスタの閾値をシフトさせることができる。そして、この閾値シフトを第 1 信号線を介して電流信号として読み出すことにより、光信号を電気信号に変換する（即ち、光電変換する）ことができる。従って、一画素内に形成される M O S トランジスタの数を従来の 3 ~ 4 個から 1 ~ 2 個に減らすことができ、各画素における開口率の向上、受光部面積の拡大、又は、それらによる画素の高感度化（即ち、光信号の S N 比の向上）を図ること

50

ができる。

また、発明 2 の半導体装置によれば、カソードの電位を電源線の電位に設定する（即ち、カソードに蓄積された電荷を電源線に排出してリセットする）ことができるので、第 1 MOS トランジスタの閾値を直ちに初期状態（即ち、バックゲートバイアスが印加されていない状態）に戻すことができる。

【 0 0 0 8 】

〔発明 3、4〕 発明 3 の半導体装置の製造方法は、光信号を電気信号に変換する複数の画素を備える半導体装置の製造方法であって、前記画素となる領域の半導体基板にフォトダイオードを形成する工程と、前記フォトダイオードのカソード上に第 1 半導体層を形成する工程と、前記第 1 半導体層上に第 2 半導体層を形成する工程と、前記第 2 半導体層及び前記第 1 半導体層をエッチングして、前記第 2 半導体層及び前記第 1 半導体層を貫く第 1 溝を形成する工程と、前記第 1 溝に支持体を形成する工程と、前記第 2 半導体層をエッチングして、前記第 1 半導体層を露出させる第 2 溝を形成する工程と、前記第 2 溝を介して前記第 1 半導体層をエッチングすることにより、前記第 2 半導体層と前記カソードとの間に空洞部を形成する工程と、前記空洞部内に絶縁膜を形成して埋め込む工程と、前記第 2 半導体層に第 1 MOS トランジスタを形成する工程と、を含むことを特徴とするものである。ここで、「第 1 半導体層」は例えば単結晶のシリコンゲルマニウム（SiGe）層であり、「第 2 半導体層」は例えば単結晶のシリコン（Si）層である。単結晶の SiGe 層、及び、単結晶の Si 層は例えばエピタキシャル成長法により形成する。

【 0 0 0 9 】

発明 4 の半導体装置の製造方法は、発明 3 の半導体装置の製造方法において、前記画素となる領域の前記半導体基板に第 2 MOS トランジスタを形成する工程、をさらに含み、前記第 2 MOS トランジスタを形成する工程では、当該第 2 MOS トランジスタのソース又はドレインの一方を前記カソードの一部と重なるように形成することを特徴とするものである。

【 0 0 1 0 】

発明 3 の半導体装置の製造方法によれば、フォトダイオードと、フォトダイオードのカソード上に絶縁膜を介して形成された第 2 半導体層と、第 2 半導体層に形成された第 1 MOS トランジスタと、を一画素内に形成することができ、発明 1 の半導体装置を製造することができる。また、発明 4 の半導体装置の製造方法によれば、上記のフォトダイオード及び第 1 MOS トランジスタに加えて、ソース又はドレインの一方がフォトダイオードのカソードに接続された第 2 MOS トランジスタを一画素内に形成することができ、発明 2 の半導体装置を製造することができる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下、本発明の実施の形態を添付図面を参照して説明する。なお、以下に説明する各図において、同一部分には同一符号を付し、その重複する説明は省略する。

（ 1 ）第 1 実施形態

図 1 は本発明の第 1 実施形態に係るイメージセンサ 100 の構成例を示す図であり、図 1（A）はイメージセンサ 100 の全体構成の一例を示す図、図 1（B）は画素選択に係る配線（ライン）を示す図、図 1（C）は画素 10 の構成例を示す図である。

【 0 0 1 2 】

図 1（A）に示すように、このイメージセンサ 100 は、平面視で縦方向及び横方向に一定間隔で配置された（即ち、アレイ状に配置された）複数の画素 10 と、これら複数の画素群（即ち、画素アレイ）の周囲に配置された縦選択シフトレジスタ 21 及び横選択シフトレジスタ 23 と、出力マルチプレクサ 25 と、出力アンプ 27 と、を含んで構成されている。

【 0 0 1 3 】

図 1（B）及び（C）に示すように、画素アレイに含まれる一つの画素（以下、一画素）10 は、行方向（即ち、平面視で縦方向）に向かって延びる Vdd ライン及び ROW ラ

10

20

30

40

50

インと、列方向（即ち、平面視で横方向）に向かって延びるＣＯＬＵＭラインとに隣接しており、一画素１０内に受光部１と、受光部１で生じた電気信号を読み出すためのＭＯＳトランジスタ２と、を含んで構成されている。

【００１４】

図１（Ｃ）に示すＭＯＳトランジスタ２は例えばＮＭＯＳであり、そのソース又はドレイン（以下、Ｓ／Ｄ）の一方はＲＯＷラインに接続され、Ｓ／Ｄの他方はＶＤＤラインに接続されている。さらに、ＭＯＳトランジスタ２のゲート電極はＣＯＬＵＭラインに接続されている。また、受光部１は例えばフォトダイオード（ＰＤ）からなり、そのカソードの一部がＭＯＳトランジスタ２のチャネル領域の裏面側に配置され、そのアノードが接地電位に接続されている。

10

【００１５】

図２は、画素１０の断面構成の一例を示す図である。図２に示すように、フォトダイオード１は例えばｐ型Ｓｉ基板５１と、Ｐ型Ｓｉ基板５１の表面近傍に形成されたＮ型層５２とを含んで構成されている。このＰＮ接合を含むフォトダイオード１では、Ｐ型Ｓｉ基板５１がアノードでＮ型層５２がカソードである。また、Ｎ型層５２の一部の真上には絶縁膜５３を介してＳｉ層６１が設けられており、このＳｉ層６１にＭＯＳトランジスタ２が形成されている。図２に示すように、このＭＯＳトランジスタ２は、Ｓｉ層６１上に形成されたゲート絶縁膜７１と、ゲート絶縁膜７１上に形成されたゲート電極７３とＳｉ層６１に形成されたＳ／Ｄ層７５と、を含んで構成されており、例えばＳＯＩ構造を有する完全空乏（Fully Depleted：ＦＤ）型となっている。

20

【００１６】

イメージセンサ１００を構成する各々の画素１０では、光がフォトダイオード１に照射されることにより電子・正孔対が発生し、電子はＮ型層５２へ、正孔はＰ型Ｓｉ基板５１へそれぞれ移動する。これにより、フォトダイオード１の容量成分に電荷がたまり、フォトダイオード１のＮ型層（即ち、カソード）５２の電位が変化する。そして、この電位の変化により、フォトダイオード１上に形成されたＭＯＳトランジスタ２の閾値がシフトする。この閾値のシフトは、電流信号として読み出すことにより、光信号の電気信号への変換（即ち、光電変換）が行われる。

【００１７】

例えば、ＭＯＳトランジスタ２がＮＭＯＳの場合、Ｎ型層５２に電子が蓄積されることにより、Ｎ型層５２の負電位をバックゲートバイアスとして、ＭＯＳトランジスタ２のチャネル領域に印加することができ、ＭＯＳトランジスタ２の閾値をチャネル領域が反転しにくくなる方向（即ち、電流が流れにくくなる方向）にシフトさせることができる。従って、各画素１０から読み出される電流信号の強度（若しくは、電流信号の有無）を測定することにより、各画素１０における受光量を知ることができる。

30

【００１８】

なお、上記の電流信号の読出しは、図１（Ａ）に示した縦選択シフトレジスタ２１及び横選択シフトレジスタ２３による画素選択により、画素１０毎に順次行われる。即ち、縦選択シフトレジスタ２１により、複数本のＣＯＬＵＭラインの中から任意の一本が選択され、選択されたＣＯＬＵＭラインに信号Ｈが印加される。これにより、選択されたＣＯＬＵＭラインにＭＯＳトランジスタ２のゲート電極が繋がる各画素において、電流信号の読出しが実行される。また、これと同時に、横選択シフトレジスタ２３により、複数本のＲＯＷラインの中から任意の一本が選択される。このＲＯＷラインの選択は、例えばＲＯＷラインと横選択シフトレジスタ２３との間に配置されたＭＯＳトランジスタ２９のＯＮ・ＯＦＦ動作を横選択シフトレジスタ２３が行うことにより実行される。これにより、選択されたＲＯＷラインから出力マルチプレクサ２５に向けて電流信号の送出行われる。そして、出力マルチプレクサ２５に送出された電流信号は出力アンプ２７を介して外部に出力される。

40

【００１９】

このように、本発明の第１実施形態によれば、受光量に応じて大きさが変化するカソー

50

ド 5 2 の電位をバックゲートバイアスとして、M O S トランジスタ 2 のチャネル領域にバックゲートバイアスを印加することができ、受光量に応じて M O S トランジスタ 2 の閾値をシフトさせることができる。そして、この閾値シフトを R O W ラインを介して電流信号として読み出すことにより、光電変換することができる。従って、一画素内に形成される M O S トランジスタの数を従来の 3 ~ 4 個から 1 ~ 2 個に減らすことができ、各画素における開口率の向上、受光部面積の拡大、又は、それらによる画素の高感度化（即ち、光信号の S N 比の向上）を図ることができる。

【 0 0 2 0 】

（ 2 ）第 2 実施形態

図 3 は本発明の第 2 実施形態に係るイメージセンサ 2 0 0 の構成例を示す図であり、図 3（ A ）はイメージセンサ 2 0 0 の全体構成の一例を示す図、図 3（ B ）は画素選択に係る配線（ライン）を示す図、図 3（ C ）は画素 2 0 の構成例を示す図である。

図 3（ A ）に示すように、このイメージセンサ 2 0 0 は、平面視で縦方向及び横方向に一定間隔で配置された複数の画素 2 0 と、これら複数の画素群（即ち、画素アレイ）の周囲に配置された縦選択シフトレジスタ 2 1、横選択シフトレジスタ 2 3 と、出力マルチプレクサ 2 5 と、出力アンプ 2 7 と、リセット選択シフトレジスタ 3 1 と、を含んで構成されている。

【 0 0 2 1 】

図 3（ B ）及び（ C ）に示すように、画素アレイに含まれる一画素 2 0 は、行方向に向かって延びる V d d ライン及び R O W ラインと、列方向に向かって延びる C O L U M ライン及び R E S E T ラインとにより囲まれており、この囲まれた画素 2 0 内に受光部（即ち、フォトダイオード）1 と、フォトダイオード 1 で生じた電気信号を読み出すための M O S トランジスタ 2 と、フォトダイオード 1 のカソードを R E S E T ラインに選択的に接続するための M O S トランジスタ 3 と、を含んで構成されている。

【 0 0 2 2 】

図 3（ C ）に示すように、M O S トランジスタ 3 は、その S / D の一方が V D D ラインに接続され、S / D の他方はフォトダイオードのカソードに接続されている。また、M O S トランジスタ 3 のゲート電極は R E S E T ラインに接続されている。M O S トランジスタ 3 は例えば N M O S である。イメージセンサ 2 0 0 を構成する各々の画素 2 0 では、M O S トランジスタ 3 が O N することにより、フォトダイオード 1 のカソードが V D D ラインに接続され、カソードに蓄積された電子が V D D ラインに排出される。従って、例えば、上記の電流信号の読出し後に M O S トランジスタ 3 を O N することにより、フォトダイオード 1 の容量成分における電荷の蓄積状態をリセットすることができ、フォトダイオード 1 の真上に形成された M O S トランジスタ 2 の閾値を直ちに初期状態（即ち、バックゲートバイアスが印加されていない状態）に戻すことができる。

【 0 0 2 3 】

なお、上記のリセットは、図 3（ A ）に示したリセット選択シフトレジスタ 3 1 による画素 2 0 選択により、列方向に並ぶ複数の画素毎に順次行われる。即ち、リセット選択シフトレジスタ 3 1 により、複数本の R E S E T ラインの中から任意の一本が選択され、選択された R E S E T ラインに信号 H が印加される。これにより、選択された R E S E T ラインに M O S トランジスタ 3 のゲート電極が繋がる各画素 2 0 において、上記のリセットが実行される。

このように、本発明の第 2 実施形態によれば、第 1 実施形態と同様の効果を得ることができる。さらに、フォトダイオード 1 のカソード電位を V D D 電位に設定する（即ち、カソードに蓄積された電荷を V D D ラインに排出してリセットする）ことができ、M O S トランジスタ 2 の閾値を直ちに初期状態に戻すことができる。

【 0 0 2 4 】

（ 3 ）第 3 実施形態

次に、上述したイメージセンサの製造方法について説明する。

図 4（ A ）～図 6（ E ）は本発明の第 3 実施形態に係るイメージセンサの製造方法を示

10

20

30

40

50

す工程図である。ここでは、イメージセンサが有する上記画素 20 を S B S I 法を利用して形成する場合について説明する。

【0025】

図 4 (A) に示すように、まず始めに、単結晶の P 型 S i 基板 5 1 を用意する。次に、フォトリソグラフィー及びイオン注入技術により、画素となる領域の P 型 S i 基板 5 1 に N 型不純物を部分的にイオン注入する。ここで、P 型 S i 基板 5 1 に含まれる P 型不純物は例えばボロンであり、N 型不純物は例えばリン又はヒ素である。次に、N 型不純物がイオン注入された P 型 S i 基板 5 1 に熱処理を施して、図 4 (B) に示すように N 型層 5 2 を形成する。これにより、P 型 S i 基板 (即ち、アノード) 5 1 と、N 型層 (即ち、カソード) 5 2 とからなるフォトダイオード 1 が完成する。

10

【0026】

次に、図 4 (C) に示すように、N 型層 5 2 が形成された S i 基板 5 1 上に例えばシリコン酸化 (S i O₂) 膜 5 4 を形成する。この S i O₂ 膜 5 4 の形成は例えば熱酸化、又は C V D (C h e m i c a l V a p o r D e p o s i t i o n) で行う。そして、フォトリソグラフィー及びエッチング技術により、S i O₂ 膜 5 4 を部分的にエッチングして、M O S トランジスタ 2 (図 3 参照。) が形成される領域の S i 基板 5 1 表面を露出させる。ここでは、M O S トランジスタ 2 が形成される領域以外の S i 基板 5 1 上には S i O₂ 膜 5 4 を全体的に残しておく。なお、S i O₂ 膜 5 4 の部分的エッチングは、ウェットエッチング又はドライエッチングのどちらで行っても良い。

【0027】

20

次に、図 4 (D) に示すように、S i O₂ 膜 5 4 が部分的にエッチングされた S i 基板 5 1 上にシリコンゲルマニウム (S i G e) 層 5 9、5 9' を形成し、その上にシリコン (S i) 層 6 1、6 1' を形成する。これら S i G e 層 5 9、5 9' 及び S i 層 6 1、6 1' は、例えばエピタキシャル成長法で連続して形成する。エピタキシャル成長法では下地の結晶状態がその上に形成される膜に反映されるため、S i O₂ 膜 5 4 上の S i G e 層 5 9' 及び S i 層 6 1' は多結晶構造に形成され、N 型層 5 2 を含む S i 基板 5 1 上の S i G e 層 5 9 及び S i 層 6 1 は単結晶構造に形成される。

【0028】

次に、図 4 (E) に示すように、S i 層 6 1 及び S i G e 層 5 9 を順次、部分的にエッチングする。これにより、S i 基板 5 1 を底面とする支持体穴 h を形成する。このエッチング工程では、S i 基板 5 1 の表面でエッチングを止めるようにしてもよいし、S i 基板 5 1 をオーバーエッチングして凹部を形成するようにしてもよい。

30

次に、図 5 (A) に示すように、支持体穴 h を埋め込むようにして S i 基板 5 1 上の全面に例えば S i O₂ 膜 6 2 を形成する。この S i O₂ 膜 6 2 は例えば C V D 法で形成する。そして、フォトリソグラフィー及びエッチング技術により、S i O₂ 膜 6 2、S i 層 6 1、6 1'、S i G e 層 5 9、5 9' をそれぞれ順次、部分的にエッチングする。これにより、図 5 (B) に示すように、M O S トランジスタ 2 が形成される領域以外の S i 基板 5 1 表面を露出させると共に、紙面の手前側と奥側とにおいて、S i O₂ 膜 6 2、S i 層 6 1 及び S i G e 層 5 9 の各側面を露出させる溝を形成する。

【0029】

40

次に、上記の溝を介して例えばフッ硝酸溶液を、S i 層 6 1 及び S i G e 層 5 9 の各側面に接触させて、S i G e 層 5 9 を選択的にエッチングして除去する。これにより、図 5 (C) に示すように、S i 層 6 1 と S i 基板 5 1 との間に空洞部 6 3 を形成する。フッ硝酸溶液を用いたウェットエッチングでは、S i と比べて S i G e のエッチングレートが大きい (即ち、S i に対するエッチングの選択比が大きい) ので、S i 層 6 1 を残しつつ S i G e 層だけをエッチングして除去することが可能である。空洞部 6 3 の形成後、S i 層 6 1 はその上面と側面とが S i O₂ 膜 6 2 によって支えられることとなる。

【0030】

なお、この S i G e 層をエッチングする工程では、フッ硝酸溶液の代わりに、フッ硝酸過水、アンモニア過水、或いはフッ酢酸過水などを用いても良い。過水とは過酸化水素水

50

のことである。この場合も、 Si と比べて SiGe のエッチングレートが大きいので、 SiGe 層を選択的に除去することが可能である。

次に、図5(D)に示すように、例えば熱酸化により、空洞部63内に絶縁膜(例えば、 SiO_2 膜)53を形成する。ここでは、空洞部63の内部に面した Si 層61の裏面と、 N 型層52を含む Si 基板51の表面とが熱酸化され、熱酸化により上下方向から成長してくる SiO_2 膜53によって空洞部63が埋め込まれる。また、空洞部63以外の Si 基板51表面にも SiO_2 膜53が形成される。なお、 SiO_2 膜53の形成方法は、熱酸化に限られることはなく、例えばCVD法でも良い。

【0031】

次に、図5(E)に示すように、例えばCVD法により、 Si 基板51上の全面に例えば SiO_2 膜64を厚く形成する。そして、 Si 基板51上の全面を覆う SiO_2 膜64と、その下に部分的に残されている SiO_2 膜62とを例えばCMP(Chemical Mechanical Polish)により平坦化しながら除去して、図6(A)に示すように、 Si 層61の表面を露出させる。

【0032】

次に、図6(B)に示すように、フォトリソグラフィー及びエッチング技術により、 SiO_2 膜を部分的に順次エッチングして、MOSトランジスタが形成される領域の Si 基板51表面を露出させる。ここでは、 N 型層52の端部52aの表面を露出させると共に、MOSトランジスタ3(図3参照。)が形成される領域以外の Si 基板51上に SiO_2 膜53、64を残しておく。

【0033】

そして、図6(C)に示すように、 Si 層61表面にゲート絶縁膜71を形成すると共に、 SiO_2 膜53下から露出した Si 基板51表面にゲート絶縁膜72を形成する。ゲート絶縁膜71、72は、例えば、熱酸化により形成される SiO_2 膜若しくはシリコン酸化窒化(SiON)膜、又は、 High-k 材料膜である。ゲート絶縁膜71、72の形成は同時に行っても良いし、別々に行っても良い。

【0034】

次に、ゲート絶縁膜71、72が形成された Si 基板51上の全面に例えばポリシリコン(poly-Si)膜を形成する。このポリシリコン膜の形成は、例えばCVD法により行う。ここでは、ポリシリコン膜に不純物をイオン注入、又は、 in-Situ 等で導入して、ポリシリコン膜に導電性を持たせても良い。また、後述する S/D 層の形成工程で、ポリシリコン膜に不純物を導入して導電性を持たせても良い。

次に、フォトリソグラフィー及びエッチング技術により、ポリシリコン膜を部分的にエッチングする。これにより、図6(D)に示すように、ゲート絶縁膜71上にゲート電極73を形成すると共に、ゲート絶縁膜72上にゲート電極74を形成する。ゲート電極73、74の形成は同時に行っても良いし、別々に行っても良い。

【0035】

次に、ゲート電極73をマスクに Si 層61に不純物をイオン注入すると共に、ゲート電極74をマスクに Si 基板51に不純物をイオン注入する。そして、不純物注入後の Si 基板51全体に熱処理を施す。これにより、図6(E)に示すように、ゲート電極73の両側の Si 層61に S/D 層75を形成すると共に、ゲート電極74の両側の Si 基板51に S/D 層76を形成する。図6(E)に示す工程では、 N 型層52の端部52aの表面が露出した状態で不純物のイオン注入が行われるので、 S/D 層76の一方はこの端部52aと重なるように形成される。このような S/D 層75、76の形成は同時に行っても良いし、別々に行っても良い。MOSトランジスタ2、3としてNMOSを形成する場合は、例えばリン又はヒ素等の N 型不純物をイオン注入して N 型の S/D 層75、76を形成する。

【0036】

次に、CVD法で Si 基板51上の全面に層間絶縁膜(図示せず)を形成する。この層間絶縁膜は例えば SiO_2 膜である。そして、この層間絶縁膜の表面を例えばCMPで平

10

20

30

40

50

坦化する。次に、フォトリソグラフィ技術とエッチング技術とを用いて層間絶縁膜を部分的にエッチングする。これにより、ゲート電極 73、74 上と S/D 層 75、76 上にそれぞれコンタクトホールを形成する。

【0037】

その後、コンタクトホール内に図示しないアルミニウム (Al) 配線、又は、タングステン (W) 等の高融点金属からなるプラグ電極を形成することにより、ゲート電極 73、74 と S/D 層 75、76 とをそれぞれ層間絶縁膜上に引き出す。そして、例えば、プラグ電極と接続するように層間絶縁膜上に配線を形成する。ここで、配線とは、図 3 (C) 等にしたような Vdd ライン及び ROW ラインと、COLUMN ライン及び RESET ラインである。Vdd ライン及び ROW ラインに対して、COLUMN ライン及び RESET ラインを上層又は下層 (即ち、異なるレイヤ) に形成することで、これら各ラインを図 3 (C) 等にするようにショートさせることなく行方向及び列方向にそれぞれ延ばすことができる。

10

【0038】

このように、本発明の第 3 実施形態によれば、P 型 Si 基板 51 及び N 型層 52 とからなるフォトダイオード 1 と、N 型層 (即ち、カソード) 3 上に SiO₂ 膜 53 を介して形成された Si 層 61 と、Si 層 61 に形成された MOS トランジスタ 2 と、S/D 層 76 の一方が N 型層 52 に接続された MOS トランジスタ 3 とを、一画素内に形成することができる。従って、図 3 (C) 等にした画素 20 を形成することができ、当該画素 20 を有するイメージセンサ 200 を製造することができる。

20

【0039】

上記の第 1 ~ 第 3 実施形態では、P 型 Si 基板 51 が本発明の「半導体基板」に対応し、SiGe 層 59 が本発明の「第 1 半導体層」に対応し、Si 層 61 が本発明の「半導体層」又は「第 2 半導体層」に対応している。また、SiO₂ 膜 62 が本発明の「支持体」に対応している。さらに、MOS トランジスタ 2 が本発明の「第 1 MOS トランジスタ」に対応し、MOS トランジスタ 3 が本発明の「第 2 MOS トランジスタ」に対応している。また、ROW ラインが本発明の「第 1 信号線」に対応し、COLUMN ラインが本発明の「第 2 信号線」に対応して、RESET ラインが本発明の「第 3 信号線」に対応している。さらに、CMOS イメージセンサ 100、200 が本発明の「半導体装置」に対応している。

30

【0040】

なお、上記の第 1 ~ 第 3 実施形態では、フォトダイオード 1 が P 型 Si 基板 (即ち、P 型層) 51 と N 型層 52 とからなる場合について説明したが、本発明のフォトダイオードはこれに限られることはない。例えば、P 型 Si 基板 (即ち、P 型層) 51 と、その上に形成される高純度の I 型層と、N 型層 52 とからなる、いわゆる PIN 型フォトダイオードであっても良い。このような構成であっても、上記の第 1 ~ 第 3 実施形態と同様の効果を得ることができる。

【0041】

また、上記の第 3 実施形態では、例えば図 6 (C) に示したように、MOS トランジスタ 2 の S/D 層 75 と、MOS トランジスタ 3 の S/D 層 76 とを同一断面に揃えるように形成する場合について説明したが、MOS トランジスタ 2、3 の位置関係はこれに限られることはない。例えば図 7 に示すように、MOS トランジスタ 2 の S/D 方向と、MOS トランジスタ 3 の S/D 方向とが平面視で交差するように、MOS トランジスタ 2、3 をそれぞれ配置しても良い。このような位置関係であっても、画素 20 を構成することができる。

40

【0042】

さらに、上述の第 3 実施形態では、第 2 実施形態で説明した画素 20 を製造する場合について説明したが、上記の製造方法は、第 1 実施形態で説明した画素 10 の製造にも適用可能である。その場合は、例えば、図 6 (B) に示した SiO₂ 膜 64 の部分的エッチング工程を省くと共に、図 6 (C) 以降の工程で、ゲート絶縁膜 72、ゲート電極 74 及び

50

S/D層76の形成をそれぞれ省けば良い。これにより、第1実施形態で説明した画素10を形成することができ、当該画素10を有するイメージセンサ100を製造することができる。

【図面の簡単な説明】

【0043】

【図1】本発明の第1実施形態に係るイメージセンサ100の構成例を示す図。

【図2】画素10の断面構成の一例を示す図。

【図3】本発明の第2実施形態に係るイメージセンサ200の構成例を示す図。

【図4】本発明の第3実施形態に係るイメージセンサの製造方法を示す図。

【図5】本発明の第3実施形態に係るイメージセンサの製造方法を示す図。

【図6】本発明の第3実施形態に係るイメージセンサの製造方法を示す図。

【図7】画素20の他の構成例を示す図。

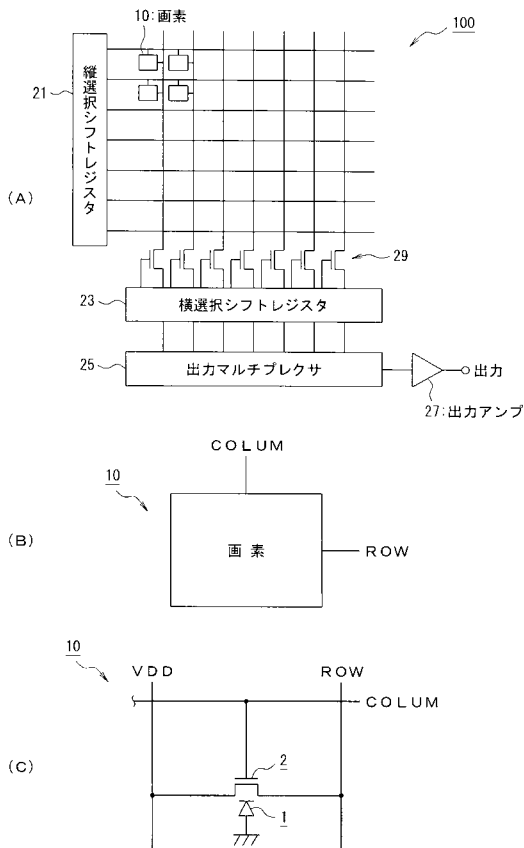
【図8】従来例を示す図。

【符号の説明】

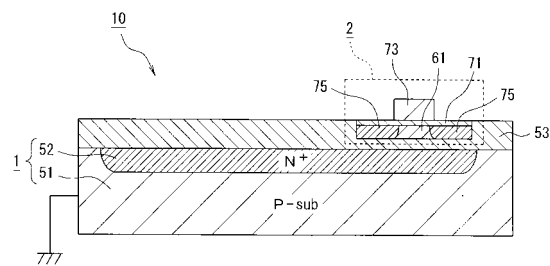
【0044】

1 受光部（フォトダイオード）、2 （検出用の）MOSトランジスタ、3 （リセット用の）MOSトランジスタ、10、20 画素、21 縦選択シフトレジスタ、23 横選択シフトレジスタ、25 出力マルチプレクサ、27 出力アンプ、29 MOSトランジスタ、31 リセット選択シフトレジスタ、51 P型Si基板、52 N型層、52a（N型層の）端部、54 SiO₂膜、59、59' SiGe層、61、61' Si層、53、62、64 SiO₂膜、71、72 ゲート絶縁膜、73、74 ゲート電極、75、76 S/D層、100 200 イメージセンサ

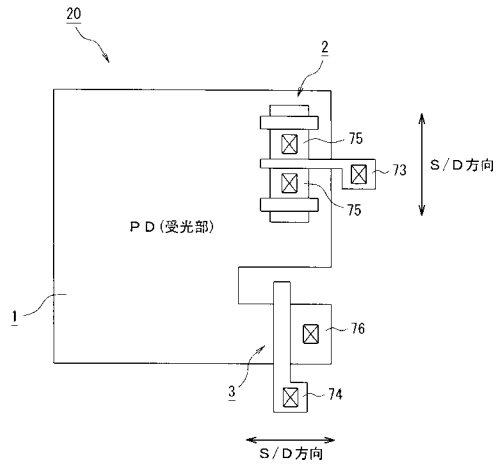
【図1】



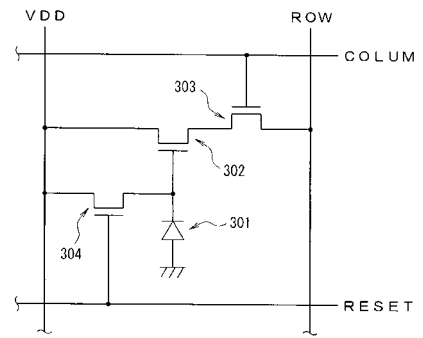
【図2】



【図 7】



【図 8】



フロントページの続き

Fターム(参考) 5F049 MA03 MB03 NA18 NB05 PA10 PA14 QA03 RA02 RA08 SS03
UA01