



(12) 发明专利

(10) 授权公告号 CN 102738782 B

(45) 授权公告日 2016. 02. 10

(21) 申请号 201210100331. 3

审查员 张莹

(22) 申请日 2012. 03. 28

(30) 优先权数据

2011-072736 2011. 03. 29 JP

(73) 专利权人 精工电子有限公司

地址 日本千叶县千叶市

(72) 发明人 须藤稔

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 何欣亭 王忠忠

(51) Int. Cl.

H02H 9/04(2006. 01)

H02H 9/02(2006. 01)

H01L 27/02(2006. 01)

(56) 对比文件

CN 101039027 A, 2007. 09. 19,

US 2005/0237682 A1, 2005. 10. 27,

US 6552372 B2, 2003. 04. 22,

CN 1961266 A, 2007. 05. 09,

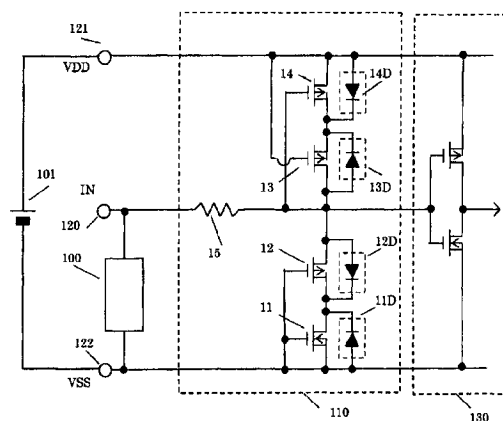
权利要求书1页 说明书4页 附图3页

(54) 发明名称

半导体集成电路的ESD保护电路

(57) 摘要

本发明提供能够防止在电池被反接时大电流流过而破坏的CDM的ESD保护电路。本发明的ESD保护电路采用与CDM用的ESD保护电路的截止晶体管(11、13)串联地、以寄生二极管与上述截止晶体管的寄生二极管成为反向的方式插入晶体管器件的电路构成。



1. 一种半导体集成电路的 ESD 保护电路,设置在至少具备正电源端子、负电源端子、输入端子和与所述输入端子连接的内部电路的半导体集成电路,所述 ESD 保护电路特征在于,具有:

N 沟道晶体管,其栅极、源极和衬底连接到所述负电源端子;以及

第一 P 沟道晶体管,其栅极连接到所述负电源端子,漏极连接到所述内部电路的栅极,源极和衬底连接到所述 N 沟道晶体管的漏极,

所述第一 P 沟道晶体管与所述 N 沟道晶体管串联,并具有与该 N 沟道晶体管的寄生二极管成为反向的寄生二极管。

2. 如权利要求 1 所述的半导体集成电路的 ESD 保护电路,其特征在于,

所述 N 沟道晶体管和所述第一 P 沟道晶体管的幅宽为 $50\ \mu\text{m}$ 以下。

3. 一种半导体集成电路的 ESD 保护电路,设置在至少具备正电源端子、负电源端子、输入端子和与所述输入端子连接的内部电路的半导体集成电路,所述 ESD 保护电路特征在于,具有:

N 沟道晶体管,其栅极、源极和衬底连接到所述负电源端子;

第一 P 沟道晶体管,其栅极连接到所述负电源端子,漏极连接到所述内部电路的栅极,源极和衬底连接到所述 N 沟道晶体管的漏极;

第二 P 沟道晶体管,其栅极连接到所述正电源端子,漏极连接到所述内部电路的栅极;以及

第三 P 沟道晶体管,其栅极连接到所述内部电路的栅极,漏极连接到所述正电源端子,源极和衬底连接到所述第二 P 沟道晶体管的源极和衬底。

4. 如权利要求 3 所述的半导体集成电路的 ESD 保护电路,其特征在于,

所述 N 沟道晶体管和所述第一 P 沟道晶体管的幅宽为 $50\ \mu\text{m}$ 以下。

5. 一种半导体集成电路的 ESD 保护电路,设置在至少具备正电源端子、负电源端子、输入端子和与所述输入端子连接的内部电路的半导体集成电路,所述 ESD 保护电路特征在于,具有:

N 沟道晶体管,其栅极、源极和衬底连接到所述负电源端子;

第一 P 沟道晶体管,其栅极连接到所述负电源端子,漏极连接到所述内部电路的栅极,源极和衬底连接到所述 N 沟道晶体管的漏极;

第二 P 沟道晶体管,其栅极、源极和衬底连接到所述正电源端子;以及

第三 P 沟道晶体管,其栅极、源极和衬底连接到所述内部电路的栅极,漏极连接到所述第二 P 沟道晶体管的漏极,

所述第一 P 沟道晶体管与所述 N 沟道晶体管串联,并具有与该 N 沟道晶体管的寄生二极管成为反向的寄生二极管,

所述第三 P 沟道晶体管与所述第二 P 沟道晶体管串联,并具有与该第二 P 沟道晶体管的寄生二极管成为反向的寄生二极管。

6. 如权利要求 5 所述的半导体集成电路的 ESD 保护电路,其特征在于,

所述 N 沟道晶体管和所述第一 P 沟道晶体管的幅宽为 $50\ \mu\text{m}$ 以下。

半导体集成电路的 ESD 保护电路

技术领域

[0001] 本发明涉及即使在电池被错误地正负反接时也不会流过大电流而破坏的 ESD 保护器件。

背景技术

[0002] 现有的半导体集成电路（下面记载为 IC）的输入电路已知有如图 4 所示的电路（例如参照专利文献 1）。

[0003] 在 IC 有正电源端子 121、负电源端子 122 和至少一个输入端子 120，电池 101 的正端子连接到正电源端子 121，电池 101 的负端子连接到负电源端子 122。在输入端子 120 与负电源端子 122 之间，通常主要的 ESD 保护电路 100 配置在 IC 的垫（PAD）附近。

[0004] 存在接受输入端子 120 的信号的内部电路（例如逆变器）130，作为用于保护其栅极免于 ESD（静电破坏）的 CDM（Charged Device Model：充电器件模式）对策而在内部电路 130 的近处配置 ESD 保护电路 110。ESD 保护电路 110 包括 N 沟道晶体管 11、P 沟道晶体管 13 和电阻 15。N 沟道晶体管 11 和 P 沟道晶体管 13 的漏极连接到内部电路 130 的栅极，N 沟道晶体管 11 的栅极、源极和衬底连接到 VSS，P 沟道晶体管 13 的栅极、源极和衬底连接到 VDD。N 沟道晶体管 11 和 P 沟道晶体管 13 为截止状态（高阻抗状态），在通常的动作状态下，内部电路的动作与有无 N 沟道晶体管 11 和 P 沟道晶体管 13 无关。电阻 15 既可以为了 ESD 保护而特意插入某个值（例如 $1k\Omega$ 左右）的电阻，也可以是利用 IC 的布线作为寄生电阻而附带的电阻。

[0005] CDM 中在 IC 带有高电压的状态下从输入端子 120 进行放电时，内部电路 130 的衬底侧的电荷经由衬底、主 ESD 保护电路 100 而迅速放电。另一方面，设置在内部电路 130 的栅极与正电源端子 121 及负电源端子 122 之间的截止晶体管 11、13 击穿（break down），内部电路 130 的栅极的电荷迅速放电。从而，能够防止高电压施加在内部电路的栅极，防止 CDM 中的破坏。

[0006] 此外，二极管 11D 和 13D 分别表示 N 沟道晶体管 11 和 P 沟道晶体管 13 的寄生二极管。

[0007] 图 5 示出 IC 布局的示意图的例子。其中有连接到 VDD 端子 VDD 垫（PAD）、连接到 IN 端子的 IN 垫和连接到 VSS 端子的 VSS 垫这三个垫，在 IN 垫的附近布置主要的 ESD 保护电路 100。在 IC 的内部布置有内部电路 130，在其附近布置 CDM 对策用的 ESD 保护电路 110。

[0008] 虽然在图 5 中采用仅三个垫，但通常在 IC 中包含更多的垫和电路。

[0009] 专利文献 1：日本专利公开特开平 7-153846 号公报（第 1 图）

[0010] 但是，现有的保护电路在电池的正负反接时作为 ESD 保护器件的晶体管的寄生二极管被正向加偏压，所以存在电流流过而发热劣化这一问题。

发明内容

[0011] 因而，本发明的目的在于解决现有的这样的问题，提供即使电池被反接也没有电

流流过的 ESD 保护电路。

[0012] 本发明通过采用与 CDM 用的 ESD 保护电路的截止晶体管串联地插入寄生二极管与截止晶体管的寄生二极管成为反向的晶体管器件的电路构成,解决了上述问题。

[0013] 依据如以上那样的本发明的 ESD 保护电路,即使电池被反接也能够防止在 IC 流过大电流。

附图说明

[0014] 图 1 是本发明第一实施例的 ESD 保护电路。

[0015] 图 2 是本发明第一实施例的 ESD 保护电路的截面图。

[0016] 图 3 是本发明的 ESD 保护电路的第二实施例。

[0017] 图 4 是示出现有的 ESD 保护电路的图。

[0018] 图 5 是 IC 布局的示意图。

[0019] 附图标记说明

[0020] 11 N 沟道晶体管 ;11D N 沟道晶体管 11 的寄生二极管 ;12 P 沟道晶体管 ;12D P 沟道晶体管 12 的寄生二极管 ;13 P 沟道晶体管 ;13D P 沟道晶体管 13 的寄生二极管 ;14 P 沟道晶体管 ;14D P 沟道晶体管 14 的寄生二极管 ;15 电阻 ;100 主 ESD 保护器件 ;110 CDM 用 ESD 保护器件 ;120 IN 端子 (输入) ;121 VDD 端子 ;122 VSS 端子 (GND)。

具体实施方式

[0021] 参照附图就用于实施本发明的方式进行说明。

[0022] [实施例 1]

[0023] 图 1 是示出本发明 ESD 保护电路的第一实施例的电路图。本发明的 ESD 保护电路 110 包括 N 沟道晶体管 11、P 沟道晶体管 12、13、14 和电阻 15。电阻 15 与现有相同,既可以特意插入也可以是利用布线的寄生电阻。

[0024] N 沟道晶体管 11,栅极、源极和衬底连接到 VSS,漏极连接到 P 沟道晶体管 12 的源极和衬底。P 沟道晶体管 12,栅极连接到 VSS,漏极连接到内部电路 130 的栅极、电阻 15、P 沟道晶体管 13 的漏极和 P 沟道晶体管 14 的栅极。P 沟道晶体管 14,漏极连接到 VDD,源极和衬底连接到 P 沟道晶体管 13 的源极和衬底。P 沟道晶体管 13,栅极连接到 VDD,漏极连接到内部电路 130 的栅极、电阻 15、P 沟道晶体管 12 的漏极和 P 沟道晶体管 14 的栅极。11D、12D、13D、14D 分别表示 N 沟道晶体管 11 和 P 沟道晶体管 12、13、14 的寄生二极管。

[0025] 与现有的 ESD 保护电路图 4 相比较,N 沟道晶体管 11 和 P 沟道晶体管 13 作为与现有相同的截止晶体管发挥功能,并追加有 P 沟道晶体管 12 和 14。

[0026] 接着,就电池正常连接时和反接时的动作进行说明。图 1 示出电池正常连接的状态。在该状态下,N 沟道晶体管 11 和 P 沟道晶体管 13 与现有同样地作为截止晶体管发挥功能,所以成为高阻抗,即使追加 P 沟道晶体管 12 和 14 也不会对动作带来影响。

[0027] 接着,CDM 中在 IC 带有高电压的状态下从输入端子 120 进行放电时,即使假设内部电路 130 的栅极相对于 VSS 端子欲成为高电位,但由于 P 沟道晶体管 12 导通从而内部电路 130 的栅极电压施加在 N 沟道晶体管 11 的漏极,并由于 N 沟道晶体管 11 作为截止晶体管击穿,从而高电压差不会施加在内部电路 130 的栅极与 VSS 间。另一方面,即使内部电路

130 的栅极相对于 VSS 端子欲成为低电位,但由于 N 沟道晶体管 11 的寄生二极管 11D 导通从而大致 VSS 的电压施加在 P 沟道晶体管 12 的源极,并由于 P 沟道晶体管 12 作为截止晶体管击穿,从而高电压差不会施加在内部电路 130 的栅极与 VSS 间。

[0028] 同样,即使内部电路 130 的栅极电位相对于 VDD 端子欲成为高电位,但由于 P 沟道晶体管 13 导通从而 VDD 的电压施加在 P 沟道晶体管 14 的源极和衬底,并由于 P 沟道晶体管 14 作为截止晶体管击穿,从而高电压差不会施加在内部电路 130 的栅极与 VDD 间。另一方面,即使内部电路 130 的栅极相对于 VDD 端子欲成为低电位,但由于 P 沟道晶体管 14 导通从而 VDD 的电压施加在 P 沟道晶体管 13 的源极,并由于 P 沟道晶体管 13 作为截止晶体管击穿,从而高电压差不会施加在内部电路 130 的栅极与 VDD 间。

[0029] 也就是说,作为 CDM 的 ESD 保护电路实现与现有同样的功能。

[0030] 另一方面,在电池反接时,由于在 VDD 与 VSS 间没有二极管正向连接的路径(必定成为反方向的双二极管串联),所以没有如现有那样电流流过。另外,即使输入端子 120 连接到 VDD 或者 VSS,由于在输入端子 120 与 VDD 间或者 VSS 间没有二极管正向连接的路径(必定成为反方向的双二极管串联),所以没有电流流过。

[0031] 图 2 示出 N 沟道晶体管 11 和 P 沟道晶体管 12、13、14 的截面图。虽然这些晶体管经由电阻 15 连接到输入端子 120 (IN),但在这里电阻 15 省略。在 P 衬底上有第一 N 阱和第二 N 阱,在第一 N 阱中制作 P 沟道晶体管 13、14,并在第二 N 阱中制作 P 沟道晶体管 12。

[0032] 如前所述 N 沟道晶体管 11 和 P 沟道晶体管 12 在 VSS 与内部电路 130 的栅极输入间具有针对 CDM 的效果,P 沟道晶体管 13 和 14 在 VDD 与内部电路 130 的栅极输入间具有针对 CDM 的效果,所以显而易见即使是内部电路与 VDD 或者 VSS 间的单侧也具有针对 CDM 的效果。

[0033] [实施例 2]

[0034] 图 3 示出本发明的 ESD 保护电路的第二实施例。与图 2 的不同点是 P 沟道晶体管 13 和 14 在 VDD 与内部电路的输入栅极间进行调换。即,P 沟道晶体管 13 的栅极、源极和衬底连接到 VDD,漏极连接到 P 沟道晶体管 14 的漏极,而 P 沟道晶体管 14 的源极、衬底和栅极连接到 P 沟道晶体管 12 的漏极、电阻 15 及内部电路 130 的栅极。

[0035] 与实施例 1 同样,在电池正常连接的状态(图 3 的状态)下,因晶体管 13、14 截止(高阻抗状态),故不会对动作带来影响。

[0036] 接着,CDM 中在 IC 带有高电压的状态下从输入端子 120 进行放电时,即使假设内部电路 130 的栅极相对于 VDD 端子欲成为高电位,但因 P 沟道晶体管 13 的寄生二极管 13D 为正向从而大致与 VDD 相同的电压施加在 P 沟道晶体管 14 的漏极,并由于 P 沟道晶体管 14 作为截止晶体管击穿,从而高电压差不会施加在内部电路 130 的栅极与 VDD 间。另一方面,即使内部电路 130 的栅极相对于 VDD 端子欲成为低电位,但因 P 沟道晶体管 14 的寄生二极管 14D 为正向从而大致与内部电路 130 的栅极相同的电压施加在 P 沟道晶体管 13 的漏极,并由于 P 沟道晶体管 13 作为截止晶体管击穿,从而高电压差不会施加在内部电路 130 的栅极与 VDD 间。

[0037] 在电池反接时与实施例 1 同样,由于在 VDD 与 VSS 之间没有二极管正向连接的路径(必定成为反方向的双二极管串联),所以没有电流流过。另外,即使输入端子 120 连接到 VDD 或者 VSS,由于在输入端子 120 与 VDD 间或者 VSS 间没有二极管正向连接的路径(必定

成为反方向的二极管串联),所以没有电流流过。

[0038] 另外,CDM用的ESD保护器件的N沟道晶体管11和P沟道晶体管12、13、14的W长(晶体管幅宽)目的是释放内部电路130的栅极的电荷,小于主要的ESD保护器件100的W长,有充分效果,W = 50 μm 以下也无妨。

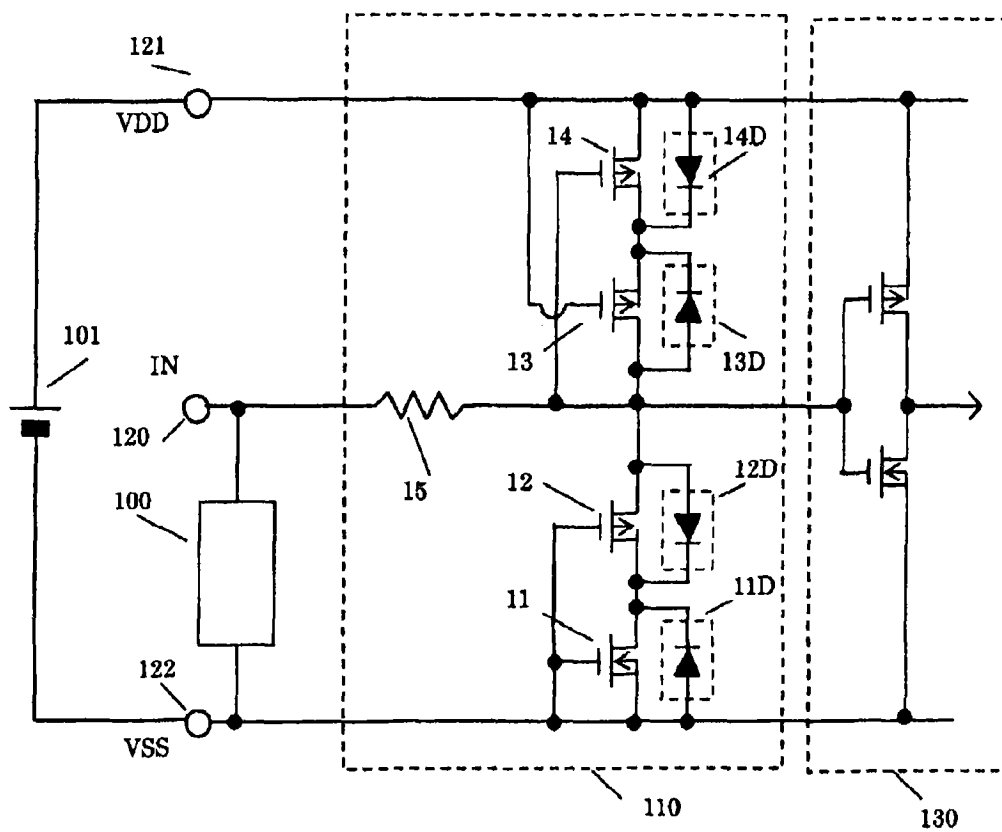


图 1

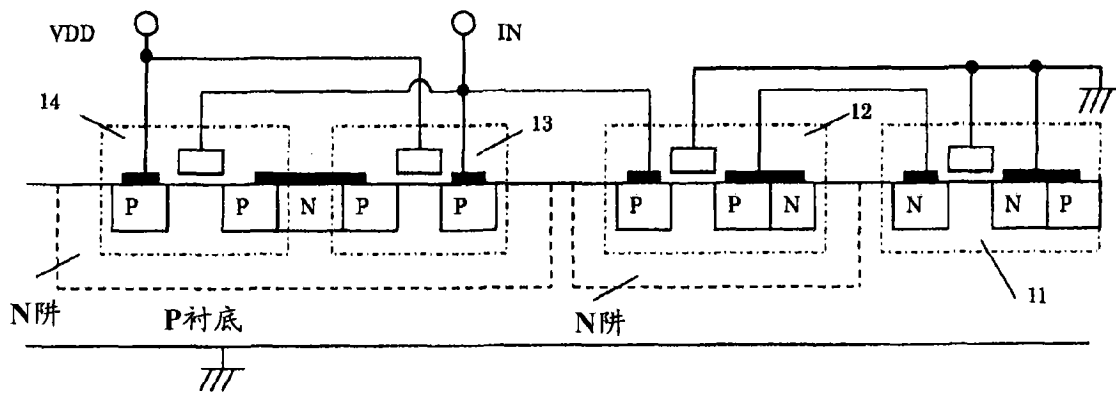


图 2

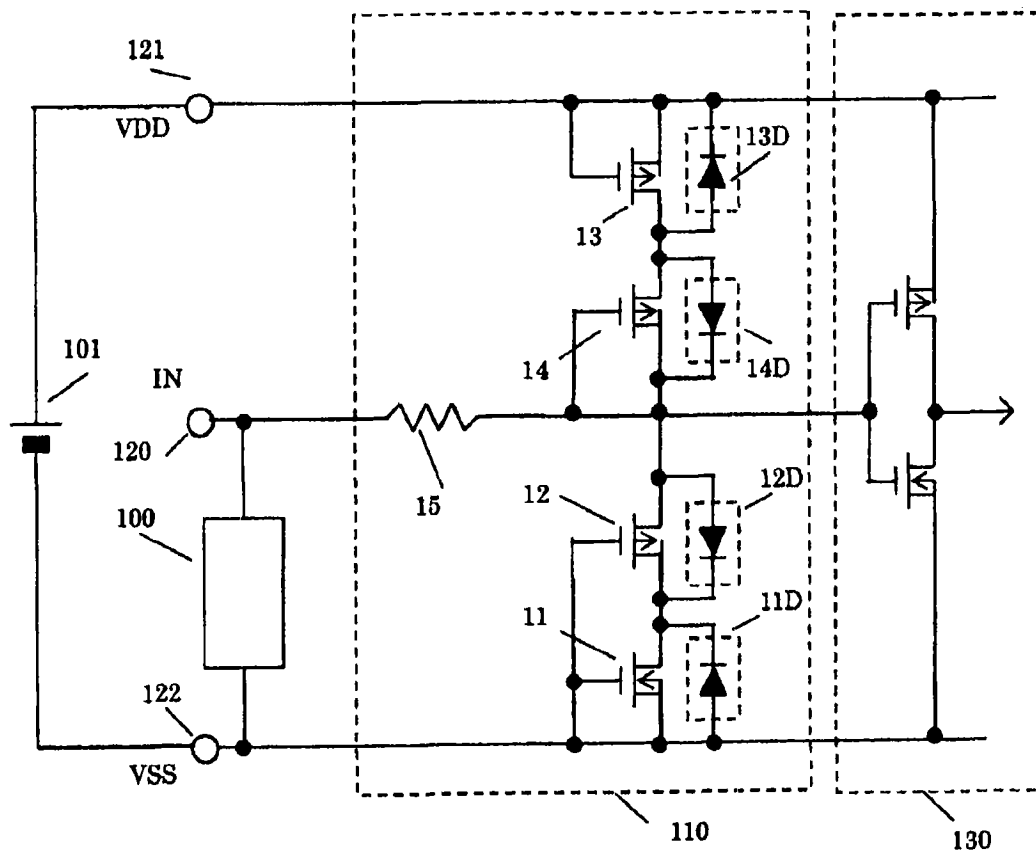


图 3

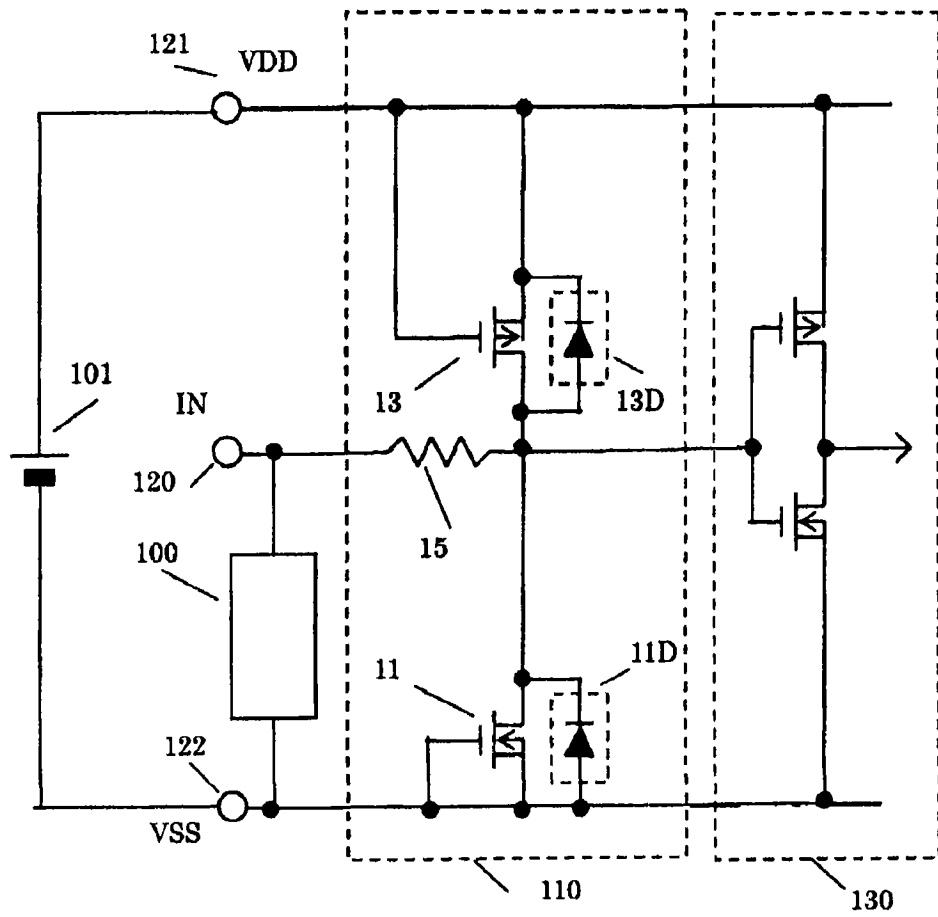


图 4

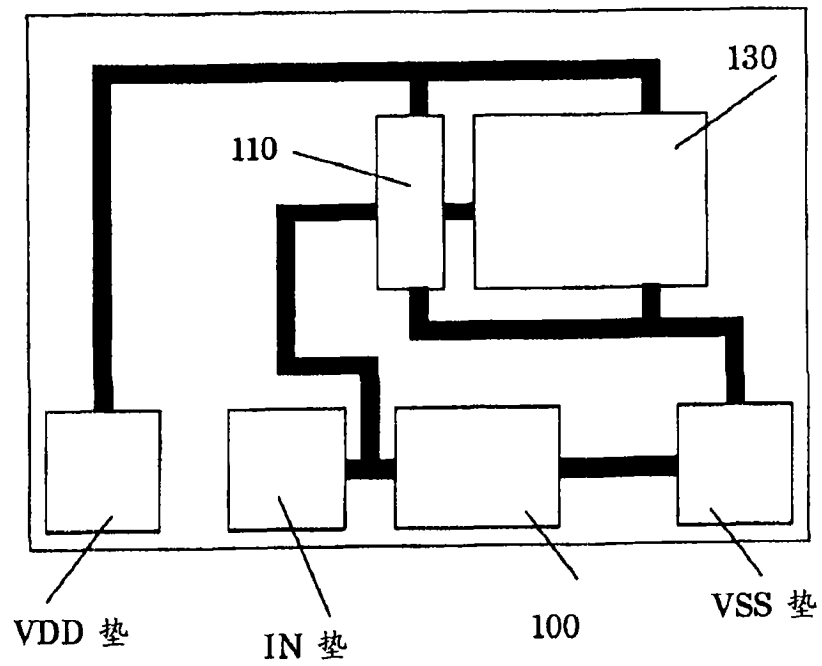


图 5