(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 112236853 B
(45)授权公告日 2024.09.13

(21)申请号 201880094399.0
(22)申请日 2018.07.05
(65)同一申请的已公布的文献号
申请公布号 CN 112236853 A
(43)申请公布日 2021.01.15
(85)PCT国际申请进入国家阶段日
2020.12.09
(86)PCT国际申请的申请数据
PCT/FR2018/051683 2018.07.05
(87)PCT国际申请的公布数据
WO2020/008116 FR 2020.01.09
(73)专利权人 索泰克公司
地址 法国伯尔宁
(72)发明人 克里斯泰勒·维蒂佐
帕特里克·雷诺 O·科农丘克
佛雷德里克·阿利伯特
(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 解延雷 庞东成
(51)Int.Cl.
H01L 21/762(2006.01)
H01L 21/322(2006.01)
(56)对比文件
WO 2017144821 A1,2017.08.31
审查员 唐朝东

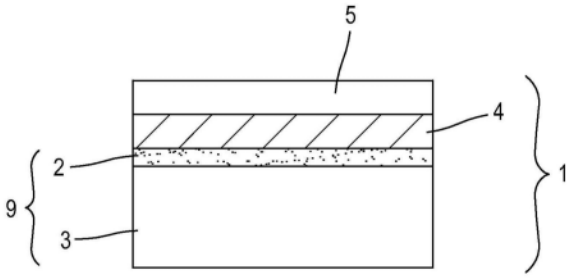
权利要求书2页 说明书6页 附图2页

(54)发明名称

用于集成射频器件的衬底及其制造方法

(57)摘要

本发明涉及一种应用于射频电子和微电子领域的衬底(1),其包括:基础衬底(3);位于所述基础衬底(3)上并与其直接接触的单一碳层(2),所述碳层(2)具有严格在1nm到5nm范围的厚度;位于所述碳层(2)上的绝缘体层(4);位于所述绝缘体层(4)上的器件层(5)。本发明还涉及一种用于制造所述衬底的方法。



CN 112236853 B

1.一种应用于射频电子和微电子领域的衬底(1),其包括:

-基础衬底(3);

-位于所述基础衬底(3)上并与其直接接触的单一碳层(2),其中所述碳层(2)具有严格在1nm至5nm范围的厚度;

-位于所述碳层(2)上的绝缘体层(4);

-位于所述绝缘体层(4)上的器件层(5);

-位于所述碳层(2)和所述绝缘体层(4)之间并与它们接触的粘结层(7),其中,所述粘结层(7)具有小于10nm的厚度。

2.如权利要求1所述的衬底(1),其中,所述基础衬底(3)是具有小于100Ω·cm的电阻率的单晶硅衬底。

3.如权利要求1所述的衬底(1),其中,所述基础衬底(3)是具有高于100或1,000Ω·cm的电阻率的单晶硅衬底。

4.如权利要求1至3中任一项所述的衬底(1),其中,所述碳层(2)具有1至3nm的厚度。

5.如权利要求1所述的衬底(1),其中,所述粘结层(7)由非晶或多晶硅制成或由二氧化硅制成。

6.如权利要求1至3中任一项所述的衬底(1),其中,所述绝缘体层(4)由二氧化硅制成。

7.如权利要求1至3中任一项所述的衬底(1),其中,所述器件层(5)包含硅。

8.如权利要求1至3中任一项所述的衬底(1),其中,所述器件层(5)包括至少一个射频器件。

9.一种用于制造应用于射频电子和微电子领域的衬底(1)的方法,其包括:

-将基础衬底(3)暴露于含碳的前体气体以用从所述前体气体释放的碳物质浸透所暴露的衬底,并在所述基础衬底上形成具有严格在1nm至5nm范围的厚度的单一碳层(2)的步骤;

-在所述碳层(2)上和/或在源衬底(8)上形成一定厚度的绝缘体的步骤;

-组装所述基础衬底(3)和所述源衬底(8)以便在所述基础衬底(3)和所述源衬底(8)之间形成绝缘体层(4)的步骤;

-对所述源衬底(8)进行薄化以形成器件层(5)的步骤;

-在所述暴露步骤之后在所述碳层(2)上形成厚度小于10nm并与所述碳层(2)接触的粘结层(7)的步骤。

10.如权利要求9所述的方法,其中,形成所述粘结层(7)的步骤包括沉积粘结材料和抛光所沉积的粘结材料。

11.如权利要求9或10所述的方法,其中,所述源衬底(8)由硅制成,并且形成所述绝缘体层(4)的步骤包括所述源衬底(8)的氧化。

12.如权利要求9或10所述的方法,其中,所述源衬底(8)包括射频器件,并且形成所述绝缘体层(4)的步骤包括在所述源衬底(8)上沉积二氧化硅层。

13.如权利要求9或10所述的方法,其中,对所述源衬底(8)进行薄化的步骤包括通过物理和/或化学薄化而逐渐减小所述源衬底的一部分厚度的步骤。

14.如权利要求9或10所述的方法,其中,对所述源衬底(8)进行薄化的步骤包括在组装步骤之前在所述源衬底(8)中形成脆性面的第一步骤,以及在组装步骤之后在所述源衬底

的这种脆性面处使所述源衬底(8)断裂的第二步骤。

15.如权利要求9或10所述的方法,其中,所述碳层(2)具有严格在1至3nm范围的厚度。

用于集成射频器件的衬底及其制造方法

技术领域

[0001] 本发明涉及一种用于集成射频器件的衬底。本发明还涉及用于制造所述衬底的方法。

背景技术

[0002] 集成器件通常形成在主要用作制造其的支撑体的衬底上。这些器件的集成度和预期性能的增加导致了它们的性能和在其上形成它们的衬底的特性之间的耦合度更大。在处理信号的RF器件的情况下更是如此,该信号的频率范围为约3kHz至300GHz,其特别地用于电信领域(蜂窝电话、Wi-Fi、蓝牙等)。

[0003] 作为器件/衬底耦合的一个实例,来自在器件中传播的高频信号的电磁场穿透到衬底深处,并与可能包含在其中的任何电荷载流子相互作用。这导致了至少一部分信号能量由于耦合损耗而无用地消耗,并且在部件之间可能受到串扰的影响。

[0004] 根据第二种示例性耦合,衬底的电荷载流子可能生成不期望的谐波,其可能干扰在集成器件中传播的信号并降低其品质。

[0005] 当使用绝缘体上硅类型的衬底包括在支撑体和器件层之间的绝缘体隐埋层时,可以具体地观察到这种现象,其中在所述器件层上和器件层中形成集成器件。在绝缘体中俘获的电荷导致在支撑体中具有互补符号的电荷累积,其在这种绝缘体层下形成导电平面。在这种导电平面中,移动电荷可能与由有用层的部件产生的电磁场强烈地相互作用。因此,在直接位于绝缘体隐埋层下面的平面中,可以观察到支撑体电阻率的显著下降,即使当这种支撑体具有高阻抗电特性时也是如此。

[0006] 为了防止或限制这种现象,已知在隐埋绝缘体和直接位于绝缘体下面的支撑体之间插入电荷俘获层,例如1至5微米的多晶硅层。然后,形成多晶的晶粒的接合点是电荷载流子的陷阱,因为后者可以来自俘获层本身或来自下面的支撑体。因此避免了在绝缘体下出现导电平面和支撑体电阻率的下降。这种类型的衬底的制造例如在文献FR2860341、FR2933233、FR2953640、US2015115480、US7268060或US6544656中公开。

[0007] US20150115480提出以多晶或非晶SiGe、Ge或SiC单元层的堆叠形式形成俘获层,每一单元层可能具有至少约5nm的厚度且覆盖有数埃的钝化层。

[0008] US2016071959描述了绝缘体上硅型结构,其在电阻支撑体上包括几纳米厚的可能的薄绝缘层和厚度为25nm至7微米的掺杂的硅非晶层。碳浓度为1%至10%。

[0009] US20130168835公开了一种形成绝缘体上硅衬底的方法,其包括提供支撑衬底;在所述支撑衬底上形成高电阻率材料层,所述高电阻率材料层具有10微米至50微米的厚度且包括非晶或多晶碳化硅、多晶或非晶金刚石中的一种;在所述高电阻率材料层上形成绝缘层;以及将供体晶片组装到绝缘层的上表面上以形成SOI衬底。

[0010] 这种提供基于多晶或非晶半导体材料的俘获层的解决方案虽然相当有效,但相对昂贵,尤其是当俘获层较厚或由单元层的堆叠体组成时。此外,例如几微米的厚层的形成可能导致其上形成该层的晶片变形或使该层特别粗糙,这使得制造工艺特别困难。该方案的

这种成本难以证明需要低RF性能的集成器件的合理性。

[0011] 本发明的目的在于提供一种应用于射频电子和微电子领域的衬底,其制造简单且不昂贵,同时具有比不包括俘获层的绝缘体上硅型衬底更高的性能水平。

发明内容

[0012] 为达此目的,本发明的目的在于提供一种应用于射频电子和微电子领域的衬底,其包括:

[0013] -基础衬底;

[0014] -位于所述基础衬底上并与其直接接触的单一碳层,所述碳层具有严格在1nm至5nm范围的厚度;

[0015] -位于所述碳层上的绝缘体层;

[0016] -位于所述绝缘体层上的器件层。

[0017] 具有极低厚度的碳层形成了俘获层,其可以非常容易地、相当意外地且非常有效地生产。

[0018] 根据本发明的其他有利和非限制性特征,分别采用或以任何技术上可行的组合采用以下特征:

[0019] -基础衬底是具有小于100Ω·cm的电阻率的单晶硅衬底;

[0020] -基础衬底是具有高于100或1,000Ω·cm的电阻率的单晶硅衬底;

[0021] -碳层具有1至3nm的厚度;

[0022] -衬底还包括位于所述碳层和所述绝缘体层之间并与它们接触的粘结层;

[0023] -粘结层具有小于10nm的厚度;

[0024] -粘结层由非晶、多晶硅制成或由二氧化硅制成;

[0025] -绝缘体层由二氧化硅制成;

[0026] -器件层包括硅;

[0027] -器件层包括至少一个射频器件。

[0028] 一种用于制造应用于射频电子和微电子领域的衬底的方法,其包括:

[0029] -将基底衬底暴露于含碳的前体气体以用从所述前体气体释放的碳物质浸透所暴露的衬底并在所述基础衬底上形成具有严格在1nm至5nm范围的厚度的单一碳层的步骤;

[0030] -组装所述基础衬底和所述源衬底以在所述基础衬底和所述源衬底之间形成绝缘体层的步骤;

[0031] -对所述源衬底进行薄化以形成器件层的步骤。

[0032] 根据本发明的其他有利和非限制性特征,分别采用或以任何技术上可行的组合采用以下特征:

[0033] -所述方法包括在暴露步骤之后在碳层上形成厚度小于10nm并与碳层接触的粘结层的步骤;

[0034] -形成粘结层的步骤包括沉积粘结材料和抛光所沉积的粘结材料;

[0035] -源衬底由硅制成,并且形成绝缘体层的步骤包括源衬底的氧化;

[0036] -源衬底包括射频器件,并且形成绝缘体层的步骤包括在源衬底上沉积二氧化硅层;

[0037] -对源衬底进行薄化的步骤包括通过物理和/或化学薄化而逐渐减小源衬底的一部分厚度的步骤;

[0038] -对源衬底进行薄化的步骤包括在组装步骤之前在源衬底中形成脆性面的第一步骤,以及在组装步骤之后在源衬底的这种脆性面处使源衬底断裂的第二步骤;

[0039] 碳层具有严格在1至3nm范围的厚度。

附图说明

[0040] 参考附图从对本发明的详细描述出发,本发明的其它特征和优点将变得清楚,其中:

[0041] -图1表示本发明第一实施方式的衬底;

[0042] -图2表示本发明第二实施方式的衬底;

[0043] 图3表示本发明的制造衬底的方法。

具体实施方式

[0044] 图1示意性地表示本发明的用于射频电子和微电子领域的衬底1的第一实施方式。

[0045] 第一实施方式的衬底1包括基础衬底3、位于基础衬底3上并与其直接接触的碳层2,碳层的厚度严格地在1nm到5nm的范围,并且优选地在1nm到3nm的范围;位于碳层2上的绝缘体层4和位于绝缘体层4上的器件层5。设置有碳层2的基础衬底3形成衬底1的支撑体9。

[0046] 衬底1可以具有圆形板的形状,具有标准尺寸,例如直径为200mm或300mm,甚至450mm。当衬底(更具体而言器件层5)不承载器件时,情况尤其如此。然而,本发明绝不限于这些尺寸或这种形状。

[0047] 当衬底1形成成品或半成品射频器件的支撑体时,其将因此具有材料块的形状,所述材料块具有纵向矩形或正方形截面,其尺寸从几毫米至几厘米,匹配集成器件的尺寸。

[0048] 基础衬底3具有几百微米的厚度。优选地,基础衬底3具有高于100或1,000Ω·cm、更优选高于3,000Ω·cm的高电阻率。因此,可以在基础衬底3中移动并因此影响衬底的RF性能的电荷、空穴或电子的密度受到限制。但是本发明不限于具有这种电阻率的基础衬底,并且当基础衬底具有几百Ω·cm或100Ω·cm以下量级的更一致的电阻率时,它也提供了有利的RF性能。

[0049] 出于可用性和成本的原因,基础衬底3优选地由硅制成,并且具体地由单晶硅制成。这可以是例如具有低间隙氧含量的CZ衬底,如公知的那样,其本身具有可以高于1,000Ω·cm的电阻率。基础衬底还可以由另一种材料制成:例如,这可以是蓝宝石、碳化硅、硅-锗、III-V族材料…。这也可以是更标准的单晶衬底CZ,其电阻率小于100Ω·cm。

[0050] 衬底1还包括在基础衬底3上并与之直接接触的单一碳层2,其厚度严格地在1nm至5nm的范围,并且优选地在1至3nm的范围。碳层2旨在限制如在前文中所回顾的绝缘体层下方的电阻率损失,该电阻率损失通常在绝缘体上硅类型的衬底的支撑体中观察到。

[0051] 在本发明的范围内,“碳层”是指仅由碳原子制成的层。这种原子在基础衬底3的厚度中在几个原子平面上的迁移或扩散,或者构成基础衬底3的原子在碳层2中在几个原子平面上的扩散,可导致形成富含碳但可能包含其它物质的层,特别是制成基础衬底的那些。

[0052] 非常令人惊奇的是,已经观察到,即使具有非常低的厚度,这种碳层2也非常有效

地改善了衬底1的RF性能,特别是限制或甚至完全避免了在其与绝缘体层4的界面处的支撑体9的电阻率的下降。例如,沉积在具有高于1,000Ω·cm的电阻率的基础衬底3上的3nm碳层2,可以使得当测量二次谐波失真参数时,与不具有碳层2的基底衬底相比,获得共面线的失真为20dBm的性能。在由SOITEC公司2016年3月公布的题为"White paper-RF SOI Characterisation"的文献中具体公开了这样的特性测量。

[0053] 这是由于此类层包括形成电荷载流子的陷阱的显著缺陷密度的事实。这种缺陷密度比由硅、硅-锗、碳化硅或任何其它材料制成的具有相同厚度的半导体材料的结晶或非晶层所能获得的缺陷密度高几个数量级。

[0054] 由于几纳米的极薄,与现有技术的由多晶和非晶材料制成的几微米厚的俘获层相比,碳层2也不复杂,并且制造成本低。

[0055] 如图1所示,衬底1包括直接位于碳层2上的绝缘体层4,衬底还包括位于绝缘体层4上并与之接触的器件层5。这两层的特性对于本发明不是必需的。例如,绝缘体层4可以由二氧化硅或氮化硅制成,或者包括二氧化硅或氮化硅。它也可以是这些材料的堆叠。绝缘体层4的厚度可以为10nm至10微米。器件层5通常由单晶硅制成,但是根据旨在形成在其中的RF器件的性质,它可以由任何其它材料制成,无论是否是半导电的。因此,为了形成声波器件,器件层5可以由绝缘体例如钽酸锂或铌酸锂制成。器件层的厚度可以为10nm至10微米。当器件由支撑体9承载时,可以在此类器件层5中形成器件,但是,如将在下面公开的,也可以在将该层添加到支撑体9上之前在该层中形成器件。显然,器件层是连续的,即它覆盖了衬底1的大部分主面,因此该衬底可以容纳高密度的组件。

[0056] 图2示意性地示出了本发明的衬底1的第二实施方式。

[0057] 第二实施方式的衬底1包括与第一实施方式的衬底1相同的基础衬底3、相同的碳层2、相同的绝缘体层4和相同的器件层5。为了简明起见,将不重复其描述,并且关于第一实施方式的衬底1的描述所做的相同的注释也将适用于第二实施方式的衬底1。

[0058] 如图2中容易看出的,衬底1还包括位于碳层2和绝缘体层4之间并与它们接触的粘结层7。

[0059] 这种粘结层7旨在便于制造衬底,这将在下面详细公开。它可以由非晶、多晶硅制成或由二氧化硅制成,但是也可以考虑其它材料。其对衬底的RF性能水平的可能影响是次要的。然而,应当注意,它不影响这样的性能。为此,其厚度和导电性将尽可能地受到限制。优选地,粘结层7具有小于10nm的厚度。当由半导体材料制成时,粘结层7具有小于10^{14}原子/立方厘米的掺杂浓度。它可以富含碳以便成为电阻性的。

[0060] 无论选择什么实施方式,衬底1在基础衬底3和绝缘体层2之间都不包含其它层,而是包含单一碳层2和必要时的粘结层7。RF性能(特别是位于绝缘体层2下面的平面中的支撑体9的电阻率)的水平基本上由碳层2提供。

[0061] 本发明的衬底1的优点在于,碳层2对衬底可能暴露于其中的热处理不敏感。它将不可能像现有技术中的多晶或非晶俘获层那样通过再结晶而失去其电荷俘获效应。因此,当基础衬底3和器件层5由硅制成时,衬底1可以在其制造过程中或者在器件层5中和其上形成RF器件的过程中暴露于高温,例如高达1,200℃。

[0062] 参考图3,现在描述根据本发明的示例性制造方法。

[0063] 一般而言,衬底1的制造包括制备基础衬底3以向其提供碳层2(并且可能提供粘结

层7)以形成支撑体9,以及在支撑体9上转移器件层5。

[0064] 基础衬底3的制备特别简单,并且可以利用标准设备工业来实现。将基础衬底3设置在传统的沉积室中,或者甚至设置在退火炉的腔室中,在该腔室中,气体可以循环以控制其气氛。如本身公知的,可以在沉积之前制备基础衬底3,以暴露于含碳的前体气体,例如以从其表面去除天然氧化物层。

[0065] 如图3a中示意性所示,然后在1000℃的温度下,优选大于1000℃的温度下,使腔室流入含碳的前体气体,例如C_3H_8,以将基础衬底3暴露于该前体气体中并形成碳层2。该前体气体可以包含例如甲烷(CH_4)、乙烷(C_2H_6)、丙烷(C_3H_8)、乙炔(C_2H_2)、乙烯(C_2H_4)等,或由其组成。在温度的影响下由前体气体释放的碳物质粘结到形成基础衬底3的暴露表面的原子物质。当该表面被碳浸透时,该反应可以被自然地中断,导致形成具有几个原子平面的厚度的碳层2,其严格地为1至5nm,并且甚至严格地为1至3nm。此种暴露的持续时间足以使得碳层覆盖基础衬底3的暴露表面,并且厚度严格地为1至5nm,或在1至3nm。暴露时间为几分钟,理想地且非限制性地在2至10分钟,并且在该时间段结束时,可以将包含碳的前体气体或其中断流从腔室中清除。如前所讨论的,碳原子可能在基础衬底2厚度中的一些原子平面中扩散,类似地,基础衬底的原子物质也可能迁移到所沉积的碳层中。在任何情况下,无论所形成的层的确切性质如何,都仅沉积碳原子以形成碳层2。

[0066] 在该步骤结束时,获得图3b中所示的支撑体9。该支撑体例如通过分子粘附而组装到源衬底8上。或者,为了这个目的,应该注意到碳层2的暴露表面不需要任何特别的平滑化处理,特别是抛光,因为事实上,在形成之后,其粗糙度直接小于5ARMS,而足够低以使其能够组装到源衬底8。还应该注意到,特别薄的碳层在支撑体9的整个表面上具有非常均匀的厚度。用较厚的层,特别是超过1或10微米的那些,不能获得这种均匀的厚度和这种低水平的粗糙度。当支撑体9经受热处理时,由于当厚层具有不同的热膨胀系数时在厚层中可能产生的应力的影响,支撑体9不可能变形。

[0067] 由于碳层2具有与源衬底8不同的性质,因此其表面需要也与源衬底8不同的制备。因此,为了简化制造方法,并且根据该方法的替代方案,本发明可以在碳层2上形成其表面可以被制备为像源衬底一样的粘结层7。例如,它可以是用具有相同或相似组成的化学物质清洁,由相同的设备分配。这种方法有助于低成本地制造衬底1。

[0068] 根据制造方法的替代方案,当期望在碳层2上形成粘结层7时,可以将第二前体气体引入到腔室中,作为富含碳的前体的替代或补充,并持续确定的时间,以沉积一定厚度的粘结材料。应注意沉积低厚度以便尽可能多地限制衬底1的制造时间和成本。例如,其范围可以从几十纳米至几百纳米。第二前驱气体可由SiH_4制成,以形成由多晶或非晶硅制成的粘结层。

[0069] 这种“原位”实施方式是特别有利的,因为它使得可以在单个步骤中并且在单个设备上将形成碳层2的步骤与制造粘结层7的粘结材料的沉积步骤相结合。但是,作为选择,可以在另一个设备(例如,可以沉积氧化硅材料的一台设备)上执行粘结材料的沉积。无论粘结材料的性质和将这种材料沉积在碳层2上的设备如何,都应注意将厚度限制在如上所述的几百纳米。然后,例如通过机械-化学抛光制备一定厚度的粘结材料,以使其表面足够光滑,小于5A RMS,以使其能够组装到源衬底8上。这在图3c中示出。这种平滑步骤导致粘结材料的厚度变薄,以提供粘结层7,其厚度优选地必须不超过10nm,以便不会过多地影响衬底

的RF性能。在完成该步骤后,如图3d所示,获得了包括粘结层7的支撑体9,其厚度不超过10nm,并且粘结层7直接位于碳层2上,其本身直接位于基础衬底3上。

[0070] 无论所选的支撑体9是否包括粘结层,器件层5的转移都是通过将源衬底8的表面组装到支撑体9上来执行的。源衬底可以包括RF器件或者其可以由没有器件的材料块形成。

[0071] 有利地,这种组装对应于通过彼此接触的衬底8和支撑体9的表面的分子粘附而结合。

[0072] 在组装步骤之前,转移可以包括在支撑体9上和/或在源衬底8上形成一定厚度的绝缘体的步骤。在组装之后,此种厚度或多个厚度形成绝缘体层4。当通过沉积形成绝缘体时,这样的沉积之后可以接着抛光步骤。这种绝缘体可以包括例如氧化硅或氮化硅。当源衬底由硅制成并且没有器件时,形成绝缘体层的步骤可以包括其氧化。图3e示出了设置有绝缘体层的源衬底8。将源衬底8与支撑体9组装导致将绝缘体层4放置在支撑体9和源衬底8之间,如图3f所示,此时支撑体9不包括粘结层时,以及如图3g所示,此时支撑体9包括粘结层7。

[0073] 为了加强这种组件,可以考虑将图3f和3g的结构暴露于热退火。在该方法中,退火步骤可以直接在组装步骤之后和/或在薄化步骤之后执行,这将在下文中公开。如上所述,这种退火可以包括将结构暴露于高温,而不会带来影响当制造方法完成时获得的衬底的RF性能的风险。

[0074] 在组装步骤之后,将供体衬底薄化以形成器件层5。

[0075] 薄化步骤可以通过物理和/或化学薄化逐渐减小源衬底的一部分厚度来执行。

[0076] 或者,这可以是根据Smart Cut™技术的原理在其与支撑体组装之前在源基底中预先形成的脆性平面处的断裂。

[0077] 薄化步骤后可以进行精整器件层5的步骤,以及抛光步骤、在还原或中性气氛下(在垂直、水平的烘箱中或在快速热处理设备中)热处理的步骤和牺牲氧化。

[0078] 在这种薄化和需要时的精整工序后,获得了本发明的衬底1,如图3h中所示,此时支撑体9不包括粘结层,并且如图3i中所示,此时支撑体9包括粘结层7。

[0079] 当源衬底8是简单的半导体衬底,即它不包括任何集成器件时,由此获得绝缘体上半导体类型的衬底,其中器件层5是空白半导体层。然后,该衬底可以用于形成集成器件,特别是射频集成电路。

[0080] 当源衬底8已经预先处理以在其表面形成集成器件时,当完成这种方法时,获得包括这种器件的器件层5。

[0081] 当然,本发明不限于所描述的实施方式,并且可以使用替代方案而不偏离如权利要求中所限定的本发明的范围。

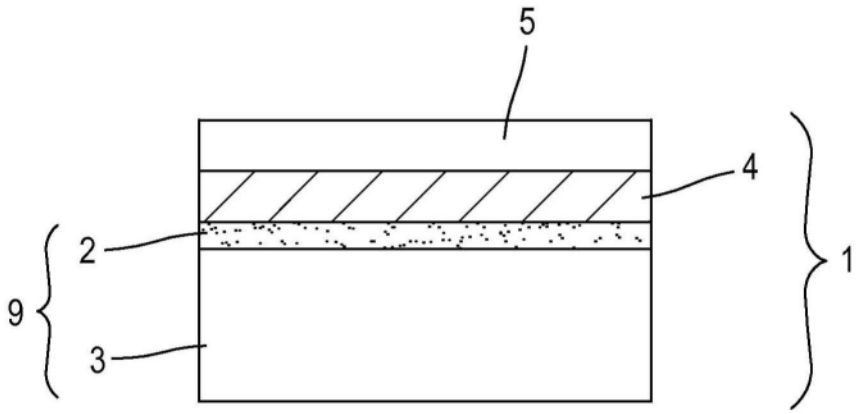


图1

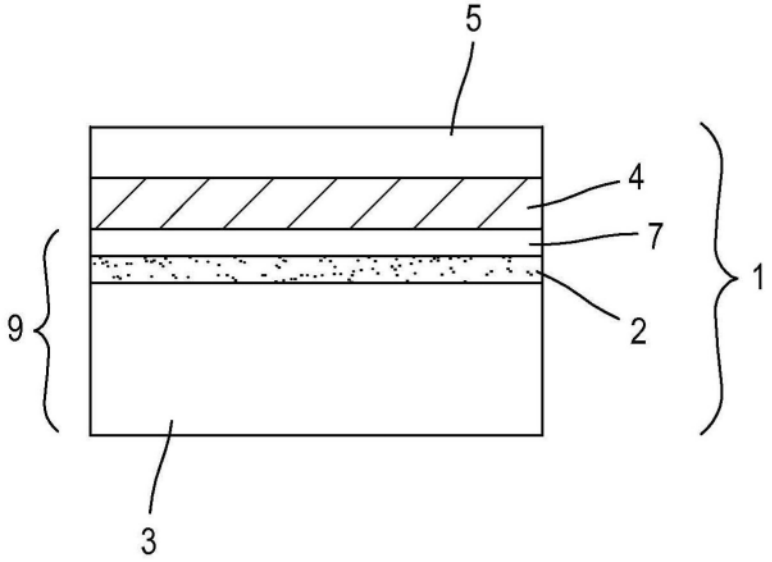


图2

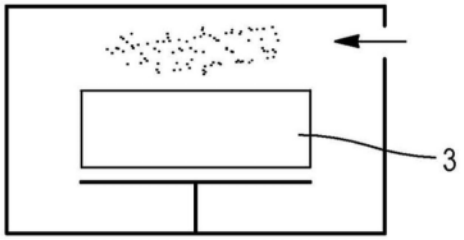


图3a

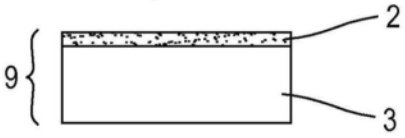


图3b

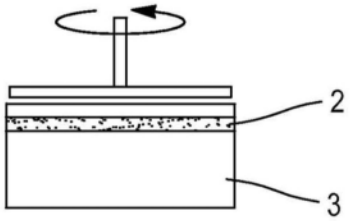


图3c

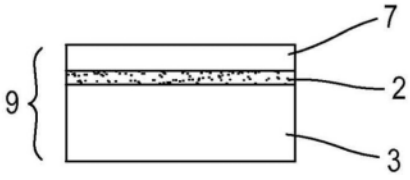


图3d

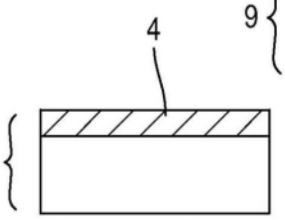


图3e

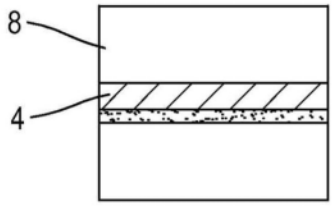


图3f

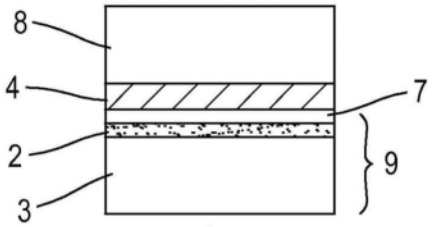


图3g

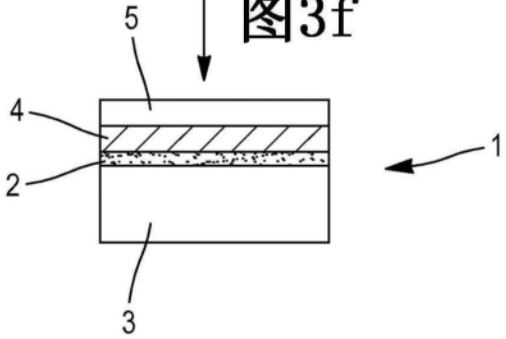


图3h

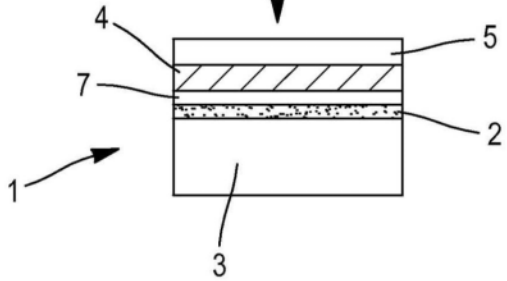


图3i