(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4971809号
(P4971809)

(45)発行日　平成24年7月11日(2012.7.11)　(24)登録日　平成24年4月13日(2012.4.13)

(51)Int.Cl.		F I		
G11C 19/28	(2006.01)	G11C	19/28	D
G11C 19/00	(2006.01)	G11C	19/00	J
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/20	622E

請求項の数 9　(全 18 頁)

(21)出願番号　特願2007-13531(P2007-13531)
(22)出願日　平成19年1月24日(2007.1.24)
(65)公開番号　特開2008-71468(P2008-71468A)
(43)公開日　平成20年3月27日(2008.3.27)
審査請求日　平成19年1月24日(2007.1.24)
(31)優先権主張番号　10-2006-0088093
(32)優先日　平成18年9月12日(2006.9.12)
(33)優先権主張国　韓国(KR)

前置審査

(73)特許権者　308040351
三星モバイルディスプレイ株式會社
Ｓａｍｓｕｎｇ　Ｍｏｂｉｌｅ　Ｄｉｓｐｌａｙ　Ｃｏ．，　Ｌｔｄ．
大韓民国京畿道龍仁市器興区農書洞山２４　Ｓａｎ　＃２４　Ｎｏｎｇｓｅｏ－Ｄｏｎｇ，Ｇｉｈｅｕｎｇ－Ｇｕ，Ｙｏｎｇｉｎ－Ｃｉｔｙ，Ｇｙｅｏｎｇｇｉ－Ｄｏ　４４６－７１１　Ｒｅｐｕｂｌｉｃ　ｏｆ　ＫＯＲＥＡ
(74)代理人　110000981
アイ・ピー・ディー国際特許業務法人
(72)発明者　鄭　鎭泰
大韓民国ソウル市江北区水踰５洞４０１－３８

最終頁に続く

(54)【発明の名称】シフトレジスタ及び有機電界発光表示装置

(57)【特許請求の範囲】

【請求項１】

スタートパルスの入力ラインに従属的に接続された複数のステージを具備するシフトレジスタにおいて：

前記各ステージは、

前記スタートパルスまたは以前段ステージの出力信号と、第２クロック信号ＣＬＫ２とに対応して第２出力ノードＮ２の電圧レベルを制御し、前記スタートパルスまたは以前段ステージの出力信号と、前記第２出力ノードＮ２の電圧レベルとに対応して第１出力ノードＮ１の電圧レベルを制御する電圧レベル制御部と；

前記第１出力ノードＮ１と第１クロック信号ＣＬＫ１の入力ラインの間に接続される制御キャパシタと；

前記第１出力ノードＮ１にゲート電極が接続され、ソース電極が第１電源ＶＤＤに接続され、ドレイン電極が第３出力ノードＮ３に接続される第１トランジスタと；

前記第２出力ノードＮ２にゲート電極が接続され、ソース電極が前記第３出力ノードＮ３に接続され、ドレイン電極が第３クロック信号ＣＬＫ３の入力ラインに接続される第２トランジスタと；

を含み、

前記第１トランジスタ及び第２トランジスタは、Ｐタイプトランジスタであり、

前記第１クロック信号、前記第２クロック信号、および前記第３クロック信号は、位相が順次に遅延された波形を持つことを特徴とする、シフトレジスタ。

【請求項２】
前記制御キャパシタは、ローレベルの前記第１クロック信号ＣＬＫ１が入力される時、前記第１出力ノードＮ１の電圧を所定の値低めることを特徴とする、請求項１に記載のシフトレジスタ。
【請求項３】
前記電圧レベル制御部は、
ゲート電極が前記第２クロック信号ＣＬＫ２の入力ラインに接続され、ソース電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ドレイン電極が前記第２出力ノードＮ２に接続される第３トランジスタと；
ゲート電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第４トランジスタと；
ゲート電極が前記第２出力ノードＮ２に接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第５トランジスタと；
を含み、
前記第３トランジスタ、第４トランジスタ、および第５トランジスタは、Ｐタイプトランジスタであることを特徴とする、請求項１に記載のシフトレジスタ。
【請求項４】
前記第２出力ノードＮ２と前記第３出力ノードＮ３との間に接続された第１キャパシタをさらに含むことを特徴とする、請求項１に記載のシフトレジスタ。
【請求項５】
前記第１電源ＶＤＤと前記第１出力ノードＮ１との間に接続された第２キャパシタと；
前記第１電源ＶＤＤと前記第２出力ノードＮ２との間に接続された第３キャパシタと；
をさらに含むことを特徴とする、請求項１に記載のシフトレジスタ。
【請求項６】
走査線及びデータ線に電気的に連結された複数の画素を含む画像表示部と；
前記走査線に順次に走査信号を印加するシフトレジスタを含む走査駆動部と；
前記データ線にデータ信号を印加するデータ駆動部と；
を含んで構成され、
前記シフトレジスタは、スタートパルスの入力ラインに従属的に接続された複数のステージを具備し；
前記各ステージは、
前記スタートパルスまたは以前段ステージの出力信号と、第２クロック信号ＣＬＫ２とに対応して第２出力ノードＮ２の電圧レベルを制御し、前記スタートパルスまたは以前段ステージの出力信号と、前記第２出力ノードＮ２の電圧レベルとに対応して第１出力ノードＮ１の電圧レベルを制御する電圧レベル制御部と；
前記第１出力ノードＮ１と第１クロック信号ＣＬＫ１との入力ラインの間に接続される制御キャパシタと；
前記第１出力ノードＮ１にゲート電極が接続され、ソース電極が第１電源ＶＤＤに接続され、ドレイン電極が第３出力ノードＮ３に接続される第１トランジスタと；
前記第２出力ノードＮ２にゲート電極が接続され、ソース電極が前記第３出力ノードＮ３に接続され、ドレイン電極が第３クロック信号ＣＬＫ３の入力ラインに接続される第２トランジスタと；
を含み、
前記第１トランジスタ及び第２トランジスタは、Ｐタイプトランジスタであり、
前記第１クロック信号、前記第２クロック信号、および前記第３クロック信号は位相が順次に遅延された波形を持つことを特徴とする、有機電界発光表示装置。
【請求項７】
前記制御キャパシタは、ローレベルの前記第１クロック信号ＣＬＫ１が入力される時、前記第１出力ノードＮ１の電圧を所定の値低めることを特徴とする、請求項６に記載の有

機電界発光表示装置。
【請求項８】
前記電圧レベル制御部は、
ゲート電極が前記第２クロック信号ＣＬＫ２の入力ラインに接続され、ソース電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ドレイン電極が前記第２出力ノードＮ２に接続される第３トランジスタと；
ゲート電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第４トランジスタと；
ゲート電極が前記第２出力ノードＮ２に接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第５トランジスタと；
を含み、
前記第３トランジスタ、第４トランジスタ、および第５トランジスタは、Ｐタイプトランジスタであることを特徴とする、請求項６に記載の有機電界発光表示装置。
【請求項９】
前記第２出力ノードＮ２と前記第３出力ノードＮ３との間に接続された第１キャパシタをさらに含むことを特徴とする、請求項６に記載の有機電界発光表示装置。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、シフトレジスタ及び当該シフトレジスタを利用した有機電界発光表示装置に関する。
【背景技術】
【０００２】
一般に、有機電界発光表示装置のような平板表示装置（又は、フラットパネルディスプレイ装置ともいう。）は、マトリックス状に配列される画素アレイを具備する。上記画素アレイは、複数の画素から構成され、上記画素は、例えば、データ線と走査線との交差部に形成される。
【０００３】
ここで、走査線はマトリックス画素アレイの水平ラインであり、シフトレジスタによって選択的に所定の走査信号の供給を受ける。
【０００４】
図１は、一般的なシフトレジスタの概略的な構成を示す説明図である。
【０００５】
図１を参照すると、シフトレジスタはスタートパルスＳＰの入力ラインに従属的に接続された複数のステージＳＴ１～ステージＳＴｎを具備する。
【０００６】
かかるステージＳＴ１～ステージＳＴｎは、クロック信号（図示せず。）の入力ラインから供給されるクロック信号に対応してスタートパルスＳＰまたは以前のステージ（以前段ステージともいう）の出力信号を順次シフトさせて出力信号ＳＳ１～ＳＳｎを発生する。
【０００７】
上記以前のステージの出力信号とは、あるステージが出力する出力信号であって、当該ステージが後続のステージに対して出力する出力信号をいう。かかる出力信号は、スタートパルスＳＰの代わりにステージＳＴ１～ステージＳＴｎのいずれかに入力される。
【０００８】
各ステージ（ステージＳＴ１～ステージＳＴｎ）から発生された出力信号ＳＳ１～出力信号ＳＳｎは走査線を通じて画素アレイに供給される。

【０００９】
【特許文献１】米国特許出願公開第２００５／０２１２７４６号明細書
【発明の開示】
【発明が解決しようとする課題】
【００１０】
しかし、上記シフトレジスタの設計においては、信頼性の高いシフトレジスタを提供することは勿論、電源線などの配線の数を減らして設計をより容易にしてデッドスペース（利用価値のないスペースなどをいう）を減少させる必要があった。
【００１１】
そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、信頼性が高く、設計を容易にし、デッドスペースを減少させることが可能な新規かつ改良されたシフトレジスタ及び当該シフトレジスタを利用した有機電界発光表示装置を提供することにある。
【課題を解決するための手段】
【００１２】
上記課題を解決するため、本発明の第１の観点によれば、スタートパルスの入力ラインに従属的に接続された複数のステージを具備するシフトレジスタにおいて：前記各ステージは、前記スタートパルスまたは以前段ステージの出力信号と、前記第２クロック信号ＣＬＫ２とに対応して第２出力ノードＮ２の電圧レベルを制御し、前記スタートパルスまたは以前段ステージの出力信号と、前記第２出力ノードＮ２の電圧レベルとに対応して第１出力ノードＮ１の電圧レベルを制御する電圧レベル制御部と；前記第１出力ノードＮ１と第１クロック信号ＣＬＫ１の入力ラインの間に接続される制御キャパシタと；前記第１出力ノードＮ１にゲート電極が接続され、ソース電極が第１電源ＶＤＤに接続され、ドレイン電極が第３出力ノードＮ３に接続される第１トランジスタと；前記第２出力ノードＮ２にゲート電極が接続され、ソース電極が前記第３出力ノードＮ３に接続され、ドレイン電極が第３クロック信号ＣＬＫ３の入力ラインに接続される第２トランジスタと；を含み、前記第１トランジスタ及び第２トランジスタは、Ｐタイプトランジスタであることを特徴とする、シフトレジスタが提供される。

【００１３】
かかる構成によれば、特に、設計をより容易にし、デッドスペースを減少させることができるという格別なる効果を発揮することができる。
【００１４】
好ましくは、上記制御キャパシタはローレベルの上記第１クロック信号ＣＬＫ１が入力される時、上記第１出力ノードＮ１の電圧を所定の値ほど低めることを特徴とする。
【００１５】
前記電圧レベル制御部は、ゲート電極が前記第２クロック信号ＣＬＫ２の入力ラインに接続され、ソース電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ドレイン電極が前記第２出力ノードＮ２に接続される第３トランジスタと；ゲート電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第４トランジスタと；ゲート電極が前記第２出力ノードＮ２に接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第５トランジスタと；を含み、前記第３トランジスタ、第４トランジスタ、および第５トランジスタは、Ｐタイプトランジスタであってもよい。

【００１９】
上記第１、第２及び第３クロック信号は位相が順次に遅延された波形を持つ。
【００２０】
上記第２出力ノードＮ２と上記第３出力ノードＮ３の間に接続された第１キャパシタを

さらに含む。

【００２１】

上記第１電源ＶＤＤと上記第１出力ノードＮ１の間に接続された第２キャパシタと、上記第１電源ＶＤＤと上記第２出力ノードＮ２の間に接続された第３キャパシタとをさらに含む。

【００２２】

上記課題を解決するために、本発明の別の観点によれば、走査線及びデータ線に電気的に連結された複数の画素を含む画像表示部と；前記走査線に順次に走査信号を印加するシフトレジスタを含む走査駆動部と；前記データ線にデータ信号を印加するデータ駆動部と；を含んで構成され、前記シフトレジスタは、スタートパルスの入力ラインに従属的に接続された複数のステージを具備し；前記各ステージは、前記スタートパルスまたは以前段ステージの出力信号と、前記第２クロック信号ＣＬＫ２とに対応して第２出力ノードＮ２の電圧レベルを制御し、前記スタートパルスまたは以前段ステージの出力信号と、前記第２出力ノードＮ２の電圧レベルとに対応して第１出力ノードＮ１の電圧レベルを制御する電圧レベル制御部と；前記第１出力ノードＮ１と第１クロック信号ＣＬＫ１との入力ラインの間に接続される制御キャパシタと；前記第１出力ノードＮ１にゲート電極が接続され、ソース電極が第１電源ＶＤＤに接続され、ドレイン電極が第３出力ノードＮ３に接続される第１トランジスタと；前記第２出力ノードＮ２にゲート電極が接続され、ソース電極が前記第３出力ノードＮ３に接続され、ドレイン電極が第３クロック信号ＣＬＫ３の入力ラインに接続される第２トランジスタと；を含み、前記第１トランジスタ及び第２トランジスタは、Ｐタイプトランジスタであることを特徴とする、有機電界発光表示装置が提供される。

【００２３】

好ましくは、上記制御キャパシタはローレベルの上記第１クロック信号ＣＬＫ１が入力される時、上記第１出力ノードＮ１の電圧を所定の値ほど低めることを特徴とする。

【００２４】

前記電圧レベル制御部は、ゲート電極が前記第２クロック信号ＣＬＫ２の入力ラインに接続され、ソース電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ドレイン電極が前記第２出力ノードＮ２に接続される第３トランジスタと；ゲート電極が前記スタートパルスまたは以前段ステージ出力信号の入力ラインに接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第４トランジスタと；ゲート電極が前記第２出力ノードＮ２に接続され、ソース電極が前記第１電源ＶＤＤに接続され、ドレイン電極が前記第１出力ノードＮ１に接続される第５トランジスタと；を含み、前記第３トランジスタ、第４トランジスタ、および第５トランジスタは、Ｐタイプトランジスタであってもよい。

【００２６】

上記第１、第２及び第３クロック信号は位相が順次に遅延された波形を持つ。

【００２７】

上記第２出力ノードＮ２と上記第３出力ノードＮ３の間に接続された第１キャパシタをさらに含む。

【発明の効果】

【００４３】

以上説明したように、本発明によれば、シフトレジスタに対し、電源線の配線を減少させて設計をより容易にしてデッドスペースを減少させることが可能となり、信頼性のある動作特性を得ることが可能となる。

【００４４】

また、シフトレジスタに具備されたトランジスタをすべてＰタイプで形成することで、画素アレイにＰタイプのトランジスタが含まれる能動型有機電界発光表示装置の製造工程

をより一層容易とすることが可能となる。
【発明を実施するための最良の形態】
【００４５】
以下、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。なお、以下の説明及び添付図面において、略同一の機能及び構成を有する構成要素については、同一符号を付することにより、重複説明を省略する。
【００４６】
（第１の実施形態）
まず、本発明の第１の実施形態にかかるシフトレジスタについて説明する。
【００４７】
図２は、本発明の第１の実施形態に係る有機電界発光表示装置の概略的な構成を示す説明図である。
【００４８】
図２を参照すると、第１の実施の形態に係る有機電界発光表示装置は、画像表示部１３０と、走査線Ｓ１～走査線Ｓｎを駆動するための走査駆動部１１０と、データ線Ｄ１～データ線Ｄｍを駆動するためのデータ駆動部１２０と、走査駆動部１１０及びデータ駆動部１２０を制御するためのタイミング制御部１５０と、を備えている。
【００４９】
上記画像表示部１３０は、複数の画素１４０を含み、当該画素１４０は、走査線Ｓ１～走査線Ｓｎ及びデータ線Ｄ１～データ線Ｄｍによって区画された領域に形成されている。
【００５０】
上記走査駆動部１１０は、タイミング制御部１５０からスタートパルスＳＰ及びクロック信号ＣＬＫなどが含まれた走査駆動制御信号ＳＣＳの供給を受けることで、走査信号を生成し、生成された走査信号を走査線Ｓ１～走査線Ｓｎに供給する。
【００５１】
このために、走査駆動部１１０はスタートパルスＳＰ及びクロック信号ＣＬＫに対応し順次に走査信号を生成してこれを走査線Ｓ１～走査線Ｓｎに印加するシフトレジスタを含んで構成される。
【００５２】
上記データ駆動部１２０は、タイミング制御部１５０からデータ駆動制御信号ＤＣＳ及びデータＤａｔａの供給を受けることで、データ信号を生成する。データ駆動部１２０により生成されたデータ信号は、上述の走査信号と同期されるようにデータ線Ｄ１～データ線Ｄｍに供給される。
【００５３】
上記タイミング制御部１５０は、外部から供給される同期信号に対応して走査駆動制御信号ＳＣＳ及びデータ駆動制御信号ＤＣＳを生成する。
【００５４】
タイミング制御部１５０により生成された走査駆動制御信号ＳＣＳは、走査駆動部１１０に供給され、データ駆動制御信号ＤＣＳはデータ駆動部１２０に供給される。
【００５５】
また、タイミング制御部１５０は、外部から供給されるデータＤａｔａをデータ駆動部１２０に供給する。
【００５６】
上記画像表示部１３０は、走査線Ｓ１～走査線Ｓｎ及びデータ線Ｄ１～データ線Ｄｍに電気的に連結された複数の画素１４０を含む。
【００５７】
各々の画素１４０は、外部から第１画素電源ＥＬＶＤＤ及び第２画素電源ＥＬＶＳＳに電圧が加えられることで、走査駆動部１１０及びデータ駆動部１２０から走査信号及びデータ信号の供給を受ける。
【００５８】

第１画素電源ＥＬＶＤＤ及び第２画素電源ＥＬＶＳＳと走査信号及びデータ信号の供給を受けた各画素１４０はデータ信号に対応される光を生成するが、光を生成する画素１４０については走査信号によって選択される。これによって画像表示部１３０は映像を表示することができる。

【００５９】

図３は、図２の走査駆動部１１０に備わるシフトレジスタの概略的な構成の一例を示すブロック図である。

【００６０】

図３を参照すると、第１の実施の形態に係るシフトレジスタは、スタートパルスＳＰの入力ラインに従属的に接続されると同時に３個のクロック信号ＣＬＫ１～クロック信号ＣＬＫ３の供給ライン各々と接続する複数のステージＳＴ１１～ステージＳＴ１ｎを具備する。

【００６１】

ここで、３個のクロック信号ＣＬＫ１～クロック信号ＣＬＫ３は、順次位相が遅延される形態で供給される。例えば、クロック信号ＣＬＫ１、クロック信号ＣＬＫ２、クロック信号ＣＬＫ３の順に位相が遅延されるが、かかる例に限定されない。

【００６２】

第１ステージＳＴ１１は、第１クロック信号ＣＬＫ１～第３クロック信号ＣＬＫ３に対応して自身に供給されるスタートパルスＳＰを１クロックほど位相遅延させて出力する。

【００６３】

第２ステージＳＴ１１～第ｎステージＳＴ１ｎは、第１クロック信号ＣＬＫ１～第３クロック信号ＣＬＫ３に対応して自身に供給される以前のステージ（以前段ステージともいう）ＳＴの出力信号ＳＳを１クロックほど位相遅延させて出力する。例えば、第２ステージＳＴ１２は、第１ステージＳＴ１１から伝送された出力信号ＳＳ１をさらに１クロック位相遅延させて後続の第３ステージＳＴ１３に出力する。その他のステージＳＴについても同様である。

【００６４】

このような駆動によって、各ステージＳＴ（ＳＴ１１～ＳＴ１ｎ）では順次位相遅延された出力信号ＳＳ１～出力信号ＳＳｎが発生されて、発生された出力信号ＳＳ１～出力信号ＳＳｎはそれぞれの走査線に順次供給される。

【００６５】

一方、図３では順次位相遅延された３個のクロック信号ＣＬＫ１～クロック信号ＣＬＫ３によって駆動されるシフトレジスタを示したが、かかる例に限定されず、例えば、シフトレジスタは順次位相遅延された４個のクロック信号によって駆動される場合でもよい。かかる場合、各々のステージＳＴは４個のクロック信号の中で３個のクロック信号のみを入力してもらってこれに対応する出力信号ＳＳを生成することもできる。

【００６６】

例えば、第１ステージＳＴ１１は第１、第３、及び第４クロック信号の入力を受けて、第２ステージＳＴ２は第１、第３、及び第４クロック信号が１クロックほど順次位相遅延された第２、第４、及び第１クロック信号の入力を受けることができる。そして、第３ステージＳＴ１３～第ｎステージＳＴ１ｎにも同じ方式で順次に１クロックほどずつ位相遅延された３個のクロック信号が入力されうる。

【００６７】

図４は、図３に示すステージの概略的な構成を示す回路図である。

【００６８】

図４を参照すると、図３に示すステージＳＴ１１～ステージＳＴ１ｎのうち任意のステージＳＴｉは電圧レベル制御部４１０と、第１トランジスタＭ１と、第２トランジスタＭ２と、第６トランジスタＭ６と、第１キャパシタＣ１～第３キャパシタＣ３とを含む。

【００６９】

電圧レベル制御部４１０は第１ノード（第１出力ノードＮ１）及び第２ノード（第２出

力ノードＮ２）の電圧レベルをハイレベルまたはローレベルに制御する。

【００７０】

より具体的には、電圧レベル制御部４１０は、スタートパルスＳＰまたは以前のステージの出力信号ＳＳｉ－１と、第２クロック信号ＣＬＫ２とに対応して第２ノードＮ２の電圧レベルを制御し、さらに電圧レベル制御部４１０は、スタートパルスＳＰまたは以前のステージの出力信号ＳＳｉ－１と第２ノードＮ２の電圧レベルとに対応して第１ノードＮ１の電圧レベルを制御する。なお、以前のステージの出力信号については、上述した通りである。

【００７１】

このために、電圧レベル制御部４１０はＰタイプトランジスタに設定された第３トランジスタＭ３～第５トランジスタＭ５をさらに含む。

【００７２】

第３トランジスタＭ３は、スタートパルスＳＰまたは以前のステージからの出力信号（以前段ステージ出力信号ともいう）ＳＳｉ－１の入力ラインと第２ノードＮ２の間に接続され、第３トランジスタＭ３のゲート電極は第２クロック信号ＣＬＫ２の入力ラインに接続される。

【００７３】

このような第３トランジスタＭ３は、自身のゲート電極にローレベルの第２クロック信号ＣＬＫ２が供給される時にターンオンされてスタートパルスＳＰまたは以前段ステージの出力信号ＳＳｉ－１を第２ノードＮ２に供給する。

【００７４】

第４トランジスタＭ４は、第１電源ＶＤＤと第１ノードＮ１の間にソース電極とドレイン電極が接続され、第４トランジスタＭ４のゲート電極はスタートパルスＳＰまたは以前段ステージ出力信号ＳＳｉ－１の入力ラインに接続される。

【００７５】

このような第４トランジスタＭ４は、自身のゲート電極にローレベルのスタートパルスＳＰまたは以前段ステージの出力信号ＳＳｉ－１が入力される時にターンオンされて第１電源ＶＤＤと第１ノードＮ１を電気的に連結する。

【００７６】

第５トランジスタＭ５は、第１電源ＶＤＤと第１ノードＮ１の間にソース電極とドレイン電極が接続されて、第５トランジスタＭ５のゲート電極は第２ノードＮ２に接続される。かかる第５トランジスタＭ５は、第２ノードＮ２の電圧レベルが所定値以下のロー値に下降する時にターンオンされて第１電源ＶＤＤと第１ノードＮ１を電気的に連結する。

【００７７】

このように、電圧レベル制御部４１０はスタートパルスＳＰまたは以前段ステージの出力信号ＳＳｉ－１と第２クロック信号ＣＬＫ２とに対応して第１ノードＮ１と第２ノードＮ２の電圧レベルを制御する。

【００７８】

第１トランジスタＭ１では、ハイレベル電圧源である第１電源ＶＤＤとステージＳＴｉの出力ラインと連結される第３ノード（第３出力ノードＮ３）の間にソース電極とドレイン電極が接続されて、第１トランジスタＭ１のゲート電極は第１ノードＮ１に接続される。

【００７９】

かかる第１トランジスタＭ１は、第１ノードＮ１の電圧レベルがローである時（すなわち、第１ノードＮ１の電圧値が第１トランジスタＭ１のソース電極の電圧値より小さい時）ターンオンされて第１電源ＶＤＤとステージＳＴｉの出力ラインを電気的に連結する。

【００８０】

第２トランジスタＭ２では、第３ノードＮ３と第３クロック信号ＣＬＫ３の入力ラインの間にソース電極とドレイン電極が接続されて、第２トランジスタＭ２のゲート電極は第２ノードＮ２に接続される。このような第２トランジスタＭ２は第２ノードＮ２の電圧レ

ベルがローである時にターンオンされてステージＳＴｉの出力ラインと第３クロック信号ＣＬＫ３の入力ラインを電気的に連結する。

【００８１】

すなわち、第２トランジスタＭ２がターンオンされれば、ステージＳＴｉの出力信号ＳＳｉの電圧レベルは第３クロック信号ＣＬＫ３の電圧レベルと同一になる。このような第１トランジスタＭ１及び第２トランジスタＭ２はすべてＰタイプトランジスタに設定される。

【００８２】

第６トランジスタＭ６は、第１ノードＮ１と第１電源ＶＤＤより低いローレベル電圧源である第２電源ＶＳＳの間にソース電極とドレイン電極が接続されて、第６トランジスタＭ６のゲート電極は、第１クロック信号ＣＬＫ１の入力ラインに接続される。

【００８３】

かかる第６トランジスタＭ６は第１クロック信号ＣＬＫ１の入力ラインにローレベルの第１クロック信号ＣＬＫ１が入力される時にターンオンされて第１ノードＮ１と第２電源ＶＳＳを電気的に連結する。ここで、第６トランジスタＭ６もＰタイプトランジスタに設定される。

【００８４】

第１キャパシタＣ１は、第２ノードＮ２と第３ノードＮ３の間に接続される。このような第１キャパシタＣ１は自身の両側端子間電位差に当たる所定の電圧値を充電することで、第２トランジスタＭ２の動作を安定化させる。

【００８５】

第２キャパシタＣ２は、第１電源ＶＤＤと第１ノードＮ１の間に接続される。そして、第３キャパシタＣ３は第１電源ＶＤＤと第２ノードＮ２の間に接続される。このような第２キャパシタＣ２及び第３キャパシタＣ３は第１電源ＶＤＤまたは第１ノードＮ１、第２ノードＮ２に印加される電圧の変動を減らす役目を遂行する。

【００８６】

前述のように任意のステージＳＴｉに具備されたトランジスタＭ１～トランジスタＭ６をすべて同じタイプで形成すれば、製造工程をより容易にすることができる。異なるタイプのトランジスタの場合、タイプに応じてトランジスタの位置を確認し誤りのないようにトランジスタを設置しなければならなかった。

【００８７】

特に、能動型有機電界発光表示装置のような平板表示装置では画素アレイにＰタイプのトランジスタが含まれるが、シフトレジスタのステージに具備されたトランジスタと画素アレイに含まれたトランジスタがすべて同じタイプに設定される場合、基板上に画素アレイを形成する工程を遂行しながら、同時にシフトレジスタを形成することができるようになるので、製造工程が単純化及び効率化される。

【００８８】

ただし、本実施の形態では、シフトレジスタが基板上に画素アレイとともに形成される場合に限定されず、シフトレジスタが半導体素子等のチップなどに内蔵されて画素アレイが形成された基板に実装される場合にも適用することができる。

【００８９】

一方、図４に示すステージＳＴｉでは第６トランジスタＭ６、第３トランジスタＭ３、及び第２トランジスタＭ２のいずれか一つの電極にそれぞれ第１クロック信号ＣＬＫ１、第２クロック信号ＣＬＫ２、及び第３クロック信号ＣＬＫ３が供給されたが、各ステージに入力される第１クロック信号ＣＬＫ１、第２クロック信号ＣＬＫ２、及び第３クロック信号ＣＬＫ３は、ステージごとに１クロック位ほどシフト（位相遅延）されて供給されうる。

【００９０】

例えば、図４に示すステージＳＴｉの後続のステージでは第６トランジスタＭ６、第３トランジスタＭ３、及び第２トランジスタＭ２のいずれか一つの電極にそれぞれ１クロッ

クほどシフトされた第２クロック信号ＣＬＫ２、第３クロック信号ＣＬＫ３、及び第１クロック信号ＣＬＫ１が供給されうる。

【００９１】

以下では、図４に示すステージＳＴｉの動作について、図５に示す入力信号／出力信号の波形を参照しながら、詳細に説明する。便宜上、トランジスタの閾値電圧などの要素は考慮しないことにする。

【００９２】

図５を参照すると、まず、最上段には以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）が図示されているが、ｔ１区間においてハイレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）が第３トランジスタＭ３のソース電極と第４トランジスタＭ４のゲート電極に供給される。

【００９３】

また、ローレベルの第１クロック信号ＣＬＫ１が第６トランジスタＭ６のゲート電極に供給されて、ハイレベルの第２クロック信号ＣＬＫ２及び第３クロック信号ＣＬＫ３が第３トランジスタＭ３のゲート電極と第２トランジスタＭ２のドレイン電極に供給される。

【００９４】

ここで、第１クロック信号ＣＬＫ１、第２クロック信号ＣＬＫ２、及び第３クロック信号ＣＬＫ３は、上述の通り、位相が順次遅延された波形を持つ信号である。これによって、第３トランジスタＭ３及び第４トランジスタＭ４は、ターンオフ状態を維持して、第６トランジスタＭ６はターンオンされる。

【００９５】

次に、第６トランジスタＭ６がターンオンされると、第１ノードＮ１には第２電源ＶＳＳの電圧が伝達される。よって、ｔ１区間において第１ノードＮ１にはロー値の電圧が充電、保持される。

【００９６】

この時、第１ノードＮ１の電圧がローレベルとなることによって第１トランジスタＭ１がターンオンされて第１電源ＶＤＤの電圧をステージＳＴｉの出力ラインに供給する。したがって、ステージＳｔｉから出力される出力信号ＳＳｉは、ｔ１区間ではハイ値を維持する。そして、ｔ１区間では、第２ノードＮ２に充電された電圧は何の変動なしにハイ値を維持する。

【００９７】

次に、ｔ２区間について説明すると、ローレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）が第３トランジスタＭ３のソース電極と第４トランジスタＭ４のゲート電極に供給される。

【００９８】

また、ハイレベルの第１クロック信号ＣＬＫ１が第６トランジスタＭ６のゲート電極に供給されて、ローレベルの第２クロック信号ＣＬＫ２とハイレベルの第３クロック信号ＣＬＫ３がそれぞれ第３トランジスタＭ３のゲート電極と第２トランジスタＭ２のドレイン電極に供給される。

【００９９】

すると、ローレベルの第２クロック信号ＣＬＫ２に対応して第３トランジスタＭ３がターンオンされ、これによって以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）のロー値が第２ノードＮ２に伝達されて第２ノードＮ２はロー値に充電、保持される。

【０１００】

また、ローレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）によって第４トランジスタＭ４がターンオンされることは勿論、第２ノードＮ２がロー値に充電されることによって（第２ノードＮ２の電圧がハイレベルからローレベルに下降することによって）第５トランジスタＭ５がターンオンされて第１ノードＮ１は第１電源ＶＤＤのハイレベル電圧に充電、保持される。

【０１０１】
第１ノードＮ１がハイ値に充電されることによって（第１ノードＮ１の電圧がローレベルからハイレベルに上昇することによって）、第１トランジスタＭ１はターンオフされて、第２ノードＮ２がロー値に充電されることによって第２トランジスタＭ２がターンオンされてハイレベルの第３クロック信号ＣＬＫ３がステージＳＴｉの出力ラインに出力信号ＳＳｉとして供給される。この時、第１キャパシタＣ１には第２トランジスタＭ２がターンオンされうる電圧が保存される。
【０１０２】
次に、ｔ３区間について説明すると、ハイレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）が、第３トランジスタＭ３のソース電極と第４トランジスタＭ４のゲート電極に供給される。
【０１０３】
また、ハイレベルの第１クロック信号ＣＬＫ１及び第２クロック信号ＣＬＫ２がそれぞれ第６トランジスタＭ６のゲート電極と第３トランジスタＭ３のゲート電極に供給されて、ローレベルの第３クロック信号ＣＬＫ３が第２トランジスタＭ２のドレイン電極に供給される。
【０１０４】
すると、ハイレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）と第１クロック信号ＣＬＫ１及び第２クロック信号ＣＬＫ２に対応して第３トランジスタＭ３、第４トランジスタＭ４、及び第６トランジスタＭ６がターンオフされる。
【０１０５】
また、以前の区間であるｔ２区間において、第１キャパシタＣ１に第２トランジスタＭ２をターンオンさせることが可能な電圧が保存されたので、第２トランジスタＭ２はターンオン状態を維持する。これによってステージＳＴｉの出力信号ＳＳｉの波形は第３クロック信号ＣＬＫ３の波形をそのまま維持するようになる。すなわち、ｔ３区間におけるステージＳＴｉの出力信号ＳＳｉはロー値を持つ。
【０１０６】
この時、第３クロック信号ＣＬＫ３がハイ値からロー値に変動することによって第２トランジスタＭ２のゲートソースの間キャパシタ（図示せず）のカップリング作用（ｃｏｕｐｌｉｎｇ）によって第２ノードＮ２はｔ２区間でのロー値よりさらに低いロー値に充電される。これによって（第２ノードＮ２の電圧がさらに下降することによって）、第５トランジスタＭ５がターンオンされて第１ノードＮ１はハイ値に充電される。
【０１０７】
次に、ｔ４区間について説明すると、ハイレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）が、第３トランジスタＭ３のソース電極と第４トランジスタＭ４のゲート電極に供給される。
【０１０８】
また、ハイレベルの第１クロック信号ＣＬＫ１、第２クロック信号ＣＬＫ２、及び第３クロック信号ＣＬＫ３がそれぞれ第６トランジスタＭ６のゲート電極、第３トランジスタＭ３のゲート電極、及び第２トランジスタＭ２のドレイン電極に供給される。
【０１０９】
すると、ハイレベルの以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）と第１クロック信号ＣＬＫ１及び第２クロック信号ＣＬＫ２に対応して第３トランジスタＭ３、第４トランジスタＭ４、及び第６トランジスタＭ６がターンオフ状態を維持する。
【０１１０】
また、第２トランジスタＭ２は、第１キャパシタＣ１の充電によってターンオン状態を維持し、これによってステージＳＴｉの出力信号ＳＳｉは第３クロック信号ＣＬＫ３の波形にしたがってハイ値を維持する。
【０１１１】

この時、第２トランジスタＭ２のゲートとソース間にあるキャパシタのカップリング作用によって第２ノードＮ２は、ｔ３区間でのロー値から所定値ほど上昇してｔ２区間における値と同一か、または、ｔ２区間における値とｔ３区間における値の中間レベルの値に充電される。これによって、第５トランジスタＭ５がターンオン状態を維持することで第１ノードＮ１はハイ値を維持する。

【０１１２】

ｔ４区間以後の区間では、以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）がハイレベルを維持するため、ステージＳＴｉの出力信号ＳＳｉもハイレベルを維持する。

【０１１３】

例えば、ｔ５区間においてローレベルの第２クロック信号ＣＬＫ２が供給されても、第３トランジスタＭ３を経由して供給される以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）はずっとハイレベルを維持するので、第２ノードＮ２をハイ値に充電させ、これによって第２ノードＮ２には第２トランジスタＭ２をターンオフさせる電圧が保存される。したがって、ｔ６区間において、ローレベルの第３クロック信号ＣＬＫ３が供給されても、第２トランジスタＭ２はターンオフ状態を維持してステージＳＴｉの出力信号ＳＳｉは第３クロック信号ＣＬＫ３の値に関係なくハイレベルを維持する。

【０１１４】

上述のような駆動によって、本実施の形態に係るシフトレジスタのステージＳＴは自身に入力される以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）を第１クロック信号ＣＬＫ１～第３クロック信号ＣＬＫ３に対応して１クロックほど位相遅延させて出力ラインに出力する。

【０１１５】

例えば、図５に示す以前段ステージ出力信号ＳＳｉ－１のローレベルのクロックタイミング（ｔ２区間）と、図５に示す出力信号ＳＳｉのローレベルのクロックタイミング（ｔ３区間）とを比較すると、略１クロック程度の位相遅延が生じている。

【０１１６】

（第２の実施形態）

図６は、第２の実施の形態に係るステージの概略的な構成を示す回路図である。

【０１１７】

図６を参照すると、第２の実施の形態に係る走査駆動部１１０´に備わるいずれかのステージＳＴｉ´は、電圧レベル制御部４１０と、制御キャパシタＣｃと、第１トランジスタＭ１と、第２トランジスタＭ２とを備えている。

【０１１８】

上記電圧レベル制御部４１０は、スタートパルスＳＰまたは以前段ステージの出力信号ＳＳｉ－１と第２クロック信号ＣＬＫ２に対応して第１ノード（第１出力ノードＮ１）と第２ノード（第２出力ノードＮ２）の電圧レベルを制御する。

【０１１９】

上記制御キャパシタＣｃは、図６に示すように、第１ノードＮ１と第１クロック信号ＣＬＫ１の入力ラインの間に接続されている。

【０１２０】

第１トランジスタＭ１は、図６に示すように、第１ノードＮ１にゲート電極が接続されて第１電源ＶＤＤと第３ノード（第３出力ノード、すなわち、上記ステージの出力ノード、Ｎ３）の間に接続されている。

【０１２１】

上記第２トランジスタＭ２は、図６に示すように、第２ノードＮ２にゲート電極が接続されて上記第３ノードＮ３と第３クロック信号ＣＬＫ３の入力ラインの間に接続されている。

【０１２２】

ここで、第１及び第２トランジスタＭ１、Ｍ２はＰタイプトランジスタに設定されて、

第１クロック信号ＣＬＫ１、第２クロック信号ＣＬＫ２、及び第３クロック信号ＣＬＫ３は位相が順次遅延された波形を持つ。

【０１２３】

そして、電圧レベル制御部４１０は、第３トランジスタＭ３と、第４トランジスタＭ４と、第１電源ＶＤＤと第１ノードＮ１の間に接続されてゲート電極が第２ノードＮ２に接続される第５トランジスタＭ５とを、さらに備える。なお、第３トランジスタＭ３～第５トランジスタＭ５もすべてＰタイプに設定される。

【０１２４】

上記第３トランジスタＭ３は、スタートパルスＳＰまたは以前段ステージ出力信号ＳＳｉ－１の入力ラインと、第２ノードＮ２との間に接続され、上記第３トランジスタＭ３のゲート電極は、第２クロック信号ＣＬＫ２の入力ラインに接続されている。

【０１２５】

上記第４トランジスタＭ４は、第１電源ＶＤＤと第１ノードＮ１の間に接続され、上記第４トランジスタＭ４のゲート電極は、スタートパルスＳＰまたは以前段ステージ出力信号ＳＳｉ－１の入力ラインに接続されている。

【０１２６】

かかる電圧レベル制御部４１０は、スタートパルスＳＰまたは以前段ステージ出力信号ＳＳｉ－１と、第２クロック信号ＣＬＫ２との変化に対応して第２ノードＮ２の電圧レベルを制御し、電圧レベル制御部４１０は、スタートパルスＳＰまたは以前段ステージ出力信号ＳＳｉ－１と、第２ノードＮ２の電圧レベルとの変化に対応して第１ノードＮ１の電圧レベルを制御する。

【０１２７】

また、ステージＳＴｉ´は、第２ノードＮ２と第３ノードＮ３の間に接続された第１キャパシタＣ１と、第１電源ＶＤＤと第１ノードＮ１の間に接続された第２キャパシタＣ２と、第１電源ＶＤＤと第２ノードＮ２の間に接続された第３キャパシタＣ３をさらに含む。

【０１２８】

かかる第２実施形態のステージＳＴｉ´で、電圧レベル制御部４１０と、第１トランジスタＭ１及び第２トランジスタＭ２と、第１キャパシタＣ１～第３キャパシタＣ３の構成及び動作は上述の第１実施形態に係るステージＳＴｉでの構成及び動作と実質的に同一なので、これに対しては同じ記号・符号を割り当て、詳細な説明を省略する。

【０１２９】

ただし、第２の実施形態に係るステージＳＴｉ´は、第１の実施形態に係るステージＳＴｉと比較して、ローレベル電圧源である第２電源ＶＳＳとは接続されていない点で、異なる。

【０１３０】

より具体的には、第２の実施形態に係るステージＳＴｉ´では、第１の実施形態に係る第６トランジスタＭ６が除去された代わりに、第１ノードＮ１と第１クロック信号ＣＬＫ１の入力ラインの間に接続される制御キャパシタＣｃが備わっている。なお、第６トランジスタＭ６は、第１ノードＮ１と第２電源ＶＳＳの間に接続され、第１クロック信号ＣＬＫ１がローレベルの時に第１ノードＮ１を第２電源ＶＳＳのローレベルの電圧で充電する。

【０１３１】

図６に示す制御キャパシタＣｃは、ローレベルの第１クロック信号ＣＬＫ１が入力される時に、特に第１クロック信号ＣＬＫ１がハイレベルからローレベルに下降する間、カップリング作用によって第１ノードＮ１の電圧を所定の値ほど低めたロー値で充電する役目を遂行する。

【０１３２】

これを詳しく説明すると、制御キャパシタＣｃは図５に示すような以前段ステージ出力信号ＳＳｉ－１（または、スタートパルスＳＰ）と、第１クロック信号ＣＬＫ１～第３ク

ロック信号ＣＬＫ３とが供給される時に、ローレベルの第１クロック信号ＣＬＫ１が供給されるｔ１区間においてカップリング作用により、第１ノードＮ１の電圧レベルをロー値に低める役目を遂行する。

【０１３３】

すなわち、制御キャパシタＣｃは、第１実施例にかかる第６トランジスタＭ６と同じ機能（ローレベルの第１クロック信号ＣＬＫ１が供給される時に、第１ノードＮ１とローレベル電圧源である第２電源ＶＳＳを電気的に連結させて第１ノードＮ１の電圧レベルをロー値に低める機能）を遂行する。第１の実施形態に係るステージとは違って、第２の実施の形態に係るステージは、第２電源ＶＳＳを要しない。

【０１３４】

ここで、第２の実施形態に係るステージＳＴｉ´の入力信号／出力信号の波形図は図５に示した入力波形／出力波形と実質的に同じため、第２の実施形態に係るステージＳＴｉ´の各区間における動作過程について詳細な説明は省略する。

【０１３５】

上述の第２実施形態に係るステージＳＴｉ´によれば、第２電源ＶＳＳをとり除くことで電源線を減少させることができる。これによって、回路の設計をより容易にすることができ、利用価値のないデッドスペースを減少させることができる。

【０１３６】

図７ａは、図６に示すステージＳＴｉ´を、図３に示すシフトレジスタに適用してシミュレーションするために設計した回路図である。そして、図７ｂは図７ａに示す回路をシミュレーションした結果を示す説明図である。

【０１３７】

図７ａ～図７ｂを参照すると、図６に示す第２の実施形態に係るステージＳＴｉ´を適用したシフトレジスタは、順次位相遅延される第１クロック信号ＣＬＫ１～第３クロック信号ＣＬＫ３に対応して、当該シフトレジスタに備わるステージＳＴｉ´自身に供給されるスタートパルスＳＰを信頼性のあるように順次位相遅延させ、出力信号ＯＵＴを出力することを確認することができる。

【０１３８】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例を想定し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【０１３９】

本発明は、シフトレジスタ及び当該シフトレジスタを利用した有機電界発光表示装置に適用可能である。

【図面の簡単な説明】

【０１４０】

【図１】一般的なシフトレジスタの概略的な構成を示す説明図である。

【図２】本発明の第１の実施形態に係る有機電界発光表示装置の概略的な構成を示す説明図である。

【図３】図２の走査駆動部１１０に備わるシフトレジスタの概略的な構成の一例を示すブロック図である。

【図４】図３に示すステージの概略的な構成を示す回路図である。

【図５】図４に示すステージの入力信号／出力信号の波形図である。

【図６】第２の実施の形態に係るステージの概略的な構成を示す回路図である。

【図７ａ】図６に示すステージＳＴｉ´を、図３に示すシフトレジスタに適用してシミュレーションするために設計した回路図である。

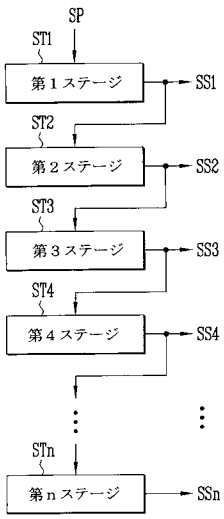
【図７ｂ】図７ａに示す回路をシミュレーションした結果を示す説明図である。

【符号の説明】

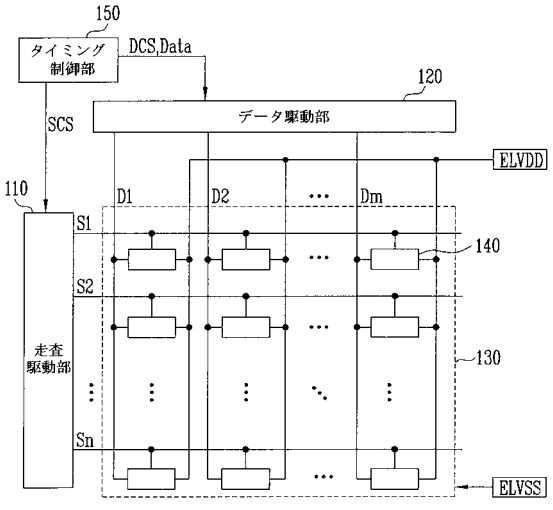
【０１４１】

１１０　　走査駆動部
１２０　　データ駆動部
１３０　　画像表示部
１４０　　画素
１５０　　タイミング制御部
４１０　　電圧レベル制御部
ＳＴ　　シフトレジスタのステージ

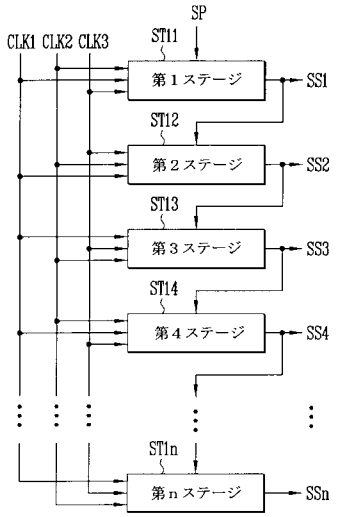
【図１】



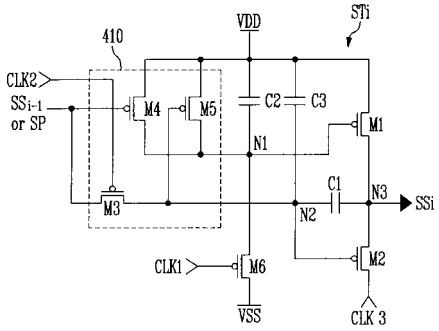
【図２】



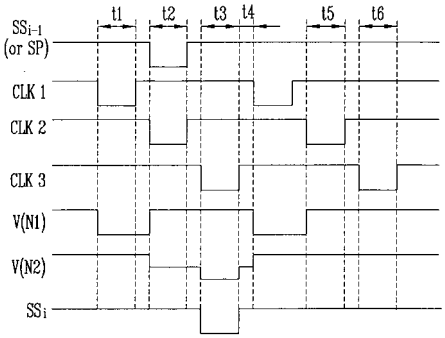
【図３】



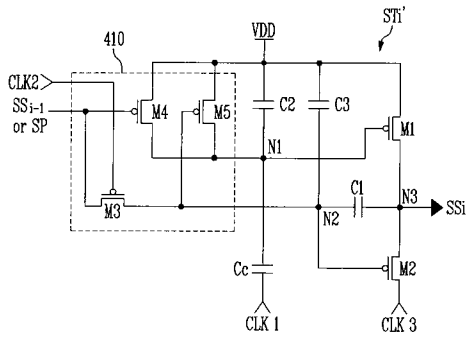
【図４】



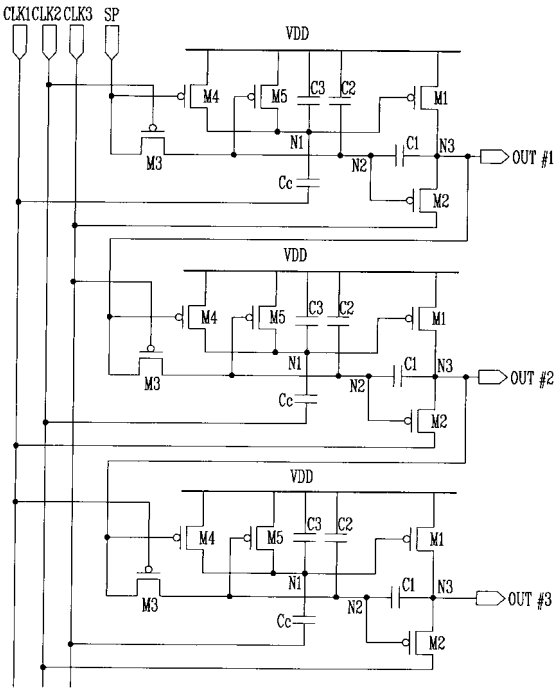
【図５】



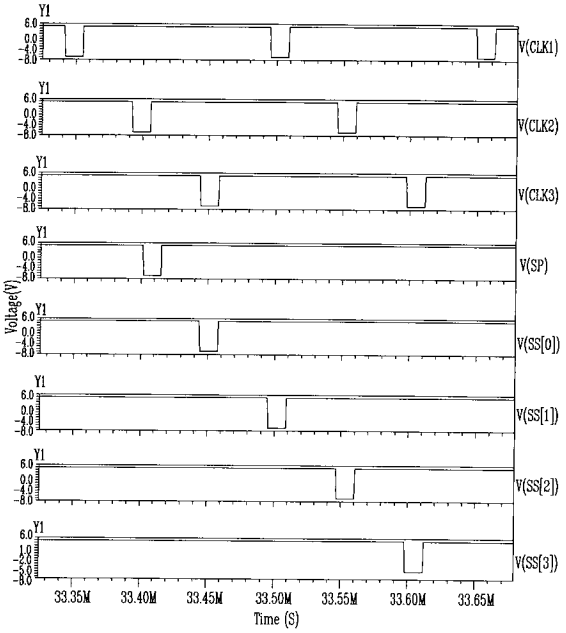
【図６】



【図７ａ】



【図７ｂ】


Y1
V(CLK1)
V(CLK2)
V(CLK3)
V(SP)
V(SS[0])
V(SS[1])
V(SS[2])
V(SS[3])
Voltage(V)
33.35M
33.40M
33.45M
33.50M
33.55M
33.60M
33.65M
Time (S)

フロントページの続き

審査官　堀田　和義

(56)参考文献　特開２００５－１４９６２４（ＪＰ，Ａ）
特開２０００－１５５５５０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１９／２８