



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I419327 B

(45)公告日：中華民國 102 (2013) 年 12 月 11 日

(21)申請案號：098114394

(22)申請日：中華民國 98 (2009) 年 04 月 30 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L27/108 (2006.01)

G11C11/40 (2006.01)

(30)優先權：2008/04/30 南韓

10-2008-0040888

(71)申請人：漢陽大學校 產學協力團 (南韓) INDUSTRY-UNIVERSITY COOPERATION
FOUNDATION HANYANG UNIVERSITY (KR)

南韓

(72)發明人：朴在勤 PARK, JEA-GUN (KR)；沈泰憲 SHIM, TAE-HUN (KR)；李坤燮 LEE, GON-SUB (KR)；金成帝 KIM, SEONG-JE (KR)；金太賢 KIM, TAE-HYUN (KR)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

US 5698869

US 2005/0062088A1

US 2006/0125010A1

US 2006/0266996A1

審查人員：王丕政

申請專利範圍項數：29 項 圖式數：23 共 0 頁

(54)名稱

無電容記憶體元件

CAPACITOR-LESS MEMORY DEVICE

(57)摘要

一種無電容記憶體元件，包含半導體基板；絕緣層，位於半導體基板上；儲存區域，形成於絕緣層之部分區域上；通道區域，位於儲存區域上，並且與儲存區域之間具有價帶能量差；閘極絕緣膜與閘極電極，依續形成於通道區域上；以及源極與汲極電極，與通道區域耦接，並且位於閘極電極兩側。如此一來，藉由將與通道區域之間具有不同價帶能量之儲存區域形成於通道區域的下方，可使困住於儲存區域之電荷不易跑出，因此可將電荷之保持時間增大，可提高資料之儲存功能。

A capacitor-less memory device is provided, including a semiconductor substrate; an insulation layer disposed on the semiconductor substrate; a storage region formed on a partial region on the insulation layer; a channel region disposed on the storage region and having a valence band gap in-between the storage region; a gate insulation film and a gate electrode sequentially formed on the channel region; and a source electrode and a drain electrode connected with the channel region and disposed on both side of the gate electrode. As a result, by forming a storage region having different valence bands in-between the channel region underneath the channel region, electric charges are held in the storage region such that the time of keeping the electric charges is increased and the function of storing data is improved.

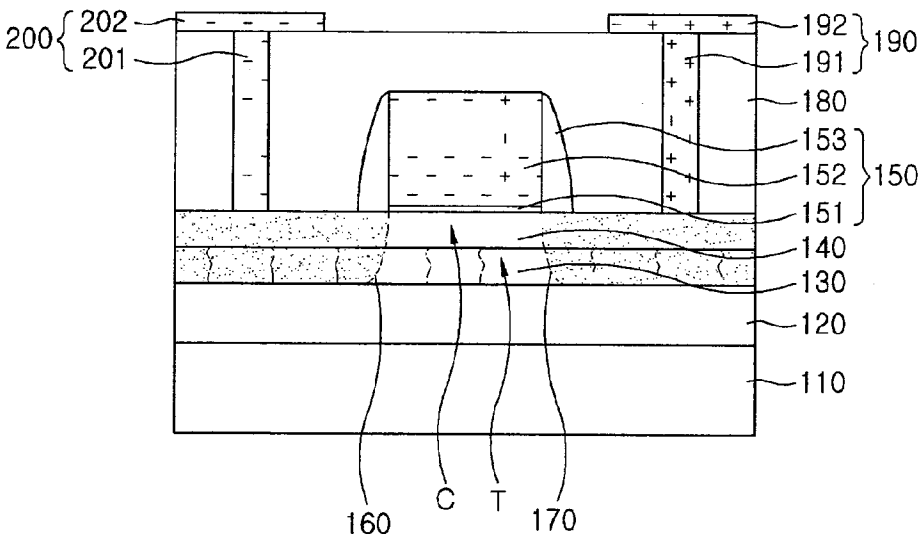


圖 1

- 110 . . . 半導體基板
- 120 . . . 絕緣層
- 130 . . . 儲存層、第一層
- 140 . . . 通道層、第二層
- 150 . . . 閘極電極區
- 151 . . . 閘極絕緣膜
- 152 . . . 閘極電極
- 153 . . . 間隙壁
- 160 . . . 源極電極區
- 170 . . . 汲極電極區
- 180 . . . 層間絕緣膜
- 190 . . . 第一配線區
- 191 . . . 第一接觸插塞
- 192 . . . 汲極電極
- 200 . . . 第二配線區
- 201 . . . 第二接觸插塞
- 202 . . . 源極電極
- C . . . 通道區域
- T . . . 儲存區域

31371.tif

為第98114394號中文說明書無劃線修正頁

修正日期:98年7月31日

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98114394

H01L 29/78 (2006.01)

※申請日：98.4.30

※IPC 分類：H01L 27/108 (2006.01)

一、發明名稱：(中文/英文)

G01L 11/40 (2006.01)

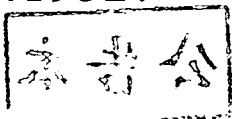
無電容記憶體元件 / CAPACITOR-LESS MEMORY
DEVICE

二、中文發明摘要：

一種無電容記憶體元件，包含半導體基板；絕緣層，位於半導體基板上；儲存區域，形成於絕緣層之部分區域上；通道區域，位於儲存區域上，並且與儲存區域之間具有價帶能量差；閘極絕緣膜與閘極電極，依續形成於通道區域上；以及源極與汲極電極，與通道區域耦接，並且位於閘極電極兩側。如此一來，藉由將與通道區域之間具有不同價帶能量之儲存區域形成於通道區域的下方，可使困住於儲存區域之電荷不易跑出，因此可將電荷之保持時間增大，可提高資料之儲存功能。

三、英文發明摘要：

A capacitor-less memory device is provided, including a semiconductor substrate; an insulation layer disposed on the semiconductor substrate; a storage region formed on a partial



region on the insulation layer; a channel region disposed on the storage region and having a valence band gap in-between the storage region; a gate insulation film and a gate electrode sequentially formed on the channel region; and a source electrode and a drain electrode connected with the channel region and disposed on both side of the gate electrode. As a result, by forming a storage region having different valence bands in-between the channel region underneath the channel region, electric charges are held in the storage region such that the time of keeping the electric charges is increased and the function of storing data is improved.

四、指定代表圖：

(一) 本案之指定代表圖：圖1

(二) 本代表圖之元件符號簡單說明：

110：半導體基板

120：絕緣層

130：儲存層、第一層

140：通道層、第二層

150：閘極電極區

151：閘極絕緣膜

152：閘極電極

153：間隙壁

160：源極電極區

170：汲極電極區

180：層間絕緣膜

190：第一配線區

191：第一接觸插塞

192：汲極電極

200：第二配線區

201：第二接觸插塞

202：源極電極

C：通道區域

T：儲存區域

31371pif

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種無電容記憶體元件，且特別是有關於一種不需形成電容器而可儲存電荷之記憶體元件。

【先前技術】

通常記憶體元件指的是，將一些資料可儲存與保管，並且在需要的時候可收取之元件。其記憶體元件之一個例子為動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM) 元件。DRAM 是由一電晶體與一電容器而組成之多數個單位記憶胞的集成。也就是說，基於單位記憶胞之電容器內電荷的充電與否，儲存一位元的資料。

近來，為了於相同的面積上能夠集成眾多個單位記憶胞來可儲存更多資料，因而可確保價格競爭力的研究正在進行中。而為了於相同的面積上能夠集成更多數的單位記憶胞，必須將組成單位記憶胞之電晶體與電容器的集成面積(即，大小)減少。但是，其存在著無法無限地將電晶體與電容器之面積減少的缺點。

如電晶體之面積減少的话，電容量(capacitance)也會減少。因此，為了維持電容器的電容量，必須將電容器之高度提高。即，舉例來說，如DRAM之設計規則為60nm時，電容器之高度為約1.6 μm 。如DRAM之設計規則降低為40nm時，電容器之高度會提高為約2.0 μm 。因此，如電容器之高度增加的话，將圓柱結構電容器之開口(hole)形成的時候，

由於縱橫比變大，會產生很難順利圖案化(patterning)之問題。並且，由於與鄰近電容器間之間隙壁會減少且電容器之高度會增加，導致電容器倒榻等之現象，故與鄰近電容器電性接觸之問題會產生。因此，如DRAM之設計規則降低為40nm以下時，很難適用於圓柱結構之電容器。

因此，近來隨著設計規則之降低，有關可刪除如上述產生眾多問題之DRAM元件的電容器，而可替代之元件形式的研究正在進行中。其中一個例子為，由一電晶體製作單位記憶胞的無電容記憶體元件(capacitor-less memory device)。無電容記憶體元件不使用從前之電容器，而將電荷充電於電晶體之矽本體。

如前述之無電容記憶體元件是，將比閘極大的電壓施加於電晶體之汲極時，藉由汲極之強電力場，產生碰撞離子化(impact ionization)，導致將電子轉移至汲極，但將電洞(hole)儲存於矽本體(即，電晶體下之矽層)。如所述之電洞(hole)的儲存，會導致臨界電壓之變化，因此汲極電流產生變化(其稱為扭轉效果(kink effect))。此時，藉由讀取汲極電流之變化，對記憶胞之位元資料的儲存與否進行判斷。

但是，從前的無電容記憶體元件是，由於將電洞(hole)儲存於形成源極與汲極電極之矽本體，隨著時間的經過，儲存於矽本體之電洞(hole)會漏洩至源極與汲極。因此，由於其會具有不充分之電洞(hole)保持時間，存在著將順暢的資料儲存功能降低的問題。

【發明內容】

因此，本發明所提供的一種無電容記憶體元件是，將可防止電荷之漏洩的儲存層形成於將電荷(即，電洞(hole)或電子)儲存之本體的一部份，因而可將電荷之保持時間增加，並且可將資料之儲存功能提高。

本發明所提供的一種無電容記憶體元件，包含半導體基板；絕緣層，位於半導體基板上；儲存區域(storage region)，形成於絕緣層上之部分區域上；通道區域(channel region)，位於儲存區域上，並且與儲存區域之間具有價帶能量差；閘極(gate)絕緣膜與閘極(gate)電極，依續形成於通道區域上；以及源極(source)與汲極(drain)電極，與通道區域耦接，並且位於閘極(gate)電極兩側。

並且，本發明所提供的，將電荷儲存於閘極電極下方區域之一種無電容記憶體元件，包含半導體基板；絕緣層，位於半導體基板上；儲存區域，形成於絕緣層上之至少部分區域上；通道區域，至少位於儲存區域上；閘極絕緣膜與閘極電極，至少依續形成於通道區域上；以及源極與汲極電極，至少與通道區域耦接，並且位於閘極電極兩側；其中，形成儲存區域與通道區域之材料為不同。

儲存區域與通道區域之間具有價帶能量差。

儲存於儲存區域之電荷是與形成於通道區域且構成通道之電荷具有不同的極性。

儲存區域內形成通道，並且，儲存於通道區域之電荷

是與形成於儲存區域且構成通道之電荷具有不同的極性。

儲存區域之帶隙小於通道區域之帶隙，而儲存區域之電子親和性小於通道區域之電子親和性。

儲存區域之帶隙可大於通道區域之帶隙，而儲存區域之電子親和性可大於通道區域之電子親和性。

儲存區域之價帶能量大於通道區域之價帶能量。

價帶能量差為0.1至1eV。

具有依續形成於絕緣層上的第一層與第二層，第二層上形成閘極絕緣膜與閘極電極，儲存區域形成於第一層內，通道區域形成於第二層內。

源極與汲極電極為至少在閘極電極兩側之第二層注入摻雜(非純物)離子而形成的。

第一層包括含Ge之材料，而第二層包括含Si之材料。

第一層包括SiGe系之材料，而第二層包括Si系之材料。

第一層與第二層中其中一層為應變(strained)層。

具有形成於絕緣層上之部分區域上的第一層，以及形成於絕緣層上之第一層的上面和側面上的第二層；第一層上側之第二層上形成閘極電極，儲存區域為第一層，通道區域至少形成於位於第一層上側之第二層內。

源極與汲極電極為至少在閘極電極兩側之第二層注入摻雜(非純物)離子而形成的。

第一層包括含Ge之材料，而第二層包括含Si之材料。

第一層包括SiGe系之材料，而第二層包括Si系之材料。

第一層與第二層中其中一層為應變層。

具有以島狀或條狀形成於絕緣層上之部分區域的第一層，以及形成於第一層之側壁與上部面上的第二層；閘極絕緣膜圍著第二層，閘極電極形成於第二層之側壁面區域的閘極絕緣膜上，儲存區域形成於與閘極電極重疊的第一層內，通道區域形成於與閘極電極重疊的第二層內。

源極與汲極電極為至少在閘極電極兩側之第二層注入摻雜(非純物)離子而形成的。

第一層包括含Ge之材料，而第二層包括含Si之材料。

第一層包括SiGe系之材料，而第二層包括Si系之材料。

第一層與第二層中其中一層為應變層。

具有以島狀或條狀形成於絕緣層上之部分區域的第一層，以及形成於第一層之側壁與上部面上的第二層；閘極電極圍著第二層的至少一部分，儲存區域形成於與閘極電極重疊的第一層內，通道區域形成於與閘極電極重疊之第二層內。

源極與汲極電極為至少在閘極電極兩側之第二層注入摻雜(非純物)離子而形成的。

第一層包括含Ge之材料，而第二層包括含Si之材料。

第一層包括SiGe系之材料，而第二層包括Si系之材料。

第一層與第二層中其中一層為應變層。

儲存區域包括含Ge之材料，而通道區域包括含Si之材料。

儲存區域包括應變含Ge層，而通道區域包括含Si層。

儲存區域包括鬆弛(relaxed)含Ge層，而通道區域包括應變含Si層。

儲存區域包括SiGe系之材料，而通道區域包括Si系之材料。

儲存區域包括應變SiGe層，而通道區域包括Si層。

儲存區域包括鬆弛SiGe層，而通道區域包括應變Si層。

SiGe系材料之Ge濃度介於10至95at%。

可進一步包含：層間絕緣膜，包含閘極電極，並且形成於整體結構上；以及第一配線與第二配線，貫穿層間絕緣膜之部分區域，並且與源極電極與汲極電極分別耦接。

藉由將施加於源極與汲極電極之源極與汲極電壓的位準進行分別控制，將充電於儲存區域之電荷量進行控制，而進行多位準驅動。

將閘極電壓與偏壓(bias)電壓分別施加於閘極電極與半導體基板，而閘極電壓與偏壓電壓之極性為相反。

將閘極電壓施加於閘極電極，將源極與汲極電壓分別施加於源極與汲極電極，且將偏壓電壓施加於半導體基板，並藉由將施加於閘極電極之閘極電壓以及施加於半導體基板之偏壓電壓進行控制，而進行多位元驅動。

將與偏壓電壓不同極性之閘極電壓施加於閘極電極而進行第一位元驅動，且將與第一位元驅動不同極性之閘極電壓與反偏壓電壓施加於閘極電極與半導體基板而進行第

98年7月31日修(更)正替換頁

31371pif

二位元驅動。

第二位元驅動中，反偏壓電壓之絕對值的大小為大於閘極電壓之絕對值的大小。

如上述，本發明藉由將與通道區域之間具有不同價帶能量的儲存區域形成於通道區域之下側，可將電荷困住(trap)於儲存區域內，因而將從前為了充電電荷所使用的電容器可省略。

並且，本發明藉由將儲存區域之價帶能量高於通道區域，可使困住於儲存區域之電荷不易跑出，因此，可將電荷之保持時間增加，因而可將資料之儲存功能提高。

並且，本發明藉由電荷保持時間的增加，可提高元件之信賴性。

並且，本發明藉由將電荷困住於儲存區域，可降低對反偏壓之依賴性。

並且，本發明藉由將施加於元件之電壓進行控制，可進行多位準記憶胞，且以單一記憶胞可執行多數位元。

【實施方式】

現在將參考所繪示的附圖來更詳細說明本發明之實施例。但是，本發明也可表現為許多其他形式，而不應受限於本文所列舉之範例。其中提供實施例之目的為，將本發明完整地揭露且使任何熟習此技藝者能夠完整地理解本發明之範疇。

在圖式中，為了清楚起見，層與區的尺寸被放大，且

相同符號功能於相同元件。而且，應理解的是，當提到一元件(如層、膜、區域、基板等)「位於」另一元件或層「之上」，既可表示此元件是直接「位於」另一元件或層「之上」，又可表示存在著介入元件。

圖1是依照本發明第一實施例所提供的一種無電容記憶體元件的截面圖。圖2至圖4是依照本發明第一實施例之第一至第三變形例所提供的一種無電容記憶體元件的截面圖。圖5是依照本發明第一實施例之其他例所提供的一種無電容記憶體元件的截面圖。圖6是依照本發明第二變形例之其他例所提供的一種無電容記憶體元件的截面圖。

如圖1繪示，依照本實施例所提供的一種無電容記憶體元件包含：半導體基板110；絕緣層120，位於半導體基板110上；第一層130與第二層140，依續形成於絕緣層120上；閘極電極區150，形成於第二層140上之部分區域上；以及源極160與汲極電極區170，分別形成於閘極電極區150兩側之第一層130與第二層140。其中，儲存區域T置於第一層130內，而通道區域C置於第二層140內。

並且，依照本實施例所提供的一種無電容記憶體裝置元件更包括：層間絕緣膜180，覆蓋閘極電極區150，並且形成於第二層140上側；以及第一配線區190與第二配線區200，貫穿層間絕緣膜180之一部分，並且與層間絕緣膜180下側之源極160、汲極電極區170直接耦接。第一配線區190經第一接觸插塞(contact plug)191與汲極電極區170耦接，而

98年7月31日修(更)正替換頁

31371pif

第二配線區200經第二接觸插塞201與源極電極區160耦接。其中，第一接觸插塞191與第二接觸插塞201包含：接觸窗洞(contact hole)，藉由將層間絕緣膜180之一部分進行除去，而將其下側之源極160與汲極電極區170的一部分露出；及導電性物質，充填於接觸窗洞內側。如此一來，本實施例所提供的無電容記憶體裝置元件不使用電容器，而可將配線區和源極160與汲極電極區170直接耦接。

半導體基板110可使用單一元素半導體基板或化合物半導體基板。半導體基板110可摻雜(doping)所定之(prescribed)雜質(非純物)。

絕緣層120可使用二氧化矽(silicon dioxide)膜層或氮化矽(silicon nitride)膜層。而在本實施例中，絕緣層使用二氧化矽膜。藉由對半導體基板110之一部份進行氧化處理，可製作二氧化矽膜。當然不限於此，藉由將離子(ion)注入之方式也可製作絕緣層120。

閘極電極區150包含：閘極絕緣膜151，形成於第二層140上側之部份區域；閘極電極152，形成於閘極絕緣膜151上；以及間隙壁(spacer)153，至少形成於閘極電極152之側面。此時，閘極絕緣膜151可製作成單層或多層。而在本實施例中，閘極絕緣膜151使用二氧化矽膜。當然不限於此，閘極絕緣膜151也可以使用低介電常數(low-k)絕緣性膜。閘極電極152可製作成單層或多層，且雖然在本實施例之圖中

無繪示，閘極電極152可包含：將非純物(舉例來說，N型或P型)摻雜(doping)之多晶矽(polysilicon)層；以及形成於多晶矽層上側之金屬層。並且如有需要，閘極電極152之一部分突出於第二層140之內側。所述閘極電極區150根據透過字元線(word line)(或閘極線；圖中無繪示)被施加之電壓，將形成於第二層140之通道進行控制。因此，閘極電極區150之形式不受限於所述說明，而為了控制通道，可表現為許多其他形式。

源極電極區160與汲極電極區170為，在閘極電極區150兩側之第一層130與第二層140注入摻雜(非純物)離子而形成的。在此，可將N型或P型離子使用為摻雜(非純物)離子。在本實施例中，藉由注入摻雜N型(非純物)，而形成源極電極區160與汲極電極區170。在此，將離子注入時，可注入輕度摻雜汲極(LDD, lightly doped drain)離子。當然不限於此，將位於閘極電極區150兩側之屬於源極電極區160與汲極電極區170的區域，不形成於第一層130與第二層140內，而藉由形成另一接面(junction)層(圖中無繪示)來形成源極電極區160與汲極電極區170。源極電極區160與汲極電極區170根據被施加之電壓，透過形成於第二層140之通道，將電子進行轉移。因此，源極電極區160與汲極電極區170之形式不受限於所述說明，而為了將電子轉移至通道，可表現為許多其他形式。

本實施例之第二層140為，利用與第一層130(其形成於

第二層之下方)之間的價帶能量(valence band energy)差，阻擋電荷(其儲存於儲存區域T內)(本實施例中，電洞(hole))之轉移的阻擋層，並且，在其部分區域內形成通道的層。在第二層140中，位於閘極電極區150下方以及源極電極160與汲極電極170之間的第二層140作為通道區域C。

本實施例之第一層130為，利用與第二層140(其形成於第一層之上方)之間的價帶能量差，其部分區域為儲存電荷之空間的層。在第一層130中，位於閘極電極區150下側之第二層140的下方以及源極電極區160與汲極電極區170之間的第一層130為儲存電荷之儲存區域T。也就是說，通道區域C之下側為儲存區域T。

如上述，藉由第一層130與第二層140之間的價帶能量差，形成能量壁(energy wall)。因此，由於能量壁，第一層130內部之電荷不易漏洩或消失。也就是說，將第一層130內之電荷保持時間可增加。此時，第一層130之價帶能量是高(或大)於第二層140之價帶能量時有效。

第一層130與第二層140之間的價帶能量差應為0.1至1eV以內之範圍。如能量差小於0.1eV，由於兩層間之能量壁變低，無法有效地阻擋電荷之漏洩。因此，能量差為大於0.1eV時有效。而且，如能量差大於1eV，由於能量壁太大，將電荷充電所需電壓會增加之問題會產生。

舉例來說，將Si使用為第二層140，將Ge使用為第一層130時之情況為如下：其中，Si之能量帶隙(energy band gap)

為 1.1eV，而電子親和性為 4.05eV；Ge 之能量帶隙為 0.65eV，而電子親和性為 3.9eV(真空位準(level)基準)。此時，將 Si 與 Ge 層接合時，由於兩個材料之能量帶隙差與電子親和性之差，兩個材料間會產生約 0.374eV 程度之價帶能量差(offset)。由於價帶能量差，在兩個材料之間產生井能障(well barrier)，而電荷被井能障所困住。

因此，將能量帶隙與電子親和性互不同之材料使用為第一層 130 與第二層 140 時有效。第一層 130 之能量帶隙與電子親和性是小於第二層 140 時更有效(真空位準基準)。

在此，由於 Si 與 Ge 之大的晶格常數(lattice constant)差，故無結晶上之缺陷地將兩個材料進行連續增長時，也許產生一些困難。SiGe 之帶隙與電子親和性比 Si 小，且擁有卓越的與 Si 之接合界面(interface)特性。因此，SiGe 層具有使用為第一層 130 之卓越特性。而且，根據 Ge 含量，SiGe 可容易控制所需特性。

前述之主要說明為，將電子轉移至第二層 140 之通道，將儲存於第一層 130 之電荷使用為電洞。但不限於此，將電洞可轉移至第二層 140 之通道，而將儲存於第一層 130 之電荷可使用為電子。在此種狀況下，前述之能量帶隙與電子親和性為可能相反。也就是說，第二層 140 之能量帶隙與電子親和性為可小於第一層 130 之能量帶隙與電子親和性(真空位準基準)。

在本實施例中，第二層 140 使用矽(Si)層，第一層 130 使

用矽鍺(SiGe)層。並且，在本實施例中，第一層130理想為使用應變SiGe(strained SiGe)層。為了如此，在本實施例中，準備第一Si基板，於第一Si基板上，例如以磊晶(epitaxial)形成應變SiGe層。接著，準備其表面已形成氧化膜之第二Si基板。接著，將第一Si基板之SiGe層與第二Si基板之氧化膜進行鍵結(bonding)。再來，將SiGe層上之第一Si基板的一部分進行劈開(cleavage)。如此一來，可製作於半導體基板上將絕緣層、應變SiGe層、以及Si層依續形成之變形SOI型態的素材。

如所述，利用與第二層140之間的價帶能量差，將電荷儲存於第一層130之內側的元件，不受限於所述說明，而可表現為許多其他形式。

也就是說，如圖2繪示，依照第一變形例所提供的一種無電容記憶體元件包含：第一層130，以島狀或條狀形成於絕緣層120上側之部份區域；第二層140，形成於第一層130之上側；源極電極區160與汲極電極區170，形成於第一層130與第二層140之側面；以及閘極電極區150，形成於第二層140之上側。如所述形式將第一層130形成的話，第一層130之全部為儲存區域T，而通道區域C形成於第二層140內且源極電極區160與汲極電極區170之間。

此時，第二層140以及源極電極區160與汲極電極區170為相同的材料層，而第一層130是其價帶能量為高於第二層140以及源極電極區160與汲極電極區170之材料為有效。如

此一來，可將電洞困住於第一層130之內側。在本變形例中，將Si層使用為第二層140，而將應變SiGe層使用為第一層130。因此，由於第一層130之至少三面被Si層圍著，可進一步增大電洞之保持特性。

為了製作如此結構，如所述實施例，將於半導體基板100上製作絕緣層120、應變SiGe層、及Si層依續形成之素材。接著，經利用罩幕(mask)之蝕刻(etching)工程，去除欲形成閘極電極區150之區域以外之部份的Si層與SiGe層。如此一來，殘留SiGe層與Si層於欲形成閘極電極區150之區域的絕緣層120之上。此時如有需要，可去除SiGe層上之Si層。當然，於半導體基板110上沉積絕緣層120與應變SiGe層後，經蝕刻工程，可去除欲形成閘極電極區150之區域以外之部份的應變SiGe層。

接著，於已圖案化(patterned)應變SiGe層之絕緣層120上增長Si層。如此一來，可製作成以Si層覆蓋應變SiGe層。接著，將閘極電極區150形成於應變SiGe層上。並且，注入摻雜(非純物)離子至閘極電極區150兩側之Si層，形成源極電極區160與汲極電極區170。

當然不限於此，準備已沉積絕緣層120與Si層之半導體基板110。接著，去除欲形成閘極電極區150之區域的Si層。接著，將SiGe層形成於已去除Si層之絕緣層120上後，將Si層形成於SiGe層上。此時，為了於絕緣層120上形成SiGe層，可利用另一晶種層(seed layer)進行選擇性蒸鍍，或者，

將其餘Si層上塗佈罩幕，可僅對所選擇區域進行選擇性蒸鍍。接著，將閘極電極區150形成於應變SiGe層上之Si層上，且注入摻雜(非純物)離子至閘極電極區150兩側之Si層，形成源極電極區160與汲極電極區170。

所述例中，應變SiGe層可以是壓縮應變(compressively strained) SiGe層。

並且，如圖3繪示之第二變形例，第一層130可使用張力鬆弛(tensile relaxed)的SiGe層，且第二層140可使用應變Si層。

為了如此，準備已形成漸進型SiGe層(Graded SiGe layer)與緩衝(buffer)SiGe層之第一Si基板。接著，準備其表面上已形成絕緣層之第二Si基板。接著，將第一Si基板之緩衝SiGe層與第二Si基板之絕緣層進行鍵結，且以緩衝SiGe層之一部分為基點進行劈開，將第一Si基板與第二Si基板進行分離(segregation)。如此一來，將絕緣層120與緩衝SiGe層(即，第一層130)形成於半導體基板110上。接著，於緩衝SiGe層上，例如以磊晶形成應變Si層(即，第二層140)。將閘極電極區150形成於應變Si層上，且注入摻雜(非純物)離子至閘極電極區150兩側之應變Si層與緩衝SiGe層，而形成源極電極區160與汲極電極區170。在此，通道區域C可形成於第二層140且源極電極區160與汲極電極區170之間的區域，而儲存區域T可形成於通道區域C下方之第一層130內。

當然不限於此，準備將絕緣層120與上側Si層已形成之

半導體基板110。接著，將應變SiGe層形成於上側Si層上。再來，經氧化工程，將應變SiGe層改變為鬆弛SiGe層，且將上側Si層進行氧化處理而形成絕緣層120。接著，去除SiGe層上形成之氧化膜。接著，應變Si層可形成於露出之SiGe層上。

並且，如圖4繪示之第三變形例，將第一層130以島狀或條狀製作，且將第二層140形成於其上側。此時，第一層130使用SiGe層，且至少將第一層130上側之第二層140製作成應變Si層。為了如此，可導用如前述的第二、三變形例之製作技術。由於使用應變Si層，將第二層140內之電子移動性會增加，故記憶體裕度(memory margin)與電荷保持時間可進一步增大。

在所述例中，應變Si層可以是張力應變(tensile strained)Si層。

並且，不受限於所述實施例與第二變形例，源極電極區160與汲極電極區170可形成於第二層140內。也就是說，如圖5繪示之其他實施例，由於離子僅注入至閘極電極區150兩側之第二層140區域，源極電極區160與汲極電極區170形成於第二層140區域內。而且，如圖6繪示之第二變形例之其他實施例，源極電極區160與汲極電極區170形成於閘極電極150兩側之第二層140。如此一來，源極電極區160與汲極電極區170可防止電荷之漏洩。

當然，本實施例與變形例之主要說明為，將Si與SiGe

使用為第二層140與第一層130。第二層140可由含Si系材料而形成，而第一層130可由含Ge系材料而形成。但不限於此，如前述，具有電子親和性與能量帶隙之差、以及價帶隙之差之很多不同的材料可被選擇。

上述結構之無電容記憶體元件的操作方法為如下。

圖7是說明依照第一實施例所提供的一種無電容記憶體元件之操作的概念圖。圖8與圖9是說明依照第一實施例所提供的一種無電容記憶體元件之操作的概念截面圖。

其中，圖8的(a)是說明寫入操作的概念截面圖。圖8的(b)是說明寫入資料"1"之元件之讀取操作的概念截面圖。圖9的(a)是說明消除操作的概念截面圖。圖9的(b)是說明寫入資料"0"(即，消除資料)之元件之讀取操作的概念截面圖。

如圖7繪示之N1線，一般記憶體元件之單位記憶胞的電壓電流是，隨著電壓之增加，電流會固定地增加後飽和(saturation)。但，如圖7之N2線，本實施例所說明之無電容記憶體元件是，由於扭折效應(kink effect)，隨著電壓之增加，其電流再增加之區段會產生。其原因是，將電荷(即，電洞)儲存於通道區域C下側之第一層130之故。並且，如圖7之N3線，如將電荷已儲存於第一層130時，其實電壓會變低，但顯示之電流與初期不同。因此，根據第一層130內電洞之儲存與否，電流之流量會變，而藉由其電流之流量差，將寫入至元件之資料進行判斷。

此時，為了將相當於"1"之資料寫入至該元件，將產生

扭折效應之電壓以上的寫入電壓施加至汲極電極區170，而為了以相當於”0”之資料進行消除，將消除電壓施加於汲極電極區170。並且，為了將寫入至元件之資料進行識別，將扭轉電壓與消除電壓間之讀取電壓進行施加。

舉例來說，如圖8與圖9繪示，將3V之電壓使用為寫入電壓，將-1V之電壓使用為消除電壓，將1.5V使用為讀取電壓時之情況為如下。

首先，如圖8的(a)繪示，為了進行寫入操作，對閘極電極區150施加2V之電壓，對源極電極區160施加接地(grounding)電壓GND，對汲極電極區170施加3V。此時，如圖8的(a)繪示，電洞會儲存於第一層130。並且，由於第一層130與第二層140間之能量差，儲存於第一層130之電洞被困住(trap)於第一層130內。接著，如圖9的(a)繪示，為了進行消除操作，對閘極電極區150施加2V之電壓，對源極電極區160施加接地電壓GND，對汲極電極區170施加-1V。此時，如圖9的(a)繪示，電洞不會儲存於第一層130。

接著，如圖8的(b)與圖9的(b)繪示，為了進行讀取操作，對閘極電極區150施加2V之電壓，對源極電極區160施加接地電壓GND，對汲極電極區170施加1.5V。此時，如圖8的(b)繪示，電洞被困住於第一層130時(即，寫入資料”1”時)，將如圖7繪示之寫入資料”1”狀態的電流會流動。相反地，如圖9的(b)繪示，電洞未困住於第一層130時(即，寫入資料”0”時)，將如圖7繪示之寫入資料”0”狀態的電流會流動。其原

因是如同前述，如電洞被困住於第一層130時，由於元件之臨界電壓產生變化，更多電流會流動。

如此一來，第一層130內之電洞被第一層130與第二層140間之能量帶差所困住。因此，與無形成第一層130之從前的結構相較，第一層130內電洞之保持時間可大幅增大。並且，第一層130皆可適用於充分空乏(Full Depletion)與部分空乏(Partial depletion)結構。而在本實施例中，藉由將反偏壓(back bias)施加於半導體基板，可將電洞之保持時間進一步增大。也就是說，由於施加之反偏壓抓住電洞，將第一層130內電洞之保持時間可增大。而且，與無形成第一層130之從前的充分空乏(Full Depletion)結構相較，可施加更小的反偏壓(back bias)電壓。

並且，依照本實施例所提供的一種無電容記憶體元件是，根據施加於源極電極區160與汲極電極區170之電壓，可執行多位準(multi-level)驅動。

圖10是說明依照第一實施例所提供的一種無電容記憶體元件之多位準操作的概念截面圖。

如圖10繪示，將施加於閘極電極區150之閘極電壓VG與反偏壓電壓VB維持固定的狀態下，藉由將施加於源極電極區160之源極電壓VS與施加於汲極電極區170之汲極電壓VD進行控制，可執行多位準驅動。此是因為，與只使用Si層之從前的結構相較，本實施例第一層130內所充電之電荷量會多出100倍以上之故，因此藉由以源極電壓將充電至第

一層130之電荷量進行控制，可執行多位準驅動(參考圖12)。

舉例來說，對閘極電極區150施加2V之閘極電壓VG，對源極電極區160施加接地電壓($GND = 0V$)，對汲極電極區170施加-1V之汲極電壓VD，並施加-2V之反偏壓VB時，將會流動第一位準之汲極電流D0。並且，對閘極電極區150施加2V之閘極電壓VG，施加-2V之反偏壓VB，對源極電極區160施加0V之源極電壓VS，對汲極電極區170施加3V之汲極電壓VD時，將會流動與第一位準不同之第二位準的汲極電流D1。而且，對閘極電極區150施加2V之閘極電壓VG，施加-2V之反偏壓VB，對源極電極區160施加0.5V之源極電壓VS，對汲極電極區170施加3V之汲極電壓VD時，將會流動與第一、二位準不同之第三位準的汲極電流D2。再者，對閘極電極區150施加2V之閘極電壓VG，施加-2V之反偏壓VB，對源極電極區160施加1V之源極電壓VS，對汲極電極區170施加3V之汲極電壓VD時，將會流動與第一、二、三位準不同之第四位準的汲極電流D3。也就是說，將汲極電壓固定，將源極電壓從0V持續增加的話，所充電之電荷量會減少，而將比源極電壓高的汲極電壓進行施加的話，將充電至儲存區域之電荷被消除，因此，根據源極電壓與汲極電壓之變化，可將會流動不同大小之汲極電流。

以下表1為前述之整理：

【表 1】

狀態	VG	VD	VS	VB
D0	2V	-1V	0V	-2V
D1	2V	3V	0V	-2V
D2	2V	3V	0.5V	-2V
D3	2V	3V	1V	-2V

在前述說明中，將0V、0.5V與1V之電壓使用為源極電壓VS。但不限於此，也可將更多位準之電壓使用為源極電壓。而且，雖然將-1V與3V使用為汲極電壓，但可將比源極電壓低位準之第一汲極電壓或比源極電壓高位準之電壓使用為汲極電壓。

並且，依照本實施例所提供的一種無電容記憶體元件可進行多位元(multi-bit)操作。

圖11是說明依照第一實施例所提供的一種無電容記憶體元件之多位元操作的概念截面圖。

如圖11繪示，藉由將閘極電壓VG與反偏壓電壓VB進行變化，可執行第一位元操作與第二位元操作。並且，在各位元操作中，藉由將汲極電壓VD進行變化，可改變其輸出狀態。

舉例來說，對閘極電極區150施加2V之閘極電壓VG，對源極電極區160將接地電壓GND施加為源極電壓VS，而施

加-2V之反偏壓VB的狀態下，對汲極電極區170將3V與-1V各施加為汲極電壓VD，而執行第一位元之操作(參考圖11(a))。

並且，對閘極電極區150施加-2V之閘極電壓VG，對源極電極區160施加接地電壓GND，而施加20V之反偏壓VB的狀態下，將汲極電極區170將3V與-1V各施加為汲極電壓VD，而可執行第二位元之操作(參考圖11(b))。

也就是說，將與偏壓電壓不同極性之電壓施加為閘極電極的閘極電壓，而執行第一位元之操作；將與第一位元之操作不同極性的閘極電壓和偏壓電壓施加於閘極電極與半導體基板，而可執行第二位元之操作。在此，在執行第二位元操作時，偏壓電壓之絕對值應大於閘極電壓之絕對值。

如所述實施例與變形例，本發明所提供的一種無電容器(cap-less)記憶體元件是至少形成第一層130，其利用與通道層(其位於閘極電極區150下側之第二層140下)間之價帶能量差而儲存電荷(即，電洞)。如此一來，不僅電荷之保存量，保持時間也可增大。

圖12是依照第一實施例，顯示通道層與儲存層間之價帶能量差以及根據其價帶能量差之電洞濃度的圖式。

圖12之A1線是，如同本實施例將Si層使用為第二層140，將SiGe層使用為第一層130時，顯示價帶能量之變化的圖式。圖12之B1線是不區份第一層130與第二層140而製

作單一Si層時，顯示價帶能量變化的比較例的圖式。而圖12之A2線是將Si層使用為第二層140，將SiGe層使用為第一層130時，顯示電洞濃度的分佈表。圖12之B2線是顯示單一Si層內電洞濃度的分佈表。

如圖12繪示，B1線未形成能量壁。而至於價帶A1線，能量不同之Si層(即，第二層140)與SiGe層(即，第一層130)之間形成能量壁。如此一來，包含Si層與SiGe層之狀況(參考圖12之A2線)與包含單一Si層之狀況(參考圖12之B2線)相較，其具有更高的電洞濃度(約100倍以上)。其原因是如前述，由於Si層與SiGe層間形成能量壁，使SiGe層內之電洞不易跑出。

本實施例中，藉由控制第一層130內之Ge濃度，可控制能量壁之大小(即，第一層130與第二層140之間之價帶能量差)。

圖13是依照第一實施例，根據儲存層內之Ge濃度，顯示價帶能量差的圖式。

圖13之C1線是不形成SiGe層(即，第一層130)而形成單一Si層時，顯示價帶能量的比較例的圖式。圖13之C2線是SiGe層(即，第一層130)內之Ge濃度為30at%時，顯示價帶能量的圖式。C3線是Ge濃度為60at%時，顯示價帶能量的圖式。C4線是Ge濃度為90at%時，顯示價帶能量的圖式。

如圖13之表顯示，隨著第一層130內之Ge濃度的增加，第一層130與第二層140間之能量差會變大。能量差越大，

可困住更多量之電洞，因此可提升元件之保持(retention)特性。並且，不僅可提升記憶體裕度(memory margin)，藉由閘極誘導汲極洩漏(Gate-Induced Drain Leakage；GIDL)可抑制保持時間之降低。在此，第一層130內之Ge濃度應維持為95at%以下。當然，Ge濃度應維持為90at%以下。並且，第一層130內之Ge的濃度應維持為10at%以上。如Ge濃度低於此，由於第一層130與第二層140間之價帶能量差變小，無法有效地困住電洞之問題會產生。當然，Ge濃度應維持為20at%以上。在此，隨著Ge濃度，第一層130與第二層140間的界面特性會改變。因此，應維持於所述範圍內。但，第一層130內之Ge濃度為100at%也可行。

圖14是依照第一實施例與變形例，說明記憶體裕度(memory margin)的圖式。圖15是依照第一實施例與變形例，說明電洞保持時間的圖式。

圖14與圖15之表中所稱的”比較例”指的是，未形成第一層130之結構。而所稱的”實施例”與”第一至第三變形例”指的是，前述圖1至圖4之結構。在此，實施例與第一至第三變形例為，將第一層130內之Ge濃度設定為50at%，而檢測出之記憶體裕度與電洞保持時間。圖14是根據反偏壓，檢測出之記憶體裕度與電洞保持時間。圖15是施加-5V之反偏壓時，檢測出之記憶體裕度與電洞保持時間。此時，電晶體之W/L為1/1 μ m。而且，於常溫(約25度)檢測出的值。

如圖14之表顯示，與未形成第一層130之比較例相較，

形成第一層130之實施例以及第一至第三變形例的記憶體裕度會增大。也就是說，第三變形例具有約2.6倍之記憶體裕度。

並且，如圖15之表顯示，與未形成第一層130之比較例相較，形成第一層130之實施例以及第一至第三變形例的電洞保持時間會增大。也就是說，第三變形例之589msec是與比較例相較，具有約2倍之電洞保持時間。

並且，如圖14之表顯示，將施加於元件之反偏壓電壓隨著負方向增加時，記憶體裕度與記憶胞之保持時間會增大。尤其，實施例與第二變形例對反偏壓電壓的依賴性不高。

如此一來，本發明所提供的無電容記憶體元件是，利用第一層130將電洞困住，故可增大電洞之保持時間，且可提高記憶體裕度。

並且，本實施例之無電容記憶體元件是，根據第一層130之Ge濃度，記憶體裕度、價帶能量差、及電荷之保持時間可改變。

圖16是依照第三變形例，根據儲存層內之Ge濃度，顯示記憶體裕度與價帶能量差的圖式。圖17是依照第三變形例，隨著儲存層內之Ge濃度，顯示電荷保持時間的圖式。

此時，圖16與圖17為，將Si之厚度為約50nm、將SiGe之厚度為約40nm而製作的狀況下，將SiGe層內之Ge濃度從0at%增加至80at%，而檢測出之記憶體裕度與電荷保持時間

的圖式。檢測時施加的反偏壓電壓為-5V。

圖16之圓點D1為，根據Ge濃度，顯示記憶體裕度的值。如圓點顯示，隨著Ge濃度之增加，記憶體裕度會增大。在此，Ge濃度為0at%與其濃度增加至80at%相較，記憶體裕度會增大約4倍。並且，圖16之D2線為，根據Ge濃度，顯示Si層與SiGe層間之價帶能量差的圖式。如D2線顯示，隨著Ge濃度之增加，兩層間之價帶能量差會增大。並且，圖17之D3線為，在25度之溫度下，根據Ge濃度而檢測出之電荷保持時間的圖式。而D4線為，在85度下，根據Ge濃度而檢測出之電荷保持時間的圖式。如D3與D4線顯示，隨著Ge濃度之增加，電荷保持時間會增加。並且，在25度之溫度下，Ge濃度為約70at%以上時，電荷保持時間為1秒以上。也就是說，Ge濃度為0at%時，電荷保持時間為約285msec，但Ge濃度為80at%時，電荷保持時間為1228msec，其增大了約4倍。

本實施例之無電容記憶體元件，可降低在讀取電壓下對反偏壓之依賴性。

圖18是依照第一實施例所提供的一種無電容記憶體元件，顯示汲極電壓之電流變化的圖式。圖19是依照比較例提供的一種無電容記憶體元件，顯示汲極電壓之電流變化的圖式。

圖18與圖19是，將0V、-1V、-2V、-3V、-4V、以及-5V各施加為反偏壓電壓，而檢測出之汲極電壓-電流變化的顯

示表。圖18與圖19之VB0是將0V施加為反偏壓電壓，VB1是-1V，VB2是-2V，VB3是-3V，VB4是-4V，以及VB5是施加-5V時之電壓電流變化的顯示表。圖18是基於本發明實施例之結構，將第一層130內之Ge濃度設定為30at%、將第二層140之厚度製作為20nm、將第一層130之厚度製作為70nm時的表。圖19之比較例是，未形成第一層130而僅形成約90nm厚度之Si層的無電容器記憶體元件之電壓電流變化的側量表。

圖19之比較例顯示，根據反偏壓電壓，在相同的電壓下，電流之變化量為約12 μ A。但圖18本發明之實施例顯示，根據反偏壓電壓，在相同的電壓下，電流之變化量為9 μ A，與變形例相較減少了2/3倍。本實施例之無電容記憶體元件與變形例相較，其對反偏壓電壓之依賴性比較低。

並且，依照第二與第三變形例之無電容記憶體元件，藉由將應變Si層使用為第一層130上側之第二層140，可增大通道區域C之電子移動性。

並且，依照本實施例之無電容記憶體元件之結構是，不受限於所述實施例以及第一至第三變形例，而可表現為許多其他形式。

圖20至圖23是依照第四至第七變形例提供的無電容記憶體元件的繪示。

如圖20繪示，依照第四變形例提供的無電容記憶體元件是，於基板110上將絕緣層120、第一層130與第二層140

依續形成。而且，將第二層140之部份區域會凹陷(recess)，而於凹陷區域之上側形成閘極電極區150。而且，將源極電極160與汲極電極區170形成於凹陷區域之兩側上部(即，閘極電極區150兩側)。如此一來，閘極電極區150之部份區域可往第二層140之內側凸出延長。並且，源極電極區160與汲極電極區170可位於第二層140之上側區域。

並且，如圖21繪示，依照第五變形例提供之無電容記憶體元件進一步包括：耦接層131，將絕緣層120之一部份進行除去，將第一層130與半導體基板110耦接之。藉由耦接層131，由半導體基板110將第一層130進行增長，於絕緣層120上側可形成第一層130。為了如此，於半導體基板110之上側形成絕緣層120。接著，將絕緣層120之一部份進行蝕刻，形成將露出半導體基板110之一部份的凹槽。接著，經蒸鍍工程而形成第一層130，但先於凹槽內側形成耦接層131後持續進行蒸鍍而形成第一層130。如此一來，不需另外進行鍵結或劈開工程，於絕緣層120上可形成包含SiGe之第一層130。

並且，如圖22繪示，依照第六變形例提供的無電容記憶體元件，具有以條狀或島狀形成於絕緣層120上側之部分區域的第一層130，以及圍著第一層130之至少三面的第二層140，以及圍著第二層140的閘極絕緣膜151。並且，為了與絕緣層120和閘極絕緣膜151連接，於第二層140之側壁面區域形成閘極電極152。而且，藉由對閘極電極152兩側之

第一層130與第二層140內注入離子之方式，形成源極電極層160與汲極電極層170。如此一來，可簡化元件之結構，也可降低元件之高度。加上，由於以第二層140圍著第一層130，可增大第一層130內之電荷儲存功能。

並且，如圖23繪示，依照第七變形例提供的無電容記憶體元件，具有以條狀或島狀形成於絕緣層120上側之部分區域的第一層130，以及圍著第一層130的第二層140。並且，於第二層140之部分區域上，將圍著第二層140之至少三面之閘極絕緣膜151以及閘極電極152依續形成。而且，藉由對閘極電極152兩側之第一層130與第二層140內注入離子之方式，形成源極電極區160與汲極電極區170。如此一來，製作成以閘極電極152圍著第二層140之形狀，可擴大通道之長度與截面積。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖1是依照本發明第一實施例所提供的一種無電容記憶體元件的截面圖。

圖2至圖4是依照本發明第一實施例之第一至第三變形例所提供的一種無電容記憶體元件的截面圖。

圖5是依照本發明第一實施例之其他例所提供的一種

無電容記憶體元件的截面圖。

圖6是依照本發明第二變形例之其他例所提供的一種無電容記憶體元件的截面圖。

圖7是說明依照第一實施例所提供的一種無電容記憶體元件之操作的概念圖。

圖8與圖9是說明依照第一實施例所提供的一種無電容記憶體元件之操作的概念截面圖。

圖10是說明依照第一實施例所提供的一種無電容記憶體元件之多位準操作的概念截面圖。

圖11是說明依照第一實施例所提供的一種無電容記憶體元件之多位元操作的概念截面圖。

圖12是依照第一實施例，顯示通道層與儲存層間之價帶能量差以及根據其價帶能量差之電洞濃度的圖式。

圖13是依照第一實施例，根據儲存層內之Ge濃度，顯示價帶能量差的圖式。

圖14是依照第一實施例與變形例，說明記憶體裕度(memory margin)的圖式。

圖15是依照第一實施例與變形例，說明電洞保持時間的圖式。

圖16是依照第三變形例，隨著儲存層內之Ge濃度，顯示出記憶體裕度與價帶能量差的圖式。

圖17是依照第三變形例，隨著儲存層內之Ge濃度，顯示出電荷保持時間的圖式。

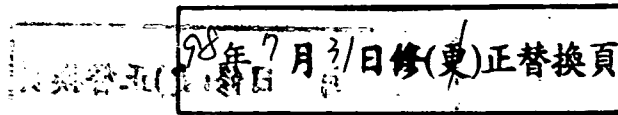
圖18是依照第一實施例所提供的一種無電容記憶體元件，顯示汲極電壓之電流變化的圖式。

圖19是依照比較例提供的一種無電容記憶體元件，顯示汲極電壓之電流變化的圖式。

圖20至圖23是依照第四至第七變形例提供的一種無電容記憶體元件的繪示。

【主要單元符號說明】

- 110：半導體基板
- 120：絕緣層
- 130：儲存層、第一層
- 131：耦接層
- 140：通道層、第二層
- 150：閘極電極區
- 151：閘極絕緣膜
- 152：閘極電極
- 153：間隙壁
- 160：源極電極區
- 170：汲極電極區
- 180：層間絕緣膜
- 190：第一配線區
- 191：第一接觸插塞
- 192：汲極電極
- 200：第二配線區



31371pif

201：第二接觸插塞

202：源極電極

C：通道區域

T：儲存區域

七、申請專利範圍：

1. 一種無電容記憶體元件，包含：

一半導體基板；以及

一絕緣層，位於該半導體基板上；以及

一儲存區域，形成於該絕緣層之部分區域上；以及

一通道區域，位於該儲存區域上，並且與該儲存區域之間具有價帶能量差；以及

一閘極絕緣膜與一閘極電極，依續形成於該通道區域上；以及

一源極與一汲極電極，與該通道區域耦接，並且位於該閘極電極兩側，

其中藉由將施加於該源極與該汲極電極之一源極與一汲極電壓的位準進行分別控制，將充電於該儲存區域之電荷量進行控制，而進行多位準驅動；

其中將一閘極電壓與一偏壓電壓分別施加於該閘極電極與該半導體基板，而該閘極電壓與該偏壓電壓之極性為相反。

2. 一種無電容記憶體元件，包含：

一半導體基板；以及

一絕緣層，位於該半導體基板上；以及

一儲存區域，形成於該絕緣層之部分區域上；以及

一通道區域，至少位於該儲存區域上；以及

一閘極絕緣膜與一閘極電極，依續形成於該通道區域

上；以及

一源極與一汲極電極，至少與該通道區域耦接，並且位於該閘極電極兩側區域；其中

形成該儲存區域與該通道區域之材料為不同，

其中藉由將施加於該源極與該汲極電極之一源極與一汲極電壓的位準進行分別控制，將充電於該儲存區域之電荷量進行控制，而進行多位準驅動；

其中將一閘極電壓與一偏壓電壓分別施加於該閘極電極與該半導體基板，而該閘極電壓與該偏壓電壓之極性為相反。

3. 如申請專利範圍第2項所述之無電容記憶體元件，其中該儲存區域與該通道區域之間具有價帶能量差。

4. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，其中儲存於該儲存區域之電荷是與形成於該通道區域之電荷具有不同的極性。

5. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，其中該儲存區域內形成通道，並且，儲存於該通道區域之電荷是與形成於該儲存區域且構成通道之電荷具有不同的極性。

6. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，其中，電子在所述通道區域移動，該儲存區域之帶隙為小於該通道區域之帶隙，而該儲存區域之電子親和性為小於該通道區域之電子親和性。

7. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，其中，電洞在所述通道區域移動，該儲存區域之帶隙為大於該通道區域之帶隙，而該儲存區域之電子親和性為大於該通道區域之電子親和性。

8. 如申請專利範圍第1項或第3項所述之無電容記憶體元件，其中該儲存區域之價帶能量為大於該通道區域之價帶能量。

9. 如申請專利範圍第1項或第3項所述之無電容記憶體元件，其中該價帶能量差為0.1至1eV。

10. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，更包括：

依續形成於該絕緣層上的一第一層與一第二層，

該第二層上形成該閘極絕緣膜與該閘極電極，

該儲存區域形成於該第一層內，

該通道區域形成於該第二層內。

11. 如申請專利範圍第10項所述之無電容記憶體元件，其中該源極與該汲極電極為至少在該閘電極兩側之該第二層注入摻雜(非純物)離子而形成的。

12. 如申請專利範圍第10項所述之無電容記憶體元件，其中該第一層包括含Ge之材料，而該第二層包括含Si之材料。

13. 如申請專利範圍第10項所述之無電容記憶體元件，其中該第一層包括SiGe系之材料，而該第二層包括Si系之材

料。

14. 如申請專利範圍第10項所述之無電容記憶體元件，其中該第一層與第二層中其中一層為應變(strained)層。

15. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，更包括：

形成於該絕緣層上之部分區域上的一第一層，以及形成於該絕緣層上之該第一層的上面和側面上的一第二層；

該第一層上側之該第二層上形成該閘極電極，該儲存區域為該第一層，該通道區域至少形成於位於該第一層上側之該第二層內。

16. 如申請專利範圍第15項所述之無電容記憶體元件，其中該源極與該汲極電極為至少在該閘電極兩側之該第二層注入摻雜(非純物)離子而形成的。

17. 如申請專利範圍第15項所述之無電容記憶體元件，其中該第一層包括含Ge之材料，而該第二層包括含Si之材料。

18. 如申請專利範圍第15項所述之無電容記憶體元件，其中該第一層包括SiGe系之材料，而該第二層包括Si系之材料。

19. 如申請專利範圍第15項所述之無電容記憶體元件，該第一層與第二層中其中一層為應變層。

20. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，更包括：

以島狀或條狀形成於該絕緣層上之部分區域的一第一層，以及形成於該第一層之側壁與上部面上的一第二層；

該閘極絕緣膜圍著該第二層，該閘極電極形成於該第二層之側壁面區域的該閘極絕緣膜上，

該儲存區域形成於與該閘極電極重疊的該第一層內，

該通道區域形成於與該閘極電極重疊的該第二層內。

21. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，更包括：

以島狀或條狀形成於該絕緣層上之部分區域的一第一層，以及形成於該第一層之側壁與上部面上的一第二層；

該閘電極至少圍著該第二層的部分，

該儲存區域形成於與該閘電極重疊的該第一層內，

該通道區域形成於與該閘電極重疊之該第二層內。

22. 如申請專利範圍第1項或第2項所述之無電容記憶體元件，其中該儲存區域包括SiGe系之材料，而該通道區域包括Si系之材料。

23. 如申請專利範圍第22項所述之無電容記憶體元件，其中該儲存區域包括應變SiGe層，而該通道區域包括Si層。

24. 如申請專利範圍第22項所述之無電容記憶體元件，其中該儲存區域包括鬆弛SiGe層，而該通道區域包括應變Si層。

25. 如申請專利範圍第22項所述之無電容記憶體元件，其中該SiGe系材料之Ge濃度介於10至95at%。

26. 如申請專利範圍第1項或第2項所述之無電容記憶體元件更包含：一層間絕緣膜，覆蓋該閘極電極，並且形成於整體結構上；以及一第一配線與一第二配線，貫穿該層間絕緣膜之部分區域，並且分別與該源極電極與該汲極電極耦接。

27. 一種無電容記憶體元件，包含：

一半導體基板；以及

一絕緣層，位於該半導體基板上；以及

一儲存區域，形成於該絕緣層之部分區域上；以及

一通道區域，位於該儲存區域上，並且與該儲存區域之間具有價帶能量差；以及

一閘極絕緣膜與一閘極電極，依續形成於該通道區域上；以及

一源極與一汲極電極，與該通道區域耦接，並且位於該閘極電極兩側；

其中將一閘極電壓施加於該閘極電極，將一源極與一汲極電壓分別施加於該源極與該汲極電極，且將一偏壓電壓施加於該半導體基板，並藉由將施加於該閘極電極之該閘極電壓以及施加於該半導體基板之該偏壓電壓進行控制，而進行多位元驅動；

將與該偏壓電壓不同極性之一閘極電壓施加於該閘極電極而進行一第一位元驅動，且將與該第一位元驅動不同極性之該閘極電壓與一反偏壓電壓施加於該閘極電極與該半

導體基板而進行一第二位元驅動。

28. 一種無電容記憶體元件，包含：

一半導體基板；以及

一絕緣層，位於該半導體基板上；以及

一儲存區域，形成於該絕緣層之部分區域上；以及

一通道區域，至少位於該儲存區域上；以及

一閘極絕緣膜與一閘極電極，依續形成於該通道區域上；以及

一源極與一汲極電極，至少與該通道區域耦接，並且位於該閘極電極兩側區域；其中

形成該儲存區域與該通道區域之材料為不同；

其中將一閘極電壓施加於該閘極電極，將一源極與一汲極電壓分別施加於該源極與該汲極電極，且將一偏壓電壓施加於該半導體基板，並藉由將施加於該閘極電極之該閘極電壓以及施加於該半導體基板之該偏壓電壓進行控制，而進行多位元驅動；

其中將與該偏壓電壓不同極性之一閘極電壓施加於該閘極電極而進行一第一位元驅動，且將與該第一位元驅動不同極性之該閘極電壓與一反偏壓電壓施加於該閘極電極與該半導體基板而進行一第二位元驅動。

29. 如申請專利範圍第28項所述之無電容記憶體元件，其中該第二位元驅動中，該反偏壓電壓之絕對值的大小為大於該閘極電壓之絕對值的大小。

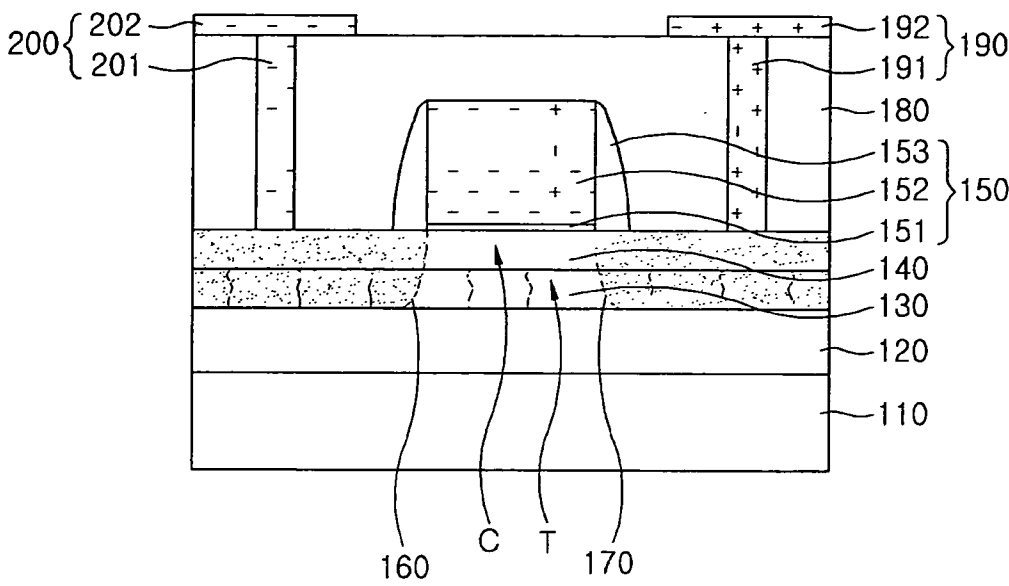


圖 1

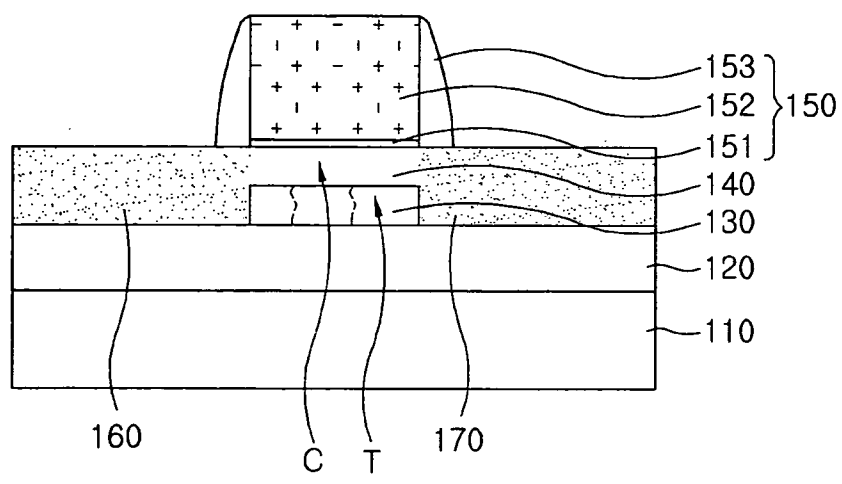


圖 2

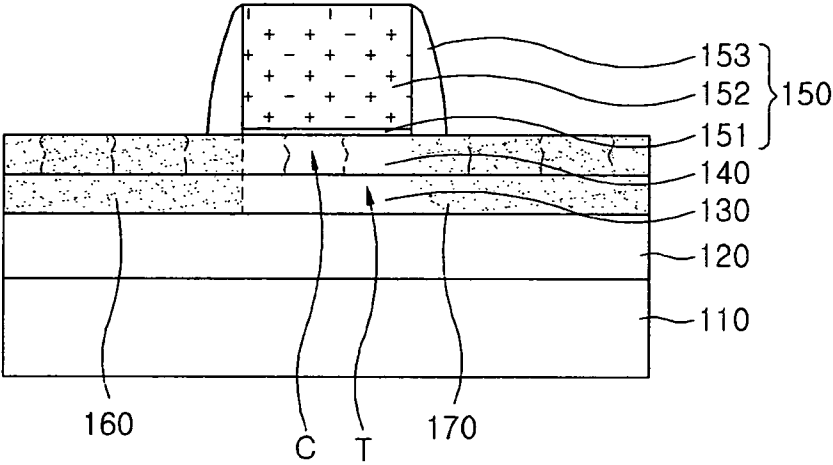


圖 3

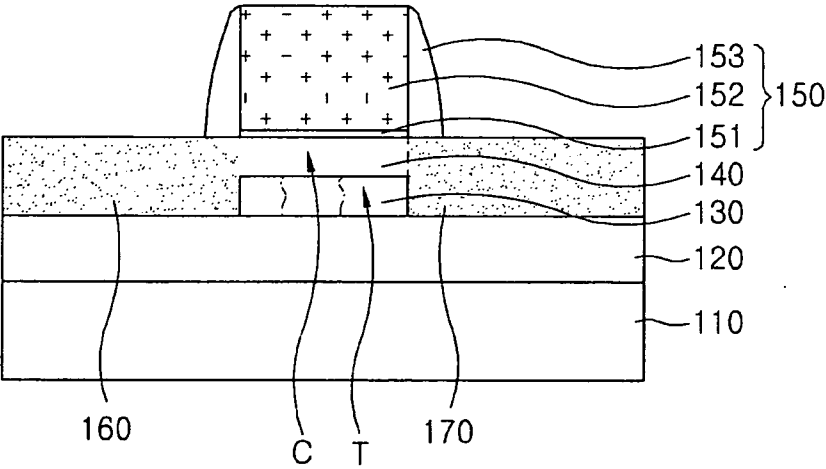


圖 4

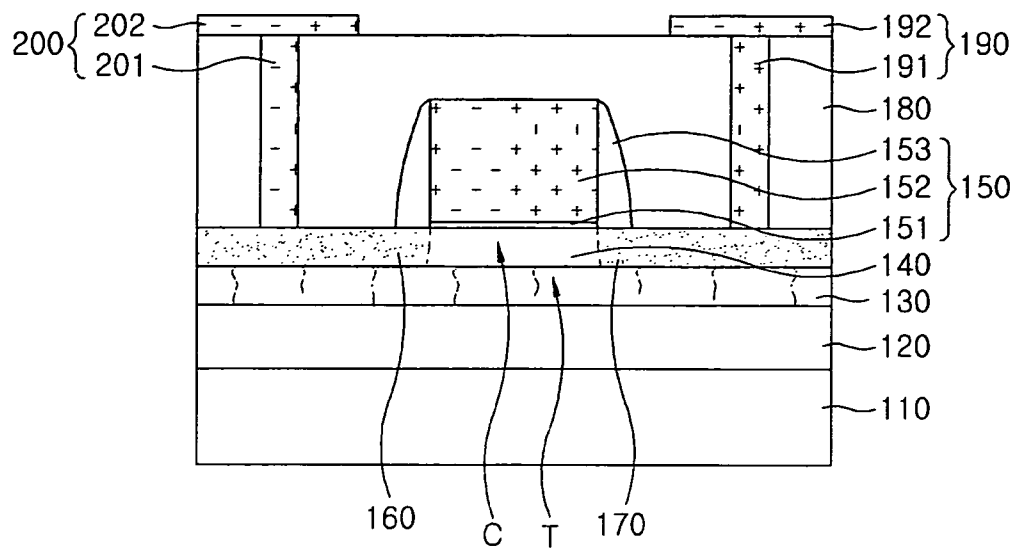


圖 5

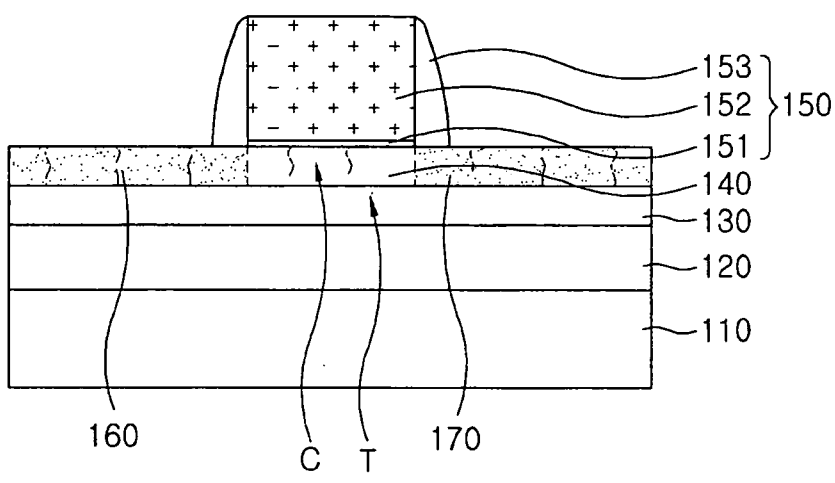


圖 6

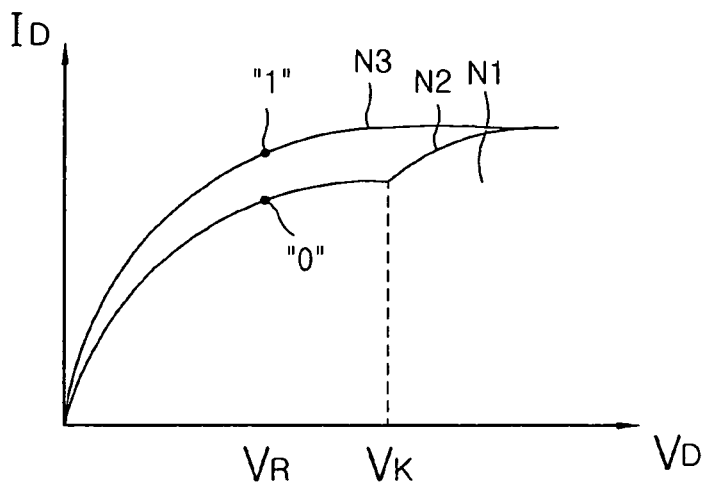


圖 7

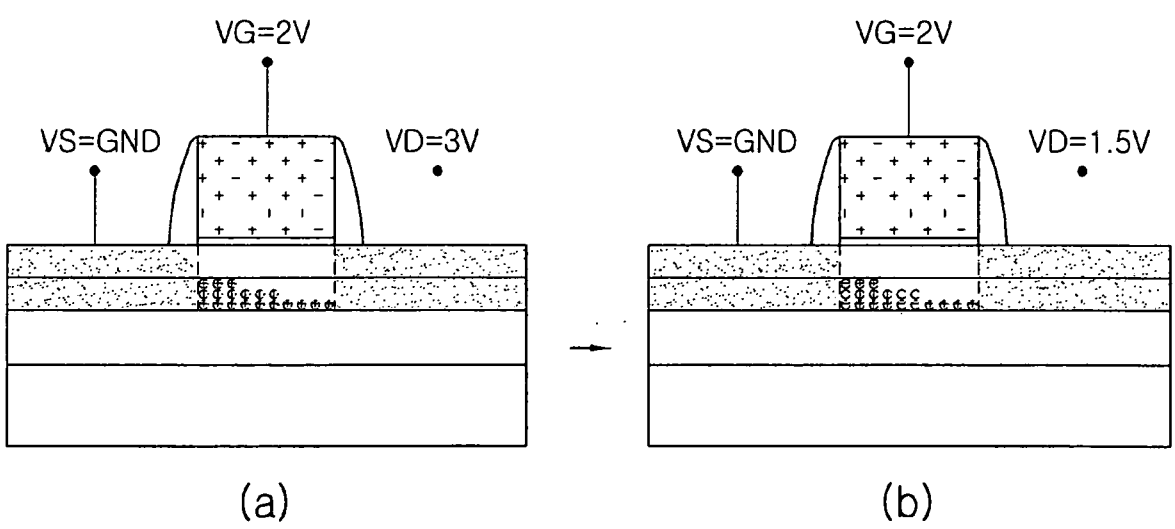


圖 8

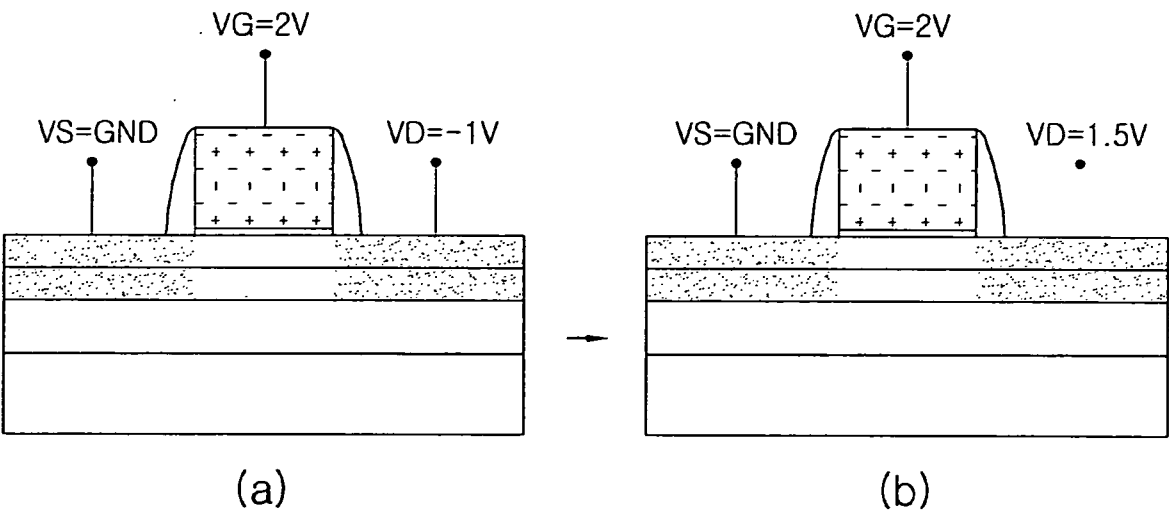


圖 9

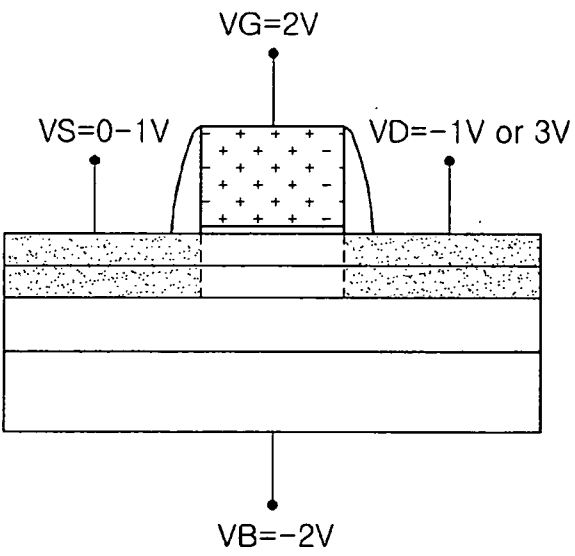


圖 10

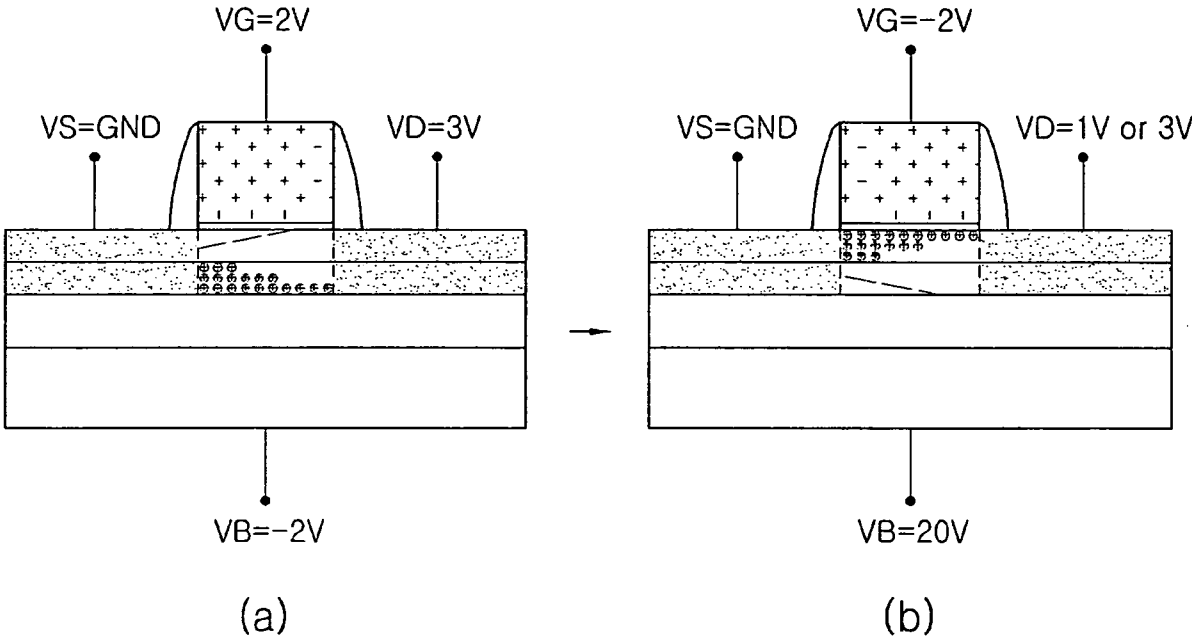


圖 11

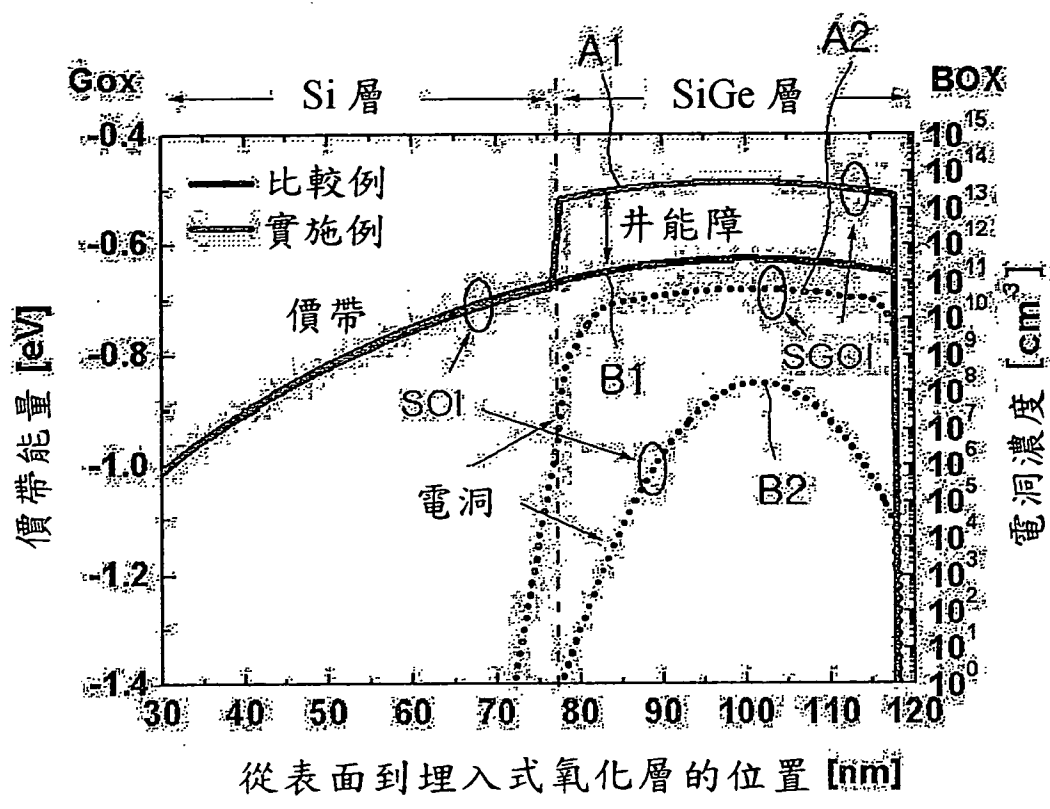


圖 12

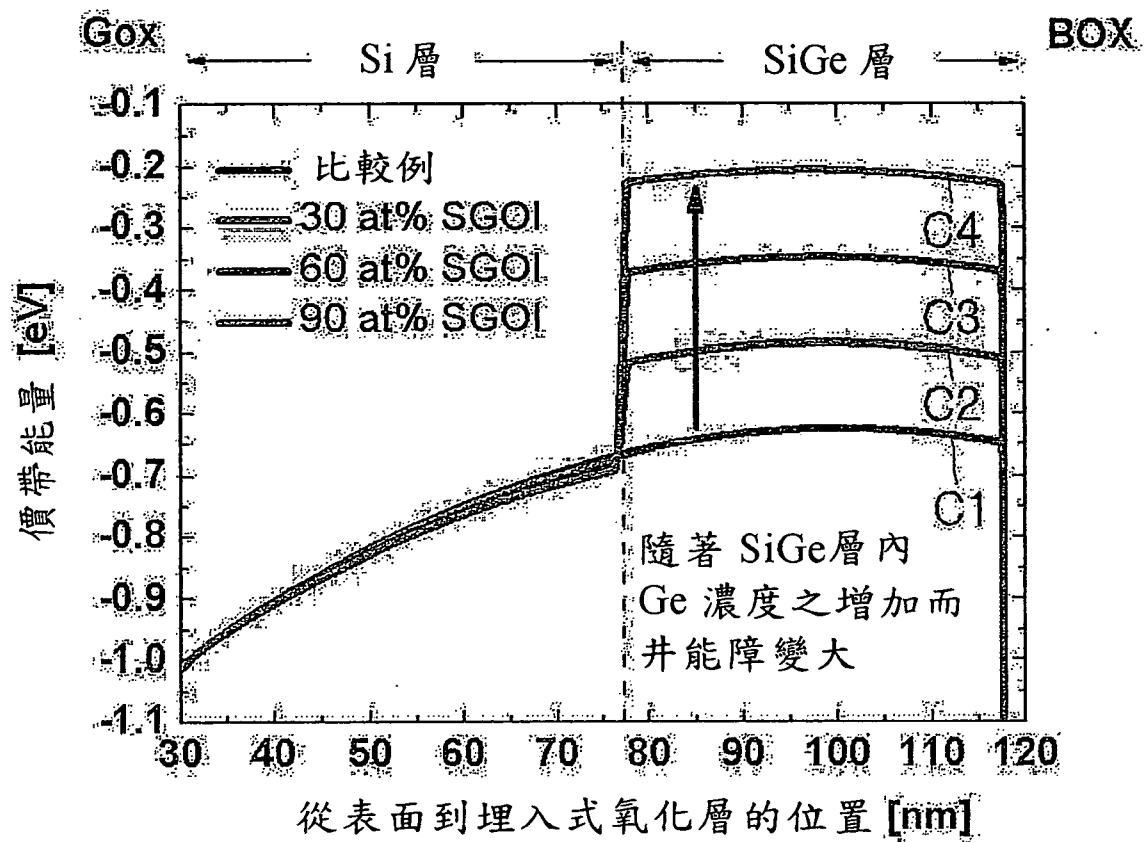


圖 13

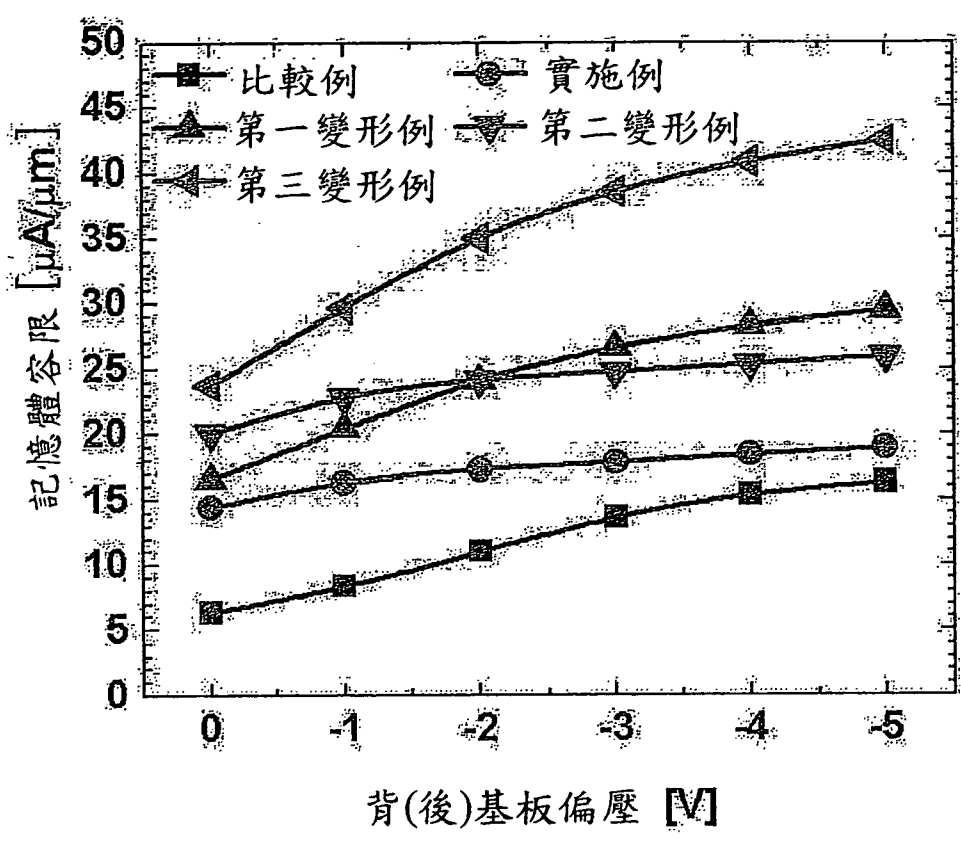


圖 14

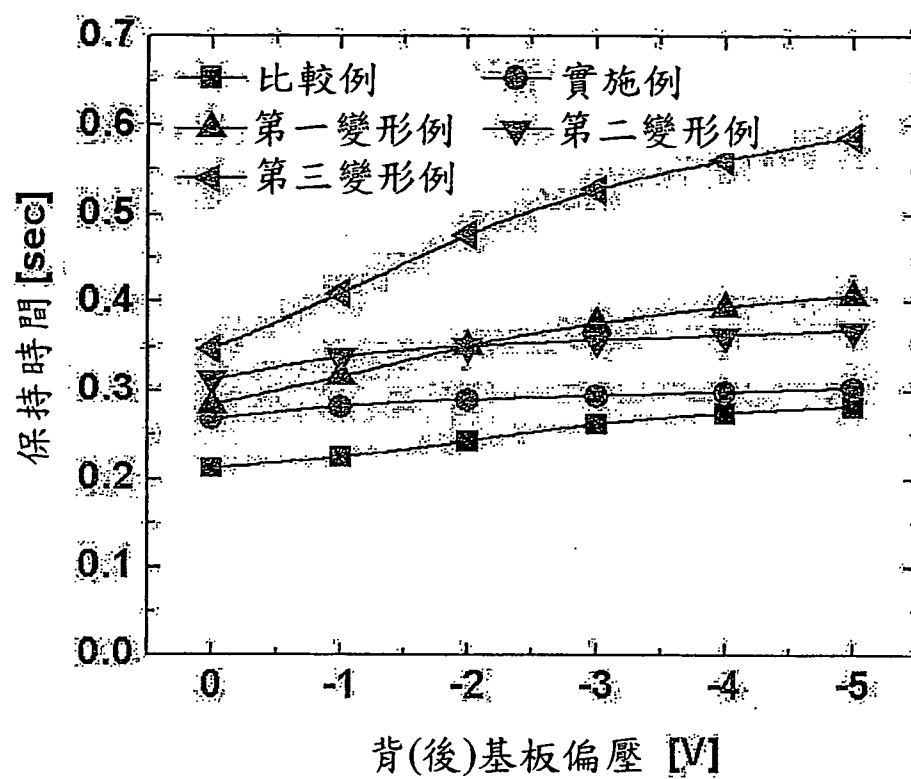


圖 15

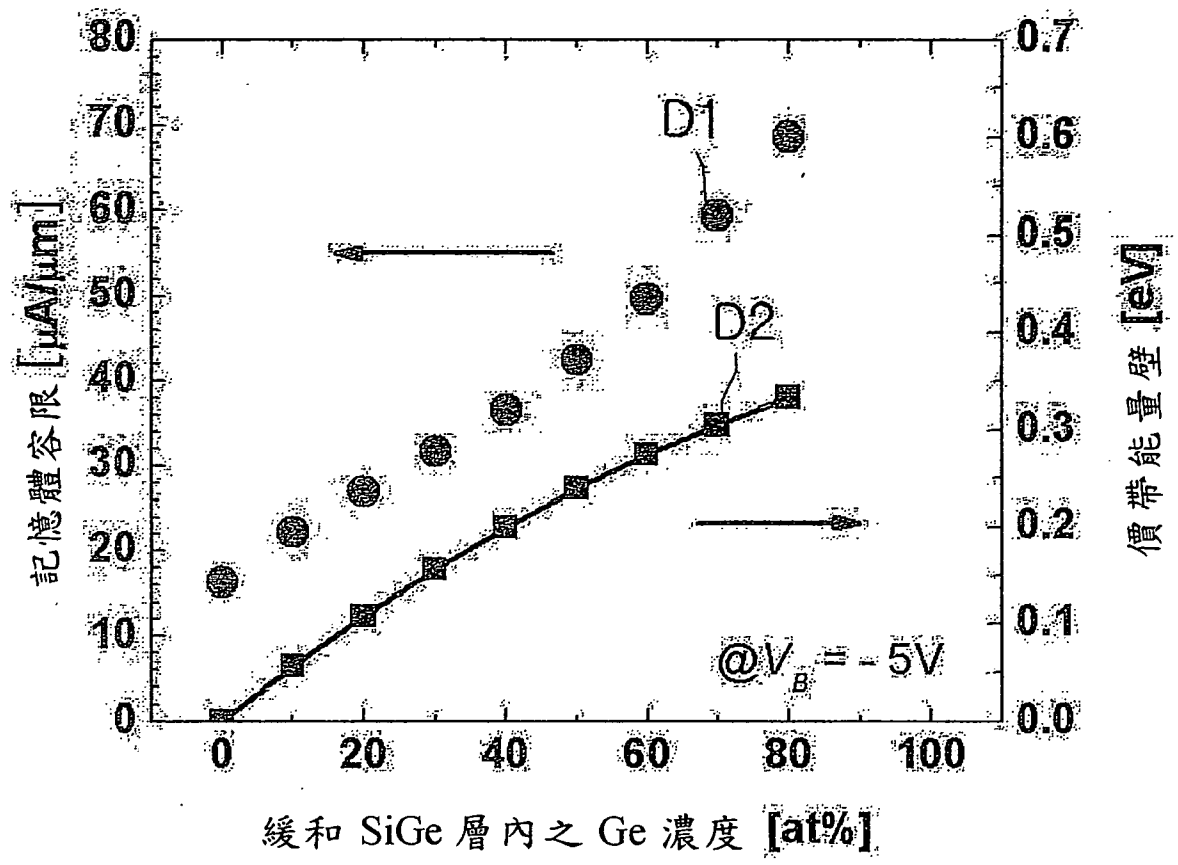


圖 16

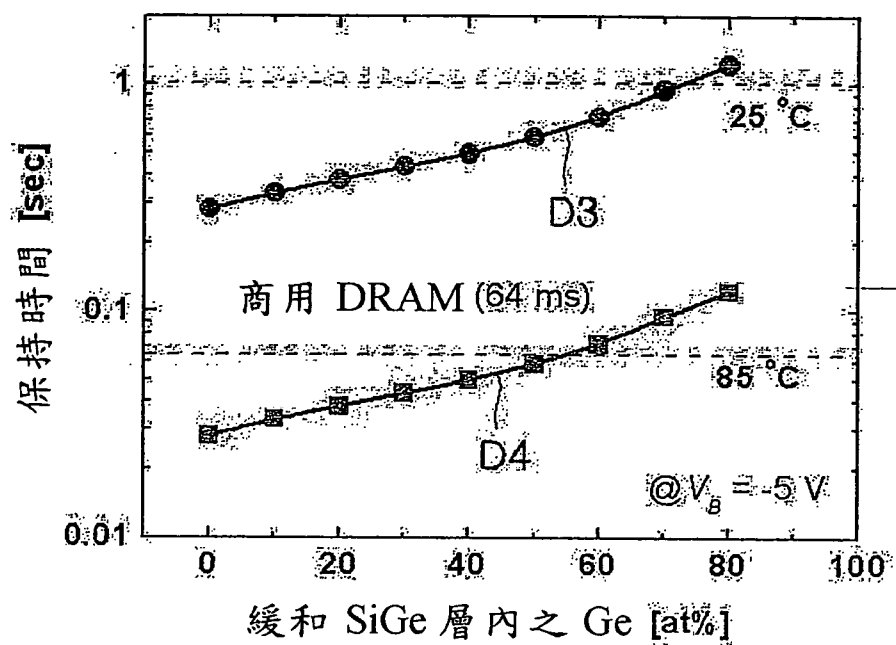


圖 17

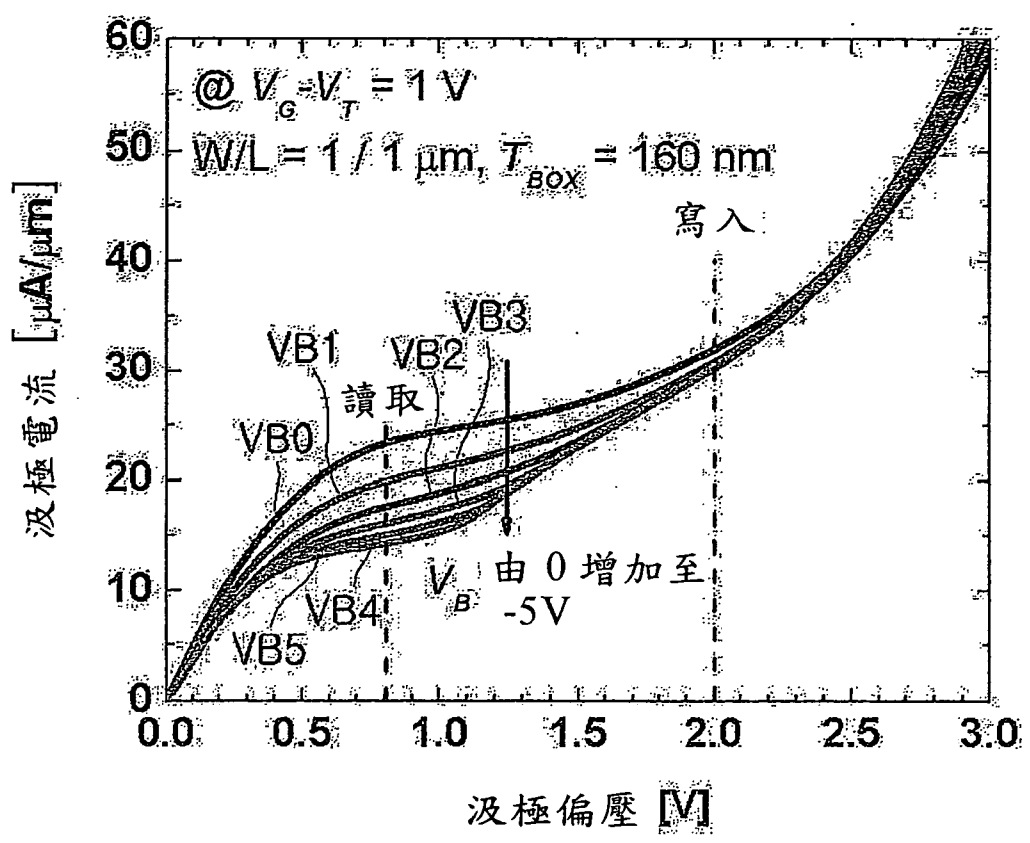


圖 18

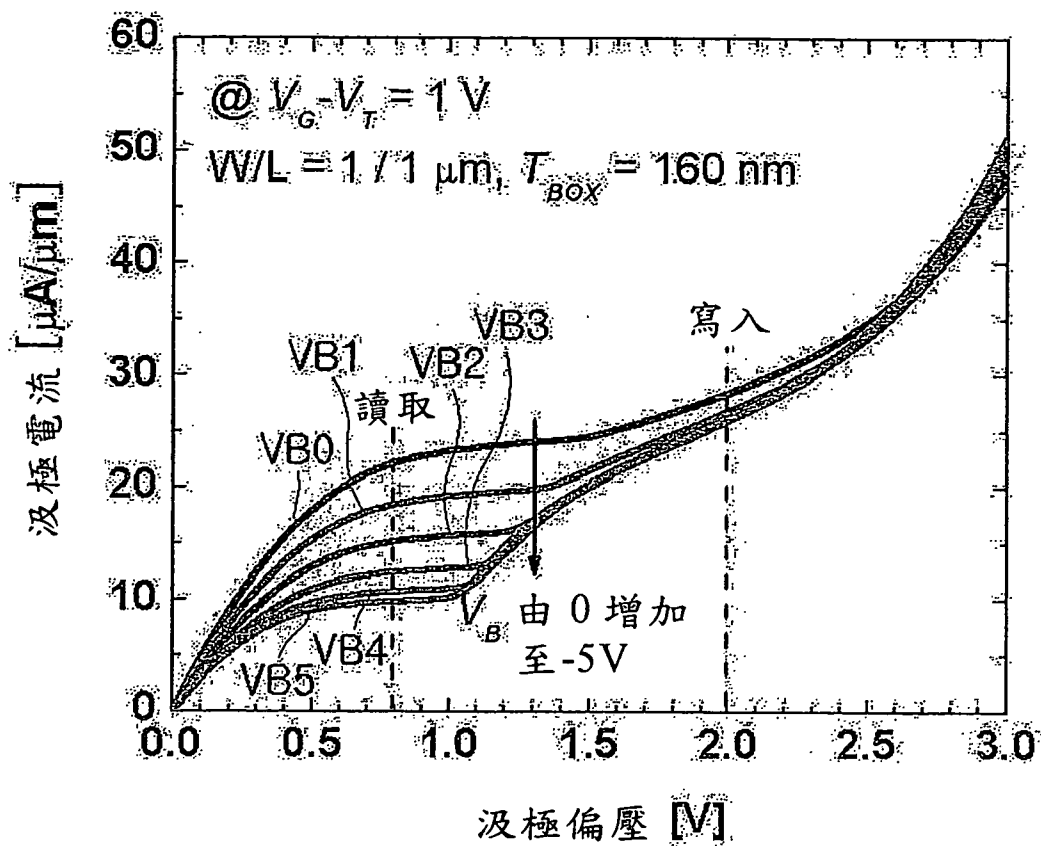


圖 19

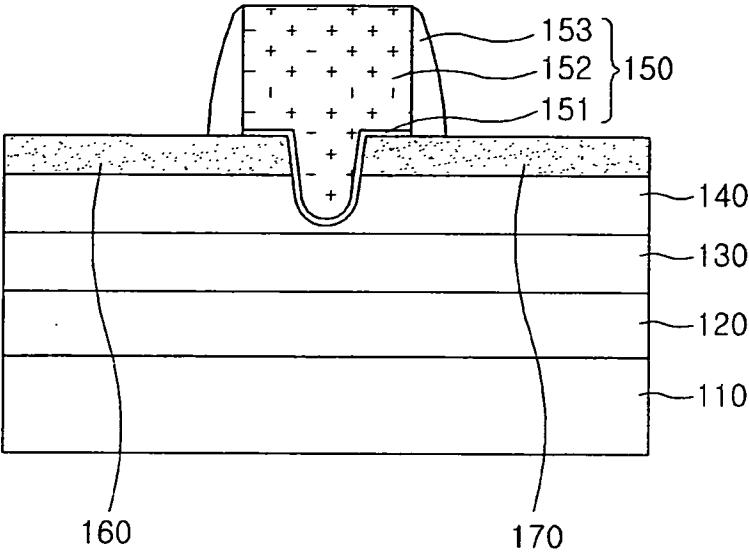


圖 20

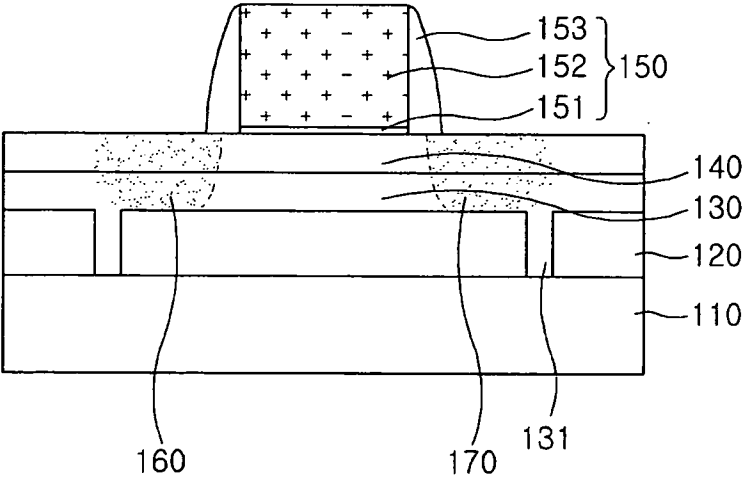


圖 21

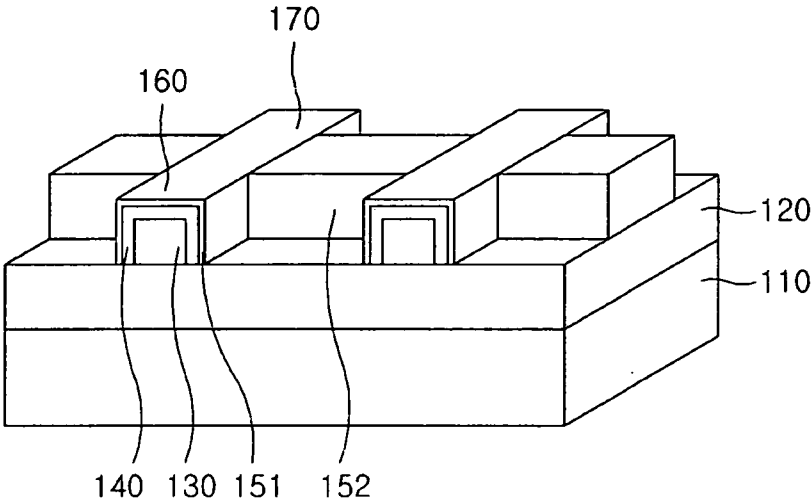


圖 22

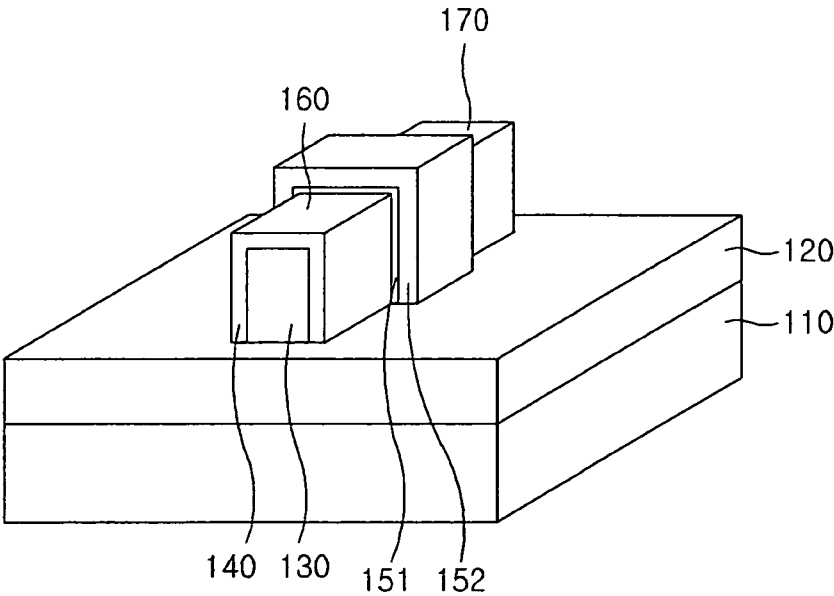


圖 23