

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-105407
(P2009-105407A)

(43) 公開日 平成21年5月14日(2009.5.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X	5 F 0 4 8
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 A	5 F 1 1 0
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 4 0
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 G	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 2 6 Z	

審査請求 有 請求項の数 6 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-271746 (P2008-271746)
 (22) 出願日 平成20年10月22日 (2008.10.22)
 (31) 優先権主張番号 096139774
 (32) 優先日 平成19年10月24日 (2007.10.24)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 507406747
 楊 春足
 台湾高雄市左營區軍校路880路27號
 (74) 代理人 100107711
 弁理士 磯兼 智生
 (72) 発明者 楊 春足
 台湾高雄市左營區軍校路880巷27號
 Fターム(参考) 5F048 AA01 AA03 AC03 BA01 BB01
 BC01 BD01 CB01 CB10
 5F110 AA01 AA04 AA26 BB04 BB05
 BB06 BB07 BB11 EE09 EE24
 FF02 HM04 HM12
 5F140 AA01 AA17 AA39 AB03 AC01
 AC32 BA01 BB01 BF54 BH04

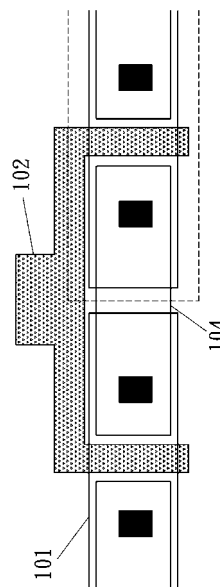
(54) 【発明の名称】 同軸のトランジスタ構造

(57) 【要約】 (修正有)

【課題】 基板上での同軸トランジスタの提供。

【解決手段】 pドーピング環状ドレイン半導体領域およびソース半導体領域と、同一の基板で環状ソース及びドレイン半導体領域の間に形成される環状チャネル領域及びこの環状チャネル領域上端で酸化物層により隔離される環状多結晶シリコン或いは導体ゲートとソースを接続し自身の基板或いはウェルを参考電圧とする基層と、基層及び環状ソースを接続するための同軸環状の給電導体層と、半導体内の軸心導体に接続するドレイン等の素子から構成され、この同軸PチャンネルMOSFET構造の内の各環状素子と環状各極が同軸構造形態により構成され、その環状ゲートの電圧によりトランジスタの電流の流動方向を制御して、各半径方向に環状導体層から軸心導体への半径方向に流動し集中式により構成する同軸トランジスタ。

【選択図】 図3A



【特許請求の範囲】

【請求項 1】

n 型基板または基板の n 型ウェルに強化型或いは空乏型を形成する同軸 P チャンネル MOS FET 構造であって、

p ドーピング環状ドレイン半導体領域と

p ドーピング環状ソース半導体領域と、

同一の基板或いはウェルで環状ソース及びドレイン半導体領域の間に形成される環状チャンネル領域及びこの環状チャンネル領域上方で酸化物層により隔離される環状多結晶シリコン或いは導体ゲートと、

ソースを接続し自身の基板或いはウェルを参考電圧とする基層と、

基層及び環状ソースを接続するための同軸環状の給電導体層と、

ドレイン（キャリア集中箇所）の半導体内の軸心導体に接続し、或いはその他のトランジスタ機能を必要とする環状素子など材料の構造と、

を含む同軸 P チャンネル MOS FET 構造であって、

同軸 P チャンネル MOS FET 構造内の各環状素子と環状各極が同軸構造形態により構成され、その環状ゲートの電圧によりトランジスタの電流方向を制御して、各半径方向に円周環状導体層から軸心導体への半径方向に流動し集中式により構成する同軸トランジスタであることを特徴とする同軸 P チャンネル MOS FET 構造。

10

【請求項 2】

同軸トランジスタで、ソースが給電をするための軸心導体に接続され、ドレインが同軸環状導体に接続され、基層に接続して参考電位とされるものであって、ゲートの電圧がトランジスタによる電流方向を制御し、各半径方向に軸心導体から均等に円周環状導体層の半径に流し放射式により構成された同軸トランジスタであることを特徴とする請求項 1 に記載する同軸 P チャンネル MOS FET 構造。

20

【請求項 3】

p 型基板または基板の p 型ウェルに強化型或いは空乏型を形成する同軸 n チャンネル MOS FET 構造であって、

n ドーピング環状ドレイン半導体領域と

n ドーピング環状ソース半導体領域と、

同一の基板或いはウェルで環状ソース及びドレイン半導体領域の間に形成される環状チャンネル領域及びこの環状チャンネル領域上方で酸化物層により隔離される環状多結晶シリコン或いは導体ゲートと、

ソースを接続し自身の基板或いはウェルを参考電圧とする基層と、

基層及び環状ソースを接続するための同軸環状の給電導体層と、

ドレイン（キャリア集中箇所）の半導体内の軸心導体に接続し、或いはその他のトランジスタ機能を必要とする環状素子など材料の構造と、

を含む同軸 n チャンネル MOS FET 構造であって、

同軸 n チャンネル MOS FET 構造内の各環状素子と環状各極が同軸構造形態により構成され、その環状ゲートの電圧によりトランジスタの電流方向を制御して、各半径方向に軸心導体から均等に放射して円周環状導体層の半径に流し放射状により構成された同軸トランジスタであることを特徴とする同軸 n チャンネル MOS FET 構造。

30

40

【請求項 4】

同軸トランジスタで、ソースが給電をするための軸心導体に接続され、ドレインが同軸環状導体に接続され、基層に接続して参考電位とされるものであって、ゲートの電圧がトランジスタによる電流方向を制御し、各半径方向が円周環状導体層から軸心導体の半径に流し集中式で構成された同軸トランジスタであることを特徴とする請求項 3 に記載する同軸 n チャンネル MOS FET 構造。

【請求項 5】

同軸 P チャンネル MOS FET と同軸 n チャンネル MOS FET 等両者を上下逆さにして接合してなる CCMOS FET (Coaxial Complementary Metal -

50

Oxide - Semiconductor Field - Effect Transistor) 構造であって、2 個の軸心導体により上下に直列にすると共にゲートを共用し、各上下の半導体が完全に相補対称であり、各 MOSFET 自体は軸心同軸を一体化にする形態により構成されることを特徴とする記載する CCMOSFET 構造。

【請求項 6】

インバータの入力制御端をとしての共用ゲートと、

軸心を直列に接続しインバータの上端出力と下端出力とすることを含む CCMOSFET のインバータ構造であって、

インバータの入力制御端が低電圧レベルを入力すると、共用ゲートの低電圧が P チャネルを誘導して電流を接続し、ソースの正孔キャリアの高電圧が給電して、半径方向に電流を集中して軸心に流して電導体を直列に接続し、高電圧レベルを出力し、インバータの入力制御端が高電圧レベルを入力すると、共用ゲートの高電圧が N チャネルを誘導し電流を接続し、ソースの電子キャリアのマイナス電圧が給電して、半径方向に電流を集中して軸心に流して電導体を直列に接続し、低電圧レベルを出力することを特徴とする請求項 5 に記載する CCMOSFET のインバータ構造。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は同軸のトランジスタ (Coaxial - Transistor) に関し、具体的には IC 集積度 (Integration) を高める同軸構造の MOSFET 及びそれらが完全に対称となった相補型 MOSFET 技術に使用される。

20

【背景技術】

【0002】

原義を「Transfer - Resistor」とするトランジスタ「Transistor」は、元々、「電気抵抗を調整する。電気抵抗を移動又は転移させる」という意味であり、意識では「抵抗調整体」と文字からその意味が窺える。トランジスタは従来の電子技術分野ではその優れた「内蔵抵抗 (Built in Resistor) の大きさを調整し、通過電流の大小を変えられる」というバイポーラトランジスタ (Bipolar Junction Transistor, BJT という) 機能を明確に表しており、又は従来の集積デジタルロジック電子技術分野の「内蔵抵抗を調整し、極大化して電流を遮断してオフ (off) とし又は極小化して電流をオン (on) にする」というユニポーラトランジスタ機能であり、例えば接合型 FET (Junction Field - Effect Transistor, JFET という)、金属半導体 FET (Metal - Semiconductor Field - Effect Transistor, MESFET) 又は金属酸化物層半導体 FET (Metal - Oxide - Semiconductor Field - Effect Transistor, MOSFET という) である。トランジスタが内蔵抵抗を調整する制御能力は構造内の pn 接合面に内蔵電場 (Built - In Potential) を形成する順バイアス又は逆バイアスのスタート段取りと選択により、それはエミッター (Emitter, E)、ベース (Base, B) 及びコレクタ (Collector, C) から BJT トランジスタを構成するベースバイアスによって抵抗の大きさを制御する。或いは、ソース (Source, S)、ゲート (Gate, G) 及びドレイン (Drain, D) で FET を構成するゲートバイアスによってキャリアのオン / オフを制御する。その後発展した MOS は電位フローティングが別途基層 (Body, B) を増やさないために 4 ピントランジスタとした。ベース又はゲートはちょうど蛇口の水量調節又は開閉機能と同様である。

30

40

【0003】

従来の IC 素子の製作形態は、上記の 3 ピン又は 4 ピントランジスタの各極の材料単体に係わらず、全て拡散、蒸着、イオン植入又はエピタキシー等のユニット半導体の製造工程で長さ幅と深さを具えた四角形の配置分布の形状で製造され、三つの電極が平行なインターフェイスで上下左右にトランジスタの抵抗調整作用をなす。従って素子と素子を区画

50

し、明らかにモザイクタイプの四角形で構成されたIC構造となる。例えば図1A、1Bでは、図1AはCMOSインバータ(Inverter)上面図、図1Bは対照横断面図である。

【0004】

1947年W. Shockley、Bardeen及びBrattainは米国のベル実験室で点接触(Point Contact)ゲルマニウム接合型トランジスタを発明した。これは特許文献1の「半導体性材料を利用する回路素子」(Circuit Element Utilizing Semiconductive Material)に掲載されている。1960年代初期には、デジタルコンピュータへのダウンサイジングのニーズにより、多数のトランジスタを基板上に密集製造する考え方により、トランジスタが発明されたベル実験室は至極可笑しい創意と看做された。時至って今日、マイクロ電子技術は弛まぬ進歩を遂げ、ベル実験室のユーモアが不可能とされる任務を追求する研究者のバックグラウンドの創造の原動力となっている。

10

【特許文献1】米国特許第2569347号明細書

【0005】

従来のBJTの電流密度の高い、反応速度の速い長所はアナログ回路で大量に使用されているものの、デジタル論理回路のインバータ、トランジスタ-トランジスタ論理回路(Transistor-Transistor Logic, TTL)とエミッタカップル論理回路(Emitter-Coupled Logic, ECL)に使用されると、三つの電極の面積に制限されて、BJTをICにある集積度面において電場電圧でオン/オフを制御する電界効果トランジスタ(FIELD-EFFECT, FET)と比べようがない。ベース電流がコレクタエミッター間の電流を制御する構造で、ベース実体層が如何に薄くとも、ベース実体層が存在するとキャリア交換体となるという欠点を回避し得ない。FETはゲートを上方スペースに移して、電圧でソースとドレイン間の電流のオン/オフを制御すると、FETのデジタルICにおける集積度がBJTに勝る。FETにおける従来のMOSFET(以下MOSという)は、高い集積度、低い消耗効率、高い入力抵抗及び低い入力電流等の長所を具えているので、デジタル論理回路の中で最も人気の高い素子構造である。NチャネルMOS(以下NMOSという)の主なオンのNチャネルキャリアの電子移動率はPチャネルMOS(以下PMOSという)ホールの移動率より遥かに大きく、ドーピング濃度が同様でゲートの幅と長さの比率が同じである場合、NMOSの操作速度がPMOSより格段に速い。このため高N型ドーピング濃度と高精密なドーピングの輪郭制御度のイオン植入技術が開発されると、NMOSはPMOSに取って代わった。

20

30

【0006】

図1A、図1Bでは、従来のPMOS103と従来のNMOS101の両者が直列に接続して従来のCMOSFET(Complementary Metal-Oxide-Semiconductor Field-Effect Transistor, 以下CMOSという)を構成し、その両者のゲートを互いに接続してデジタル論理回路信号の入力端102とし、両者は直列に接続するドレインとソースを接続して信号出力端104とし、また両者を各々 V_{DD} 高電位105と V_{SS} 低電位106の2つの態様の論理レベルに接続する。共同ゲートに高/低電圧を入力すると、両者のうち的一方のチャンネルがオン状態となり、もう一方のチャンネルがオフ状態となる、即ち、CMOS出力端はNMOSとPMOSが接続する高レベル又は低レベルによって切り換える。理論上ではCMOSは静態パワー消費がないものの、PMOSとNMOSの切り換えで同時にオンとなる瞬間に動態のパワー消費が生じる。従って、1980年代後半のCMOSの発明は、デジタル論理の電子製品が一層低エネルギー消費で高速演算のトランジスタ構造となって貢献している。然しながら、従来のCMOSTランジスタ構造はNMOSとPMOSが直列に接続して構成されており、シングルウェル又はダブルウェルで構成されたCMOSであっても、本質的に直列に接続して1つのpnpnの寄生サイリスタ(Thyristor)構造となり、ラッチアップ(Latch-up)効果を生じて、CMOS電圧の制御機能が一

40

50

時的又は永久に失われる可能性があり、さらには電流が突然大きくなって回路を焼いてしまう欠点がある。

【 0 0 0 7 】

図 2 A、2 B を例として、N 型ウェルの CMOS インバータ構造のラッチアップ状態を説明する。図 2 A は N ウェル CMOS チップの横断面図で、図 2 B はその等価回路図である。Q は垂直方向に寄生する PNP の 2 つのキャリアトランジスタで、PMOS トランジスタの P+ ソース、N 型ウェル及び P 型基板で形成される。Q は横方向に寄生する NPN の 2 つのキャリアトランジスタで、NMOS トランジスタの N+ ソース、P 型基板及び N 型ウェルで形成される。横方向の NPN のコレクターは N 型ウェルを經由して垂直 PNP のベースに接続する。垂直 PNP のコレクターと横方向 NPN のベースは P 型基板で接続する。P 型基板は (NPN の) ベース、(PNP の) コレクター及び NPN ベースが PNP コレクターの接続媒体等に至る 3 種の機能を兼備しており、N ウェルもまた (PNP の) ベース、(NPN の) コレクター及び PNP ベースが NPN コレクターの接続ライン等に至る 3 種の機能を兼備しており、このような P 基板と N ウェル (基板機能と同様) が重複したコレクター、ベース共用方式 (キャリアは同源) に変わり、ラッチアップの要因を構成することがわかる。(解決方法は徹底して分割し、N ウェルを P 基板上にしない)。図中の R_w は N ウェルが PMOS のソース P+ に至る間の直列接続抵抗で、N ウェル抵抗という。 R_{sub} は P 型基板が NMOS ドレイン N+ に至る間の直列接続抵抗で、基板抵抗という。ラッチアップ発生のある時間を例にとると、その可能性は電源のオン、電離やその他の一時的状況などによる電圧の異常な急上昇によって過大電流が生じて NPN トランジスタのコレクターを流れて (n ウェルと pnp のベース共用、即ち npn コレクター兼 pnp ベース 重複作用による衝突の可能性)、ウェル抵抗 R_w の電流が PNP トランジスタ Q のベース、エミッターに対してバイアスを惹起する。このバイアスが PNP トランジスタのコレクターを始動させるのに十分な電流流動を生じる。基板抵抗 R_{sub} を經由した電流はさらに NPN トランジスタ Q のベースエミッタに対してバイアスを生じて、Q はさらに大きい電流を放電してウェル抵抗 R_w に再度流入して Q バイアスを拡大させ、循環してフィードバック回路の作用を惹起する。電源を移動させない限り、このラッチアップ効果を解消することはできない。

【 0 0 0 8 】

従来のラッチアップ発生防止の最も直接の方法は、?NMOS と PMOS 2 つのトランジスタの距離を空ける、?ベースのドーピング濃度を上げる、?基板上にエピタキシー層 (Epitaxial Layer) を使用して横方向抵抗で生じる高めのトリガーバイアスレベルを上げる、?基層接点とソース接点距離 (Butted Contact) を短縮する、?深い溝で隔絶する (Trench Isolation)、?ガードリング (Guard Ring) を使用して電荷を吸収注入して 2 つのキャリア動作を防止する、?絶縁層上の多結晶シリコン・オン・インシュレータ (Silicon On Insulator, SOI) 及び 3D の CMOS の積層式 (Stacked CMOS) のような 3D の CMOS 構造を使用する方法等の技術でラッチアップを防止する。このうち、1 項 ~ 6 項の方法では図 1 B の等価回路で示されたように、 R_w と R_{sub} を大きくして Q が早めに始動するのを遅らせたり回避したりし、さらに Q が始動するのを防止する方法で理解できる。然しながら、この 6 項目の方法では何れも回路密度 (集積度) が低下し、且つ回路切り換え速度も低下する。ラッチアップ現象は改善できるものの、特に集積度のニーズが高まっているときは一向に根絶にまでは至らない。7 項目の SOI 方式では MOS を絶縁層に完全に打ち立てるとサイリスター構造は殆ど消失し、カップル電流を生じ得ないで、ラッチアップ効果を直接効果的に解決することができる。絶縁層上の多結晶 SOI 方式はラッチアップ効果を防止することができるものの、依然として PMOS と NMOS を平面上で並列構成しており、集積度を高めることができない。8 項目の 3D CMOS は 1 個の MOS を製造した上方にさらに 1 個の MOS を製造して、中間に酸化物層を隔てる。この方法はラッチアップ効果を克服できるものの、立方体素子のマスクの照準の困難と、酸化物層上方にさらにシリコン半導体結晶をつくる技術問題を克服する必要があ

る。

【0009】

低エネルギー消費の長所を具えたCMOSの使用は本質的なラッチアップ効果を克服する必要がある他に、ICの集積度が高まった後、それに連れて高密度素子の数量が増加した切換速度の問題をどの様に処理するかがさらに重視されることとなる。

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明の主な目的は、従来のCMOSラッチ効果を克服すると共に、集積度を高めることである。

【課題を解決するための手段】

【0011】

本発明はまず従来のPMOSを同軸化構造のPMOS(CPMOSという)に製作する方法、従来のNMOSを同軸化構造のNMOS(CNMOSという)に製作する方法及びさらに両者を上下逆さに接合して完全に対称とする相補型CMOSFET構造等の方法で、ラッチ効果を徹底的に解決すると共に、集積度を高め反応速度を迅速にする目的がある。全対称のCCMOSFETにつき、本発明のCCMOSは両軸心導体を上下に直列に接続してゲートは共用とし、各上下の半導体素子はそれ自身同軸対称で且つ上下に相補対称を兼備する完全相補対称構造である。従来の積層型3DCMOSのように上下に相補し積層して集積度を高め、ラッチ効果を完全に防止すると共に、ロジックスイッチ反応速度を速める目的を達成する。

【発明の効果】

【0012】

一、pチャネルMOSFET構造の同軸化方法。図3Aに示すように、n型基板301又は基板のn型ウェルで同軸pチャネル強化型MOSFETを製作する例示説明であり、同軸トランジスタ構造の内容はpドーピング環状ドレイン半導体領域302とpドーピング環状ソース半導体領域303と、同一の基板或いはウェルで環状ソース及びドレイン半導体領域の間に形成される環状チャネル領域304及びこの環状チャネル領域304上端で酸化物層305により隔離される環状多結晶シリコン或いは導体ゲート306と、ソースを接続し自身の基板或いはウェルを参考電圧とする基層307と、基層307及び環状ソースを接続するための同軸環状の給電導体層308と、半導体内の軸心導体309に接続するドレイン(キャリア集中箇所)等の素子から構成され、この同軸PチャネルMOSFET構造の内の各環状素子と環状各極が同軸構造形態により構成され、その環状ゲート306の電圧によりトランジスタの電流の流動方向を制御して、各半径方向に環状導体層308から軸心導体309への半径方向に流動し集中式により構成する同軸トランジスタである。図4Bの電流が軸心導体に集中する図で示すように(その流出又は流入はソースが内部又は外部位置かは使用ニーズにより決定されると看做し、従来のPMOSはプルアップ式入出力が変化する段取りに原設定するように)、図4Aで示すように、従来のソースからドレインへの電流移動に異なる。本発明は当人の出願済み特許文献2の発明名称「屈折率分布の半径上における同軸光伝導体光ファイバー及びその同軸半導体光源と検光器が一体構造となった同軸光伝導体システム」における同軸半導体構造原理で、従来のPMOSを同軸化構造のCPMOSにする。軸心が対称構造が均等な内蔵電場を提供する下での直接のドリフト電流が等間隔で環の向きに集中して高速で流動することから、拡散電流の影響が避けられて、反応速度が速められてノイズが減少できる。同軸給電の両電極が電圧を提供して電場を形成するドリフトの下、ホールや電子は最短距離方向に移動し、ちょうど各半径の電場極化方向であり、即ち最大半径方向の電場作用において、キャリアは最大半径方向の電場のドリフト方向によって速やかに集中し、又は最高電流を放射することができる。

【特許文献2】 中華民国特許第095146963号明細書

【0013】

10

20

30

40

50

二、 n チャネルMOSFET構造の同軸化方法。図3Bに示すように、 p 型基板311又は基板の p 型ウェルで同軸 n チャネル強化型MOSFETを製作する例示説明であり、同軸トランジスタ構造の内容は N ドーピング環状ドレイン半導体領域312と N ドーピング環状ソース半導体領域313と、同一の基板或いはウェルで環状ソース313及びドレイン半導体領域312の間に形成される環状チャネル領域314及びこの環状チャネル領域314上端で酸化層315により隔離される環状多結晶シリコン或いは導体ゲート316と、ソースを接続し自身の基板或いはウェルを参考電圧とする基層317と、基層317及び環状ソースを接続するための同軸環状の給電導体層318と、半導体内の軸心導体319に接続するドレイン(キャリア集中箇所)等の素子から構成され、この同軸 n チャネルMOSFET構造の内の各環状素子と環状各極が同軸構造形態により構成され、その環状ゲート316の電圧によりトランジスタの電流の流動方向を制御して、各半径の外向きに軸心導体319から均等に放射して円周環状導体層318の半径外向き放射型で構成された同軸トランジスタである。図4Cでは電流が軸心から均等に外へ放射され(流出又は流入はソースが内部又は外部位置かは使用ニーズにより決定されると看做し、従来のNMOSはプルダウン式入出力が変化する段取りに原設定するように)、図4Aに示すように、従来のソースからドレインに至る電流の流動に異なる。本発明は当人の出願済み特許文献2の発明名称「屈折率分布の半径上における同軸光伝導体光ファイバー及びその同軸半導体光源と検光器が一体構造となった同軸光伝導体システム」における同軸半導体構造原理で、従来のNMOSを同軸化構造のCNMOSにする。軸心が対称構造が均等な内蔵電場を提供する下での直接のドリフト電流が等間隔で環の向きに集中して高速で流動することから、拡散電流の影響が避けられて、反応速度が速められてノイズが減少できる。同軸給電の両電極が電圧を提供して電場を形成するドリフトの下、ホールや電子は最短距離方向に移動し、ちょうど各半径の電場極化方向であり、即ち最大半径方向の電場作用において、キャリアは最大半径方向の電場のドリフト方向によって速やかに放射し、又は最高電流を集中することができる。

10

20

30

40

50

【0014】

三、上下を逆さにして接合し完全に対称の相補型MOSFET構造の同軸化の方法。図5に示すように、このCCMOSは一つは図3AのCPMOSが逆さとなって上にあり、一つは図3BのCNMOSが下に接合してなる。両軸心導体309と319は上下に直列に接続すると上出力端501と下出力端502を構成することができる。そのゲートは共用で電圧入力制御端503、 V_{DD} 高電位504と V_{SS} 低電位505を構成する。本発明のCCMOSは両軸心導体を上下に直列に接続してゲートは共用とし、図6の様に各上下の半導体素子はそれ自身同軸対称で且つ上下に相補対称を兼備する構造である。上のCPMOSの pnp トランジスタと下のCNMOSの npn トランジスタの各素子は既に一体接続を離脱して徹底して分割され、ラッチ効果の発生を完全に解決した。従来の並列構成のCMOS構造と異なり、本発明では上下に積層して構成されて集積度が高まる。本発明の同軸化トランジスタ構造内の pn 接合面に内蔵電場(Built-In Potential)を形成して同軸対象で均等に分布する内蔵電場とし、キャリア流動は半径の環の向きに内向きに集中し、若しくは外向きに放射する半径等間隔流動方式であり、一層反応速度が速められてノイズが減少できる。

【0015】

以上を総合すると、本発明は従来のPMOSを同軸化構造のCPMOSに製作する方法、従来のNMOSを同軸化構造のCNMOSに製作する方法及びさらに両者を上下逆さに接合して完全に対称とするCCMOSFET構造などの方法でラッチ効果を徹底的に解決することができると共に、集積度を高めて反応速度を速める目的を達成できる。このような同軸構造化した各種MOSFETは同様にトランジスタを「電気抵抗を調整するもの、つまり電気抵抗を移動又は転移させるもの」としての「内蔵電場を調整し、極大化して電流を遮断してオフとし又は極小化して電流をオンにする」という目的を実現する。電流の等間隔に集中し放射する動作は花が開花し萎むのに最も省力し且つ自然原理に合うが如く、集積デジタルロジック電子技術を形成して、このことはデジタルICの応用をさらに完

壁なものとする。

【発明を実施するための最良の形態】

【0016】

CCMOSFETからなるインバータにつき、図7のCCMOSFETからなるインバータICは、この各インバータが図3AのCPMOSが上に逆さになり、図3BのCNMOSが下に接合してCCMOSとなった構造で、インバータ回路作用を実現する。2つの軸心導体309、310は上下に直列接続して上出力端710と下出力端702が構成される。そのゲートは電圧入力制御端703を共同で構成する。各CCMOSは2つの軸心導体309、310を上下に直列接続してゲートは共用で、各上下半導体素子は自身と同軸対称であるだけでなく、上下に完全に相補対称で構成された同軸インバータを兼備している。各インバータの間は隔離層706で隔離されている。各インバータの入力制御端703が低電圧レベルを入力すると、共同ゲートの低電圧がその上のCPMOSのPチャネル接続電流に誘導し、そのソース704の正孔キャリアは高電圧 V_{DD} で給電し、半径方向に電流を集中させて軸心に向かって電動体に直列接続し、高電圧レベルを軸心導体の上出力端701と下出力端702に出力する。即ち、元は低電圧又は低レベルであるのを高電圧に出力したり高レベルに引き上げることが出来る。インバータの入力制御端703が高電圧レベルを入力すると、共同ゲートの高電圧がその下のCNMOSのNチャネル接続電流に誘導し、そのソース705 V_{SS} の電子キャリアの負電極が給電して、半径方向に電流を集中させて軸心に向かって電動体の上出力端701と下出力端702に出力して低電圧レベルを出力する。即ち、元は高電圧又は高レベルであるのを低電圧に出力したり低レベルに引き下げることが出来る。このソース V_{SS} 低電圧がアースすると、 V_{SS} はアース電圧と看做される。またロジック二進数電圧レベルであれば負電位である。このようにするとインバータ回路作用が実現し、そのICで構成される構造は同軸化して且つ上下に積層するタイプであるため集積度を高める。また、同軸化トランジスタ内の均等電場が電流を高速でドリフトし、集中且つ放射させる自然力作用は消耗効率を一層節減できる。

10

20

【0017】

本発明の実施例の各細部を説明するのに引用した参考番号の素子は、何れも同様又は機能上で類似している素子と看做し、極簡略化した図解方式で実例を図説して主な実施特徴を表そうと意図している。従って、図示したものは決して実際の実施例のすべての特徴を描写しようとしたものではなく、描写した素子は決して相対的寸法又は数量ではないため、示された図面は比例描写されておらず、本発明の同軸化トランジスタ構造の基本精神に則って描写している。

30

【0018】

以上例示並びに図示したものは、本発明の同軸トランジスタが制作したCMOSFETとCCMOSFETのインバータ装置で、本発明の同軸トランジスタの主な精神を代表する同軸一体構造の主張をして、その他同軸一体構造のトランジスタ機能及び応用する各種態様を説明しているに過ぎない。

【0019】

実例では、本同軸トランジスタが構成する各種MOSFETとインバータ装置は、高集積度、高反応速度を有し、完全にラッチアップ効果を除去するのみならず、各種集積デジタル論理回路に応用する場合、同軸化のSRAM、同軸化のDRAM、同軸化のROM、等同軸化の各種メモリー、さらにはDHBT(Coaxial Double Heterojunction Bipolar Transistor)のように、各種高速で大量情報を保管するメモリー構造として用いられる旨述べている。こうした各同軸化トランジスタ製品は何れも低コストで量産が可能で、且つ同軸化の省電構造によって省エネルギーという目的を達成することができる。

40

【0020】

上記の各素子の機能及びその同軸使用電流オン/オフ機能、又は2個若しくは多数の素子の機能及びその同軸化して上下に積層しての量産は、何れも単独又は共同で効果的に上記タイプと異なるその他のタイプの同軸一体化構造のトランジスタの論理演算システムや

50

製造工程システムに應用され、人類に有益な総合効果的価値をもたらすことが理解される。

【 0 0 2 1 】

本文はCMOSFET及びそれから構成されたCMOSFETとインバータ構造を図解説明し、本発明の同軸トランジスタ構造を説明しているものの、このことは本発明をこうした図示した細部に限定することを意図しているわけではなく、本発明の精神を離脱しない如何なる方式という前提で、本発明に対して各種修正及び構造の改変を実施することができる。

【 0 0 2 2 】

以上の説明で本発明を全面的に披露した要旨をこれ以上分析する必要は無く、人々が選考技術の観点を併せた現有知識を應用して、本発明の一般若しくは具体的態様の基本的特徴を合理的に構成する前提で、容易く本発明を各種應用に修正し又はその他の素材を使用して本発明に應用することができる。よって、これら修正は添付した特許請求の範囲の等価意義と範囲内であるものを含むべきであり、且つそれを意図している。

10

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 A 】 従来のCMOSFET集積回路のインバータユニットの上面構造概略図である。

【 図 1 B 】 図 1 A と対比した従来のCMOSFET集積回路ユニット構造の横断面略図である。

20

【 図 2 A 】 従来のCMOSインバータでラッチ現象を生じたチップの横断面概略図である。

【 図 2 B 】 従来のCMOSインバータでラッチ現象を生じた等価回路の概略図である。

【 図 3 A 】 同軸pチャネルMOSFET構造の斜視断面概略図である。

【 図 3 B 】 同軸nチャネルMOSFET構造の組合せ断面概略図である。

【 図 4 A 】 従来のソースからドレインへ電流が流れる概略図である。

【 図 4 B 】 電流が軸心導体に集中する概略図である。

【 図 4 C 】 電流が軸心から均等に外方向に放射する概略図である。

【 図 5 】 同軸のCMOSFET構造の断面概略図である。

【 図 6 】 同軸化して完全に対称となったCMOSFET横断面構造の概略図である。

30

【 図 7 】 同軸のCMOSFETからなるインバータの実施例図である。

【 符号の説明 】

【 0 0 2 4 】

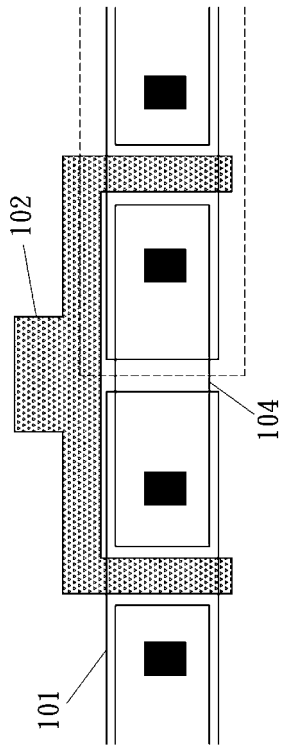
- 1 0 1 NMOS
- 1 0 2 デジタルロジック回路信号入力端
- 1 0 3 PMOS
- 1 0 4 信号出力端
- 1 0 5 V_{DD} 高電位
- 1 0 6 V_{SS} 低電位
- 3 0 1 n型基板
- 3 0 2 pドーピング環状ドレイン半導体領域
- 3 0 3 pドーピング環状ソース半導体領域
- 3 0 4 環状チャネル領域
- 3 0 5 酸化物層
- 3 0 6 導体ゲート
- 3 0 7 基層
- 3 0 8 環状導体層
- 3 0 9 軸心導体
- 3 1 1 p型基板
- 3 1 2 nドーピング環状ドレイン半導体領域

40

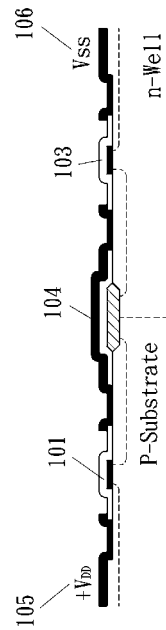
50

- 3 1 3 nドーピング環状ソース半導体領域
- 3 1 4 環状チャネル領域
- 3 1 5 酸化物層
- 3 1 6 導体ゲート
- 3 1 7 基層
- 3 1 8 環状導体層
- 3 1 9 軸心導体
- 5 0 1 上出力端
- 5 0 2 下出力端
- 5 0 3 電圧入力制御端
- 5 0 4 V_{DD} 高電位
- 5 0 5 V_{SS} 低電位
- 7 0 1 上出力端
- 7 0 2 下出力端
- 7 0 3 入力制御端
- 7 0 4 ソース
- 7 0 5 ソース
- 7 0 6 隔離層

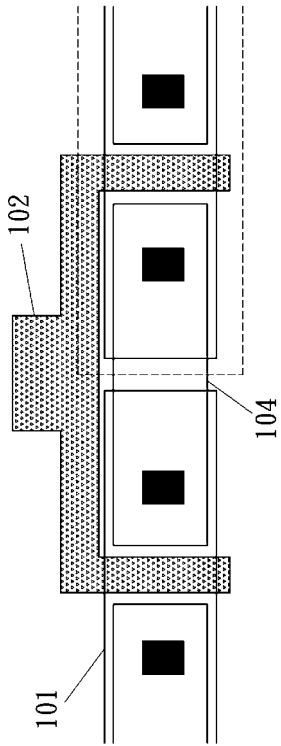
【図 1 A】



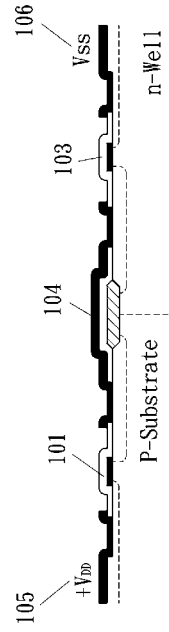
【図 1 B】



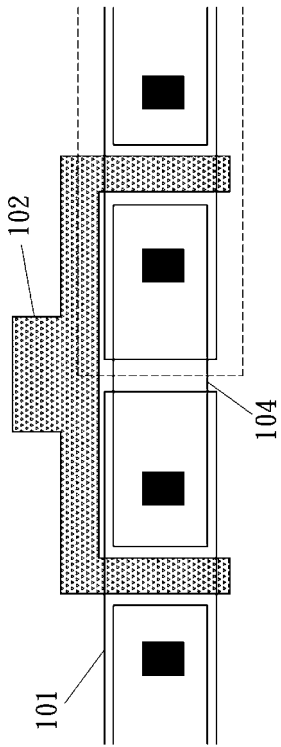
【 図 2 A 】



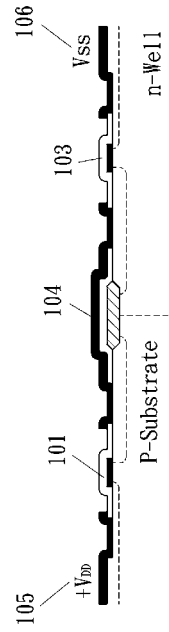
【 図 2 B 】



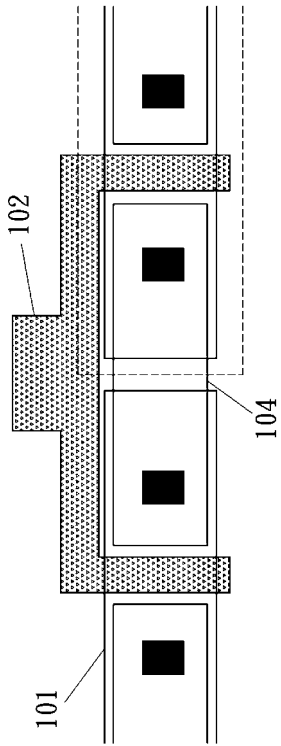
【 図 3 A 】



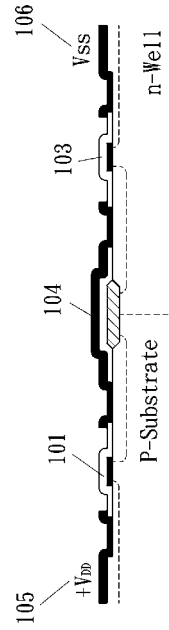
【 図 3 B 】



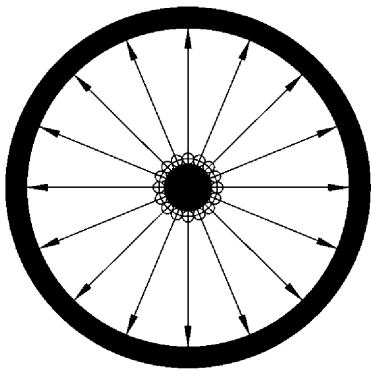
【 図 4 A 】



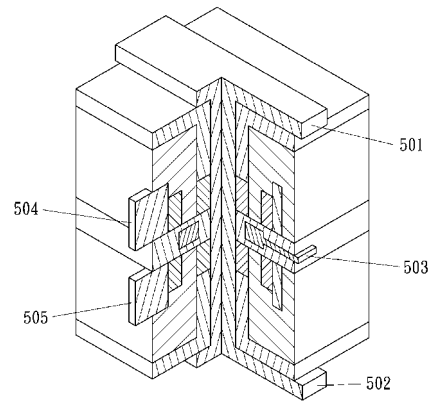
【 図 4 B 】



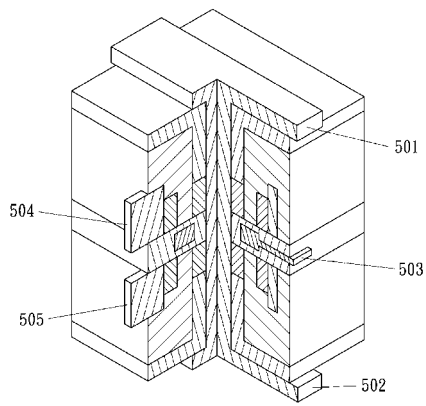
【 図 4 C 】



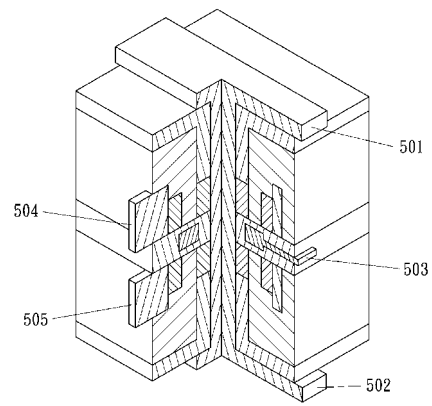
【 図 5 】



【 図 6 】



【 図 7 】



【 手続補正書 】

【 提出日 】 平成20年11月6日 (2008.11.6)

【 手続補正 1 】

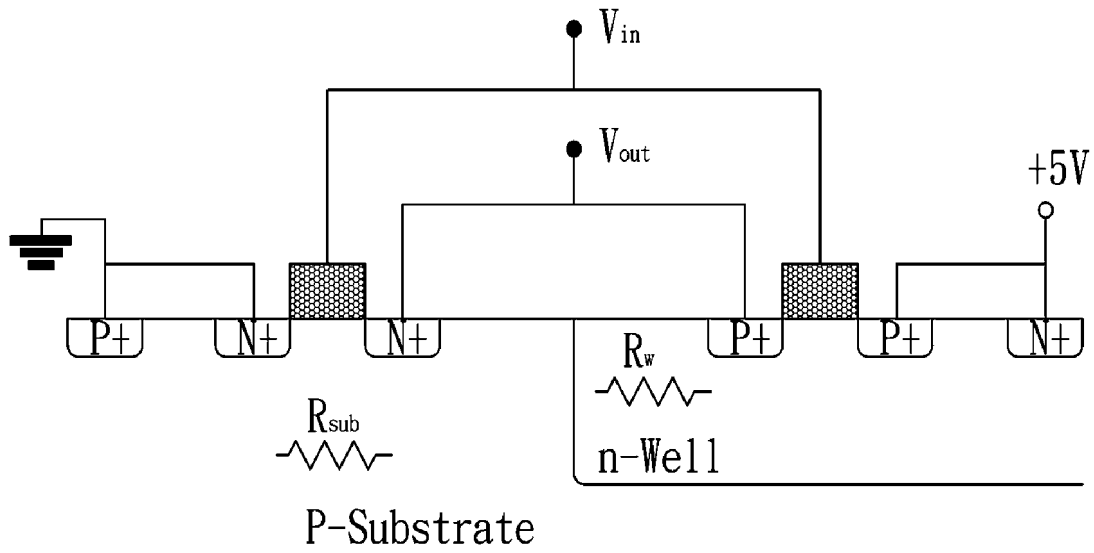
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 2 A

【 補正方法 】 変更

【 補正の内容 】

【 図 2 A 】



【 手続補正 2 】

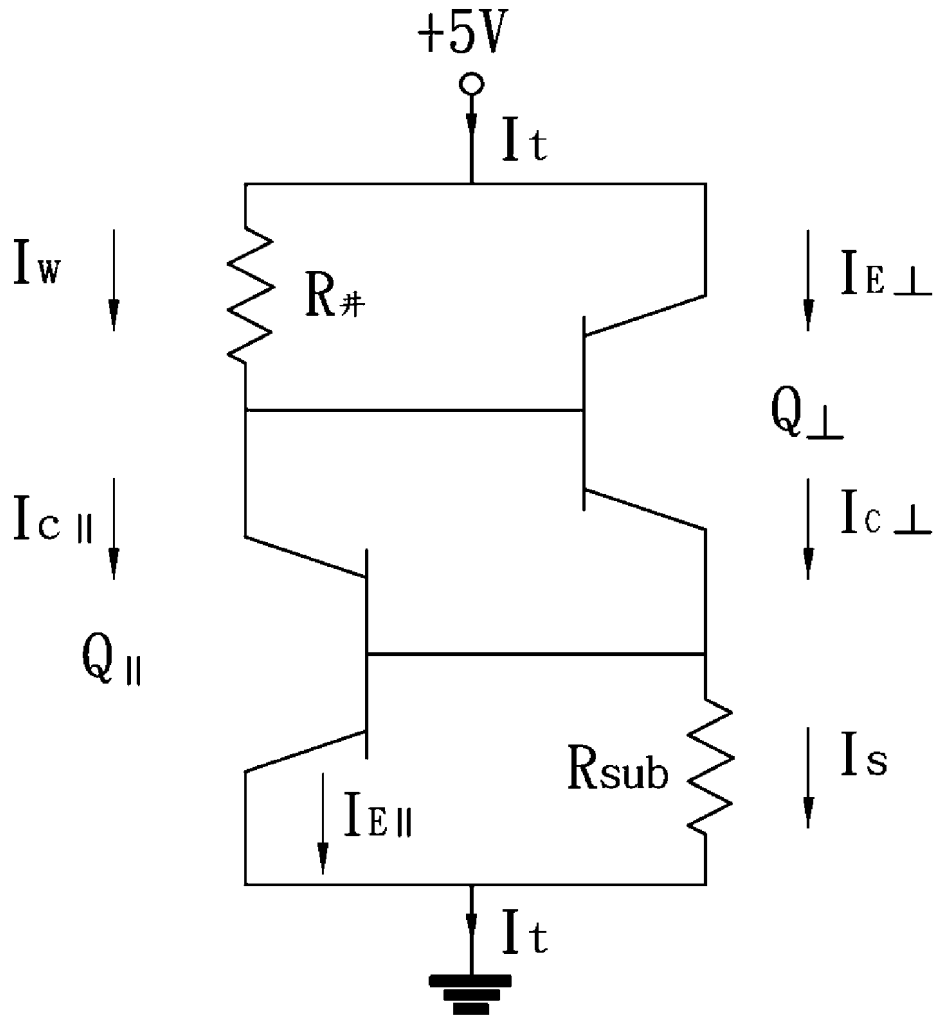
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 2 B

【 補正方法 】 変更

【 補正の内容 】

【 図 2 B 】



【 手続補正 3 】

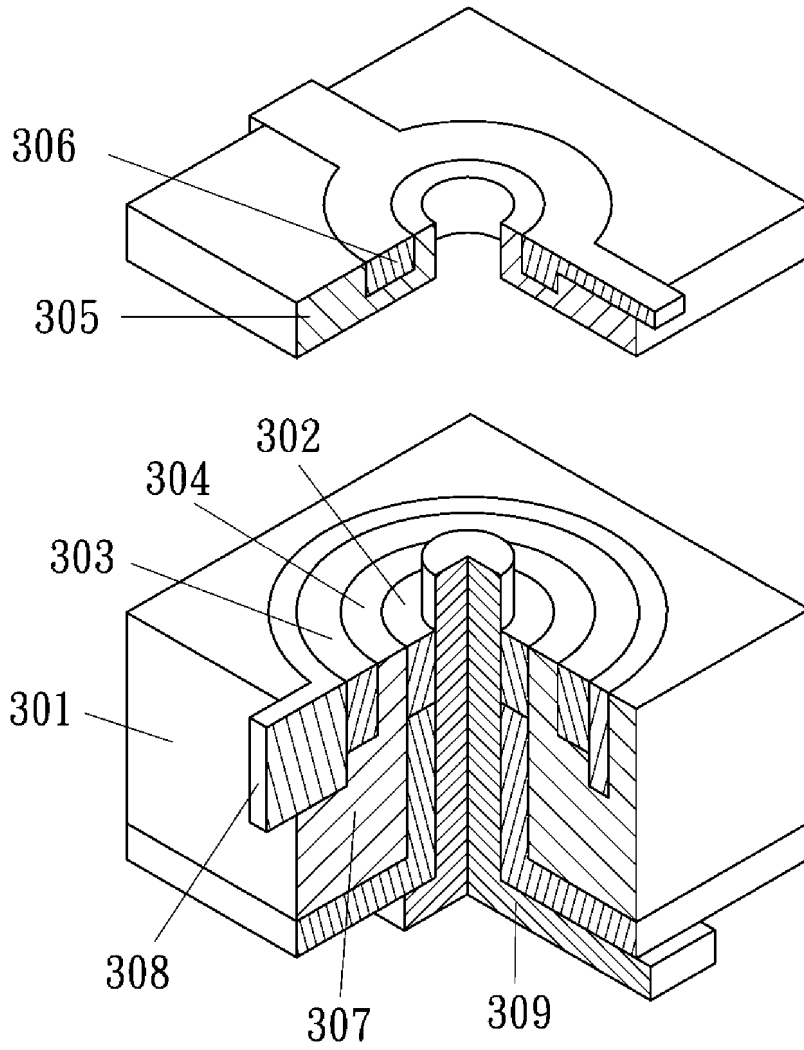
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 3 A

【 補正方法 】 変更

【 補正の内容 】

【図 3 A】



【手続補正 4】

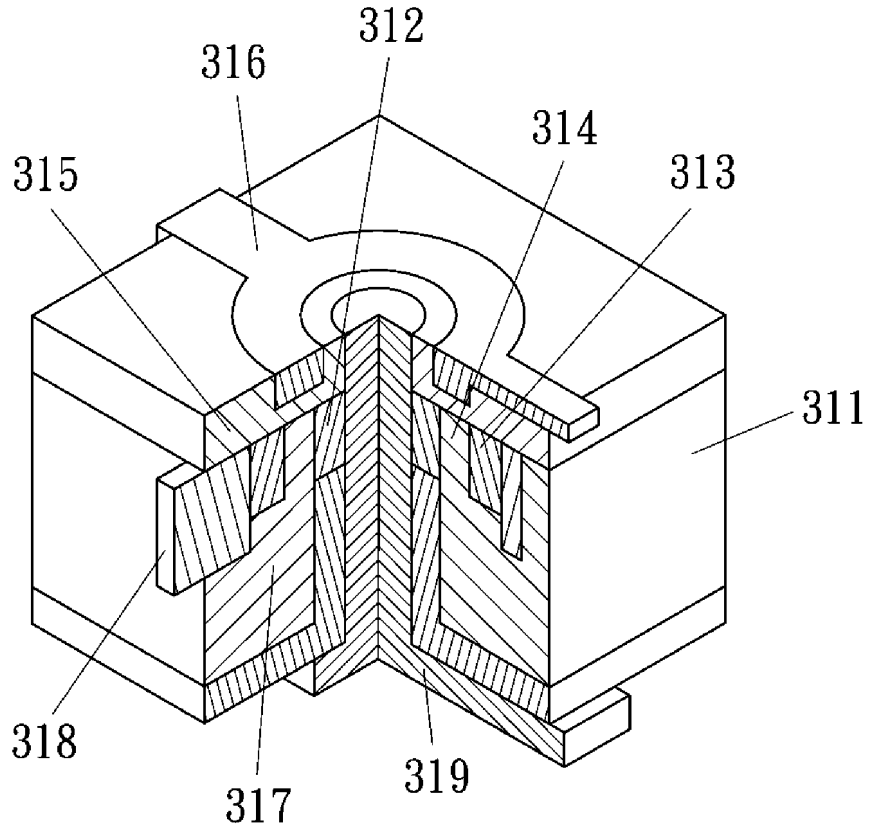
【補正対象書類名】図面

【補正対象項目名】図 3 B

【補正方法】変更

【補正の内容】

【図 3 B】



【手續補正 5】

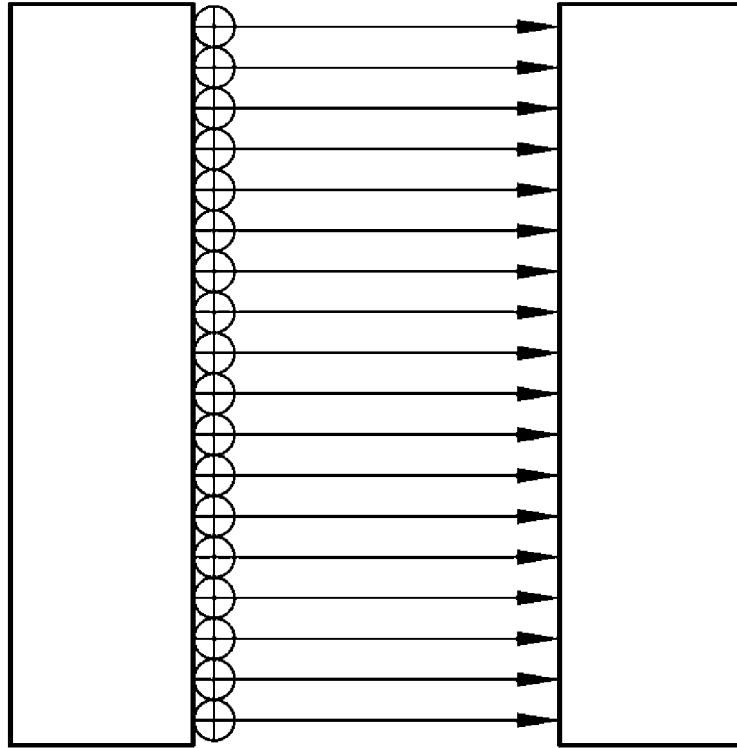
【補正対象書類名】図面

【補正対象項目名】図 4 A

【補正方法】変更

【補正の内容】

【 図 4 A 】



【 手続補正 6 】

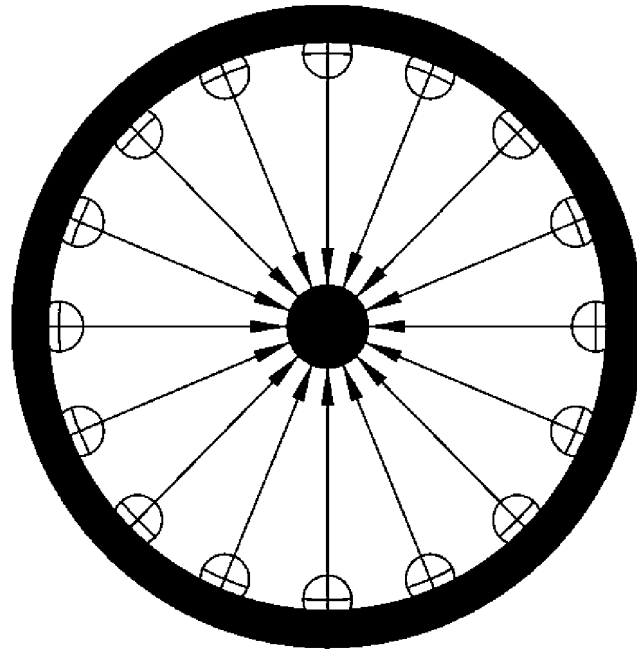
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 4 B

【 補正方法 】 変更

【 補正の内容 】

【図 4 B】



【手続補正 7】

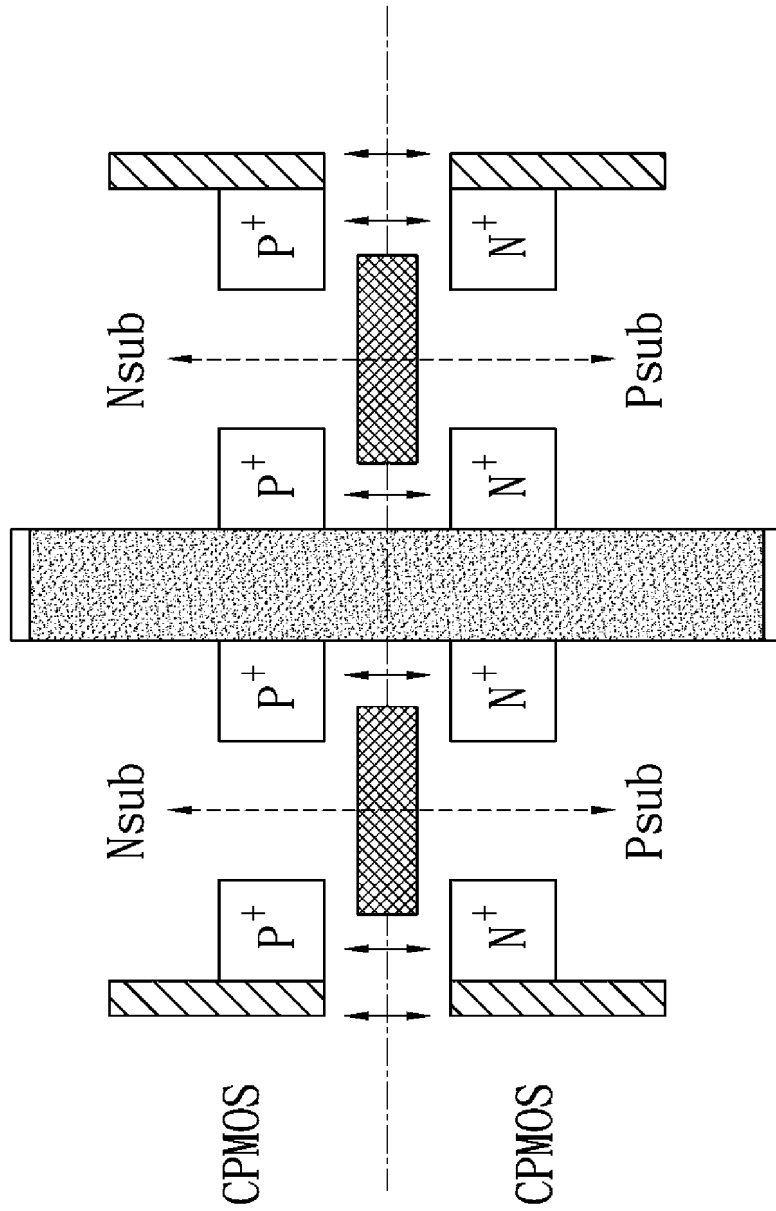
【補正対象書類名】図面

【補正対象項目名】図 6

【補正方法】変更

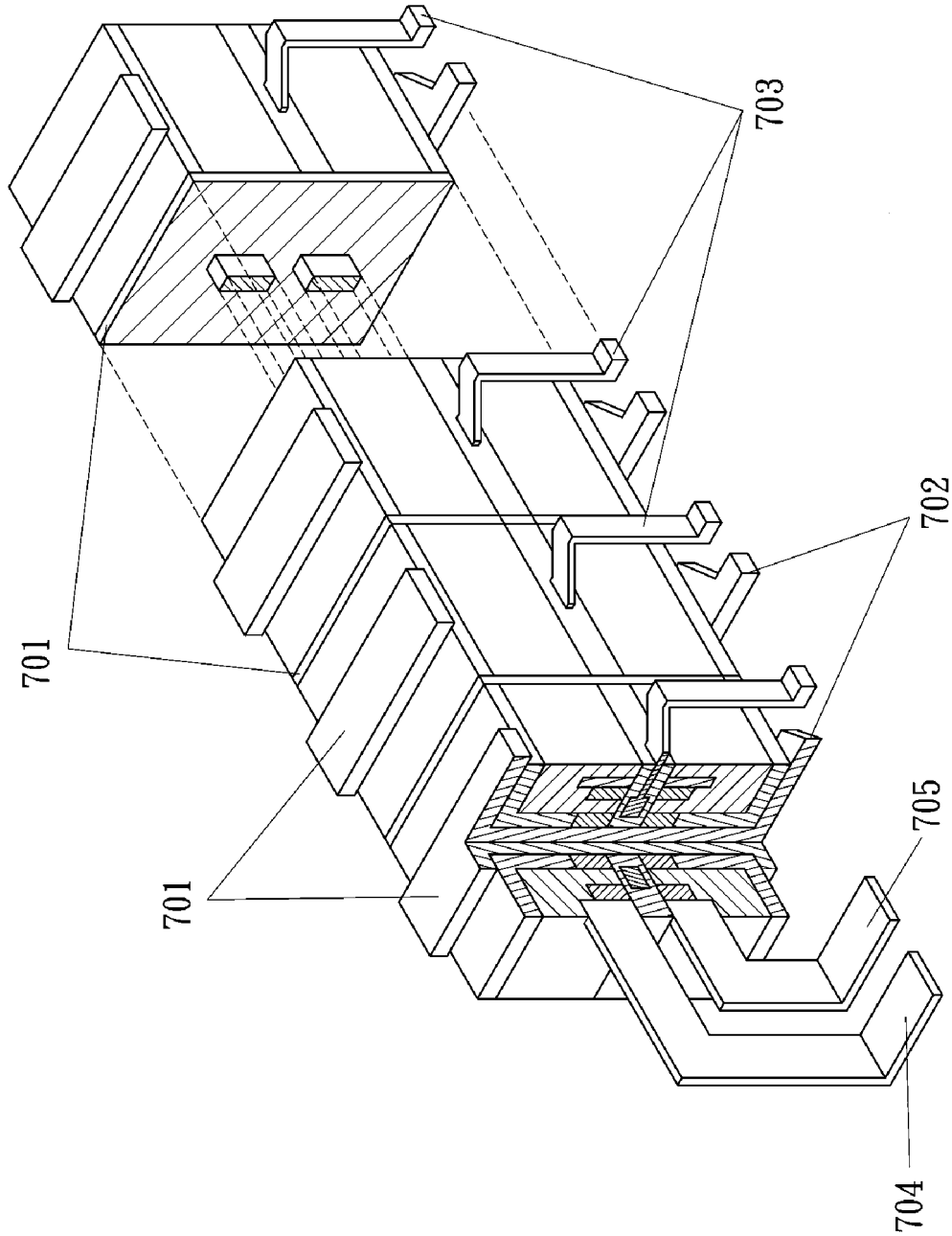
【補正の内容】

【 図 6 】



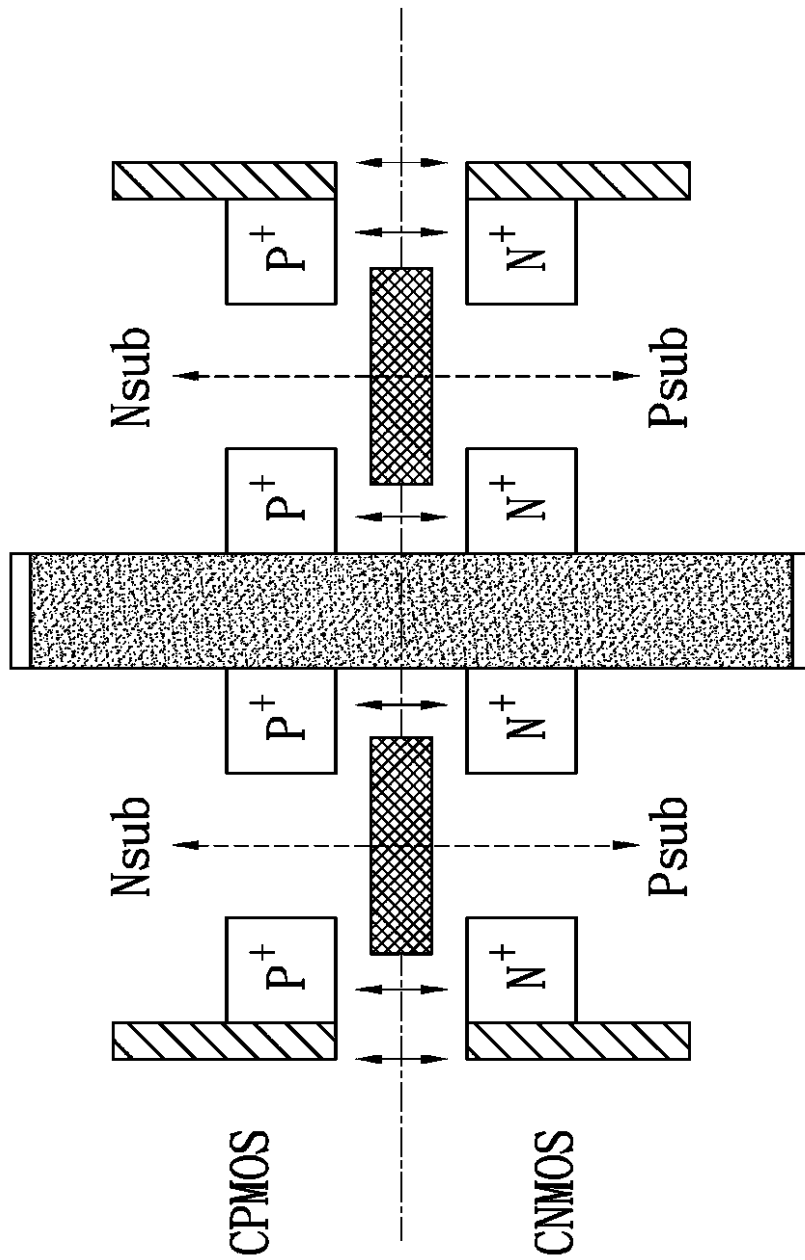
【 手続補正 8 】
【 補正対象書類名 】 図面
【 補正対象項目名 】 図 7
【 補正方法 】 変更

【補正の内容】
【図7】



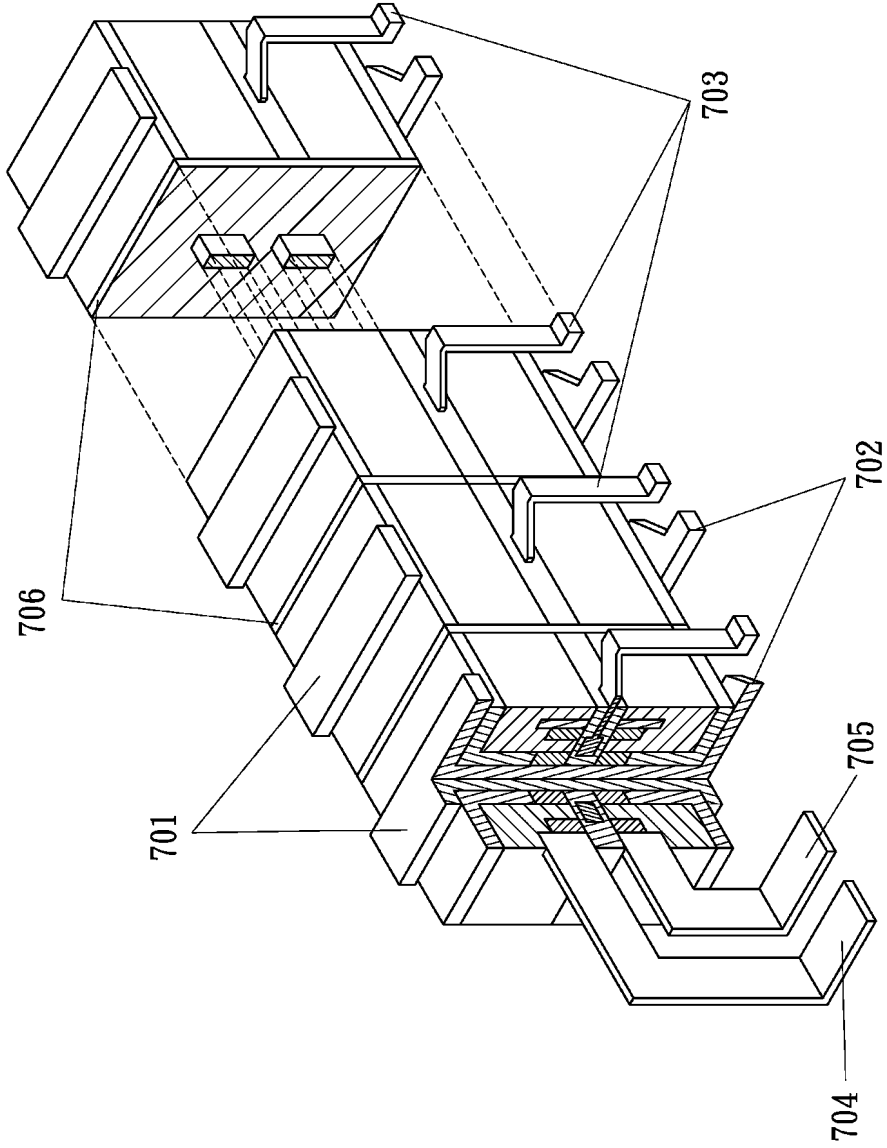
【手続補正書】
【提出日】平成21年1月7日(2009.1.7)
【手続補正1】
【補正対象書類名】図面
【補正対象項目名】図6
【補正方法】変更
【補正の内容】

【 図 6 】



- 【 手続補正 2 】
- 【 補正対象書類名 】 図面
- 【 補正対象項目名 】 図 7
- 【 補正方法 】 変更
- 【 補正の内容 】

【 図 7 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/06 6 0 1 B