

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y

P A T E N T U T Y M C Z A S O W E G O

78 640

Patent tymczasowy dodatkowy
do patentu _____

Kl. 21e, 1/28

Zgłoszono: 31.10.1972 (P. 158566)

Pierwszeństwo: _____

MKP G01r 1/28

Zgłoszenie ogłoszono: 01.06.1973

Opis patentowy opublikowano: 30.09.1975

CZYTELNIA

Urzedu Patentowego

Twórcy wynalazku: Jacek Pęcherski, Jerzy Faszyński

**Uprawniony z patentu tymczasowego: Politechnika Warszawska, Warszawa
(Polska)**

Układ korekcji siatki wzorcowej zwłaszcza do miernika izochronicznych zniekształceń przebiegów binarnych

Przedmiotem wynalazku jest układ korekcji siatki wzorcowej zwłaszcza do miernika izochronicznych zniekształceń przebiegów binarnych. Układ korekcji siatki wzorcowej znajduje zastosowanie w przyrządach miernictwa transmisji danych.

Znany układ korekcji siatki ma wejście połączone z analizatorem przyspieszenia i analizatorem opóźnienia oraz z dzielnikiem binarnym, którego wyjście połączone jest z wejściem bloku bramkującego. Wyjście analizatora przyspieszenia i analizatora opóźnienia połączone są z dwoma następnymi dzielnikami binarnymi, których wyjścia połączone są z blokiem przełączającym. Wejście zegarowe układu połączone jest z blokiem przełączającym oraz z blokiem bramkującym, którego wyjście połączone jest z wejściem licznika rewersyjnego. Wyjście tego licznika połączone jest z drugim wejściem bramkującym, którego kolejne wyjście połączone jest z wejściem dzielnika częstotliwości. Dwa wyjścia pomocnicze tego dzielnika połączone są odpowiednio z analizatorem przyspieszenia. Wyjście dzielnika częstotliwości jest równocześnie wyjściem układu korekcji siatki.

Wadą opisanego wyżej układu jest konieczność stosowania licznika rewersyjnego z blokiem przełączającym, zawierającym większość funkcyj logicznych układu. Funktory te zbudowane są z elementów półprzewodnikowych o bardzo wysokich parametrach technicznych. Układ ma tendencję ustawiania siatki wzorcowej w sposób uniemożliwiający prawidłowy pomiar zniekształceń, jest kosztowny, mało dokładny oraz wykazuje duży stopień zawodności działania. Regulacja układu jest bardzo pracochłonna i wymaga użycia przyrządów pomiarowych wysokiej jakości. Układ wymaga ponadto bardzo starannej konserwacji.

Celem wynalazku jest uniknięcie opisanych niedogodności.

Zagadnienie techniczne jakie trzeba w tym celu rozwiązać polega na opracowaniu układu któryby korygował ustawianie się siatki wzorcowej przy badanym przebiegu o dowolnej strukturze i dowolnej wielkości zniekształcenia oraz szybkości modulacji w zakresie od 50 do 4800 bodów.

Cel ten został osiągnięty przez układ według wynalazku którego istotną cechą jest to, że wejście przebiegu zniekształconego połączone jest z komparatorem i równolegle z licznikiem momentów charakterystycznych, którego wyjście połączone jest z blokiem automatyki. Wejście zegarowe połączone jest równolegle z blokiem

przełączającym, z komparatorem i blokiem bramkującym, którego drugie wejście połączone jest z blokiem automatyki, a wyjście połączone jest z licznikiem którego wyjście jest jednocześnie wyjściem układu. Wyjście to połączone jest również z komparatorem. Wyjście komparatora połączone jest z blokiem przełączającym, który połączony jest z licznikiem korekcyjnym a ten z kolei z blokiem automatyki. Wyjścia bloku automatyki połączone są z licznikiem korekcyjnym, z blokiem przełączającym, z licznikiem uśredniającym oraz z komparatorem.

Zaletą układu korekcji siatki według wynalazku jest prawidłowe ustawianie siatki wzorcowej niezależnie od struktury przebiegu badanego, wielkości zniekształcenia i szybkości modulacji. Układ wykazuje ponadto dużą niezawodność działania oraz ma prostą budowę, zawiera bowiem małą liczbę funkcyj logicznych, które mogą być zbudowane z elementów półprzewodnikowych średniej jakości.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku na którym fig. 1 przedstawia schemat blokowy układu, fig. 2 – momenty charakterystyczne przebiegu badanego oraz siatki wzorcowej, fig. 3 – przebiegi binarne w charakterystycznych punktach układu.

Wejście przebiegu zniekształconego W1 połączone jest z komparatorem K oraz z licznikiem momentów charakterystycznych L1, który połączony jest z blokiem automatyki A. Wejście zegarowe W2 połączone jest równolegle z blokiem przełączającym P, z komparatorem K oraz z blokiem bramkującym B do którego podłączony jest również blok automatyki A. Wyjście bloku bramkującego B podłączone jest do licznika wyjściowego L4 o pojemności $k = 100$ impulsów. Wyjście licznika L4 jest zarazem wyjściem układu WY. Wyjście WY jest połączone z komparatorem K, którego wyjście połączone jest z licznikiem uśredniającym L2. Wyjście licznika L2 połączone jest z blokiem przełączającym P, a ten z licznikiem korekcyjnym L3 o pojemności $k = 100$ impulsów. Wyjście licznika L3 połączone jest z blokiem automatyki A, którego wyjścia są połączone z licznikiem korekcyjnym L3, z blokiem przełączającym P oraz z licznikiem uśredniającym L2 i komparatorem K.

Praca układu dzieli się na dwie fazy, a mianowicie na fazę analizy zniekształceń i fazę korekcji siatki wzorcowej. W fazie analizy do komparatora K doprowadzany jest z wejścia W1 przebieg szpilkowy pokazany na fig. 3.1 którego impulsy odpowiadają momentom charakterystycznym badanego przebiegu obciążonego zniekształceniami. Liczby na fig. 3.1 oznaczają wielkość zniekształcenia poszczególnych momentów charakterystycznych w procentach. Do komparatora K doprowadzany jest równocześnie z licznika wyjściowego L4 przebieg pokazany na fig. 3.9 wyznaczający momenty odpowiadające środkom M elementów siatki wzorcowej pokazanych na fig. 2, oraz z wejścia W2 przebieg $f \times k$, gdzie f jest częstotliwością odpowiadającą szybkości modulacji badanego przebiegu, a k jest liczbą charakteryzującą pojemność licznika korekcyjnego L3 i licznika wyjściowego L4. Komparator K dokonuje pomiaru czasu pomiędzy momentami charakterystycznymi badanego przebiegu a środkiem elementu siatki wzorcowej M, przy czym czas ten wynosi t_{zo} w przypadku gdy moment charakterystyczny jest opóźniony w stosunku do siatki wzorcowej lub t_{zp} gdy jest względem jej przyspieszony. Czasy t_{zo} i t_{zp} odmierzane są ilością impulsów przebiegu $f \times k$ jaka mieści się pomiędzy danym momentem charakterystycznym, a środkiem M najbliższego elementu siatki wzorcowej. Na wyjściu komparatora K pojawiają się zatem serie impulsów przebiegu $f \times k$. Ilość impulsów w serii zależy od wielkości i znaku zniekształcenia badanego przebiegu.

Przykład przebiegu wyjściowego z komparatora K pokazany jest na fig. 3/2. Liczby pod fig. 3/2 podają ilość impulsów w serii, a nad fig. 3/2 podają ilość impulsów jaka pojawi się na wyjściu komparatora K w czasie odpowiadającym fazie analizy. Przebieg ten podany jest do licznika uśredniającego L2. Ilość impulsów, która pojawi się na wyjściu licznika L2 w czasie trwania fazy analizy odpowiada średniemu zniekształceniu momentów charakterystycznych w stosunku do środka M elementu siatki wzorcowej.

Impulsy z licznika L2, pokazane są na fig. 3/3. Liczby pod fig. 3/3 podają ilość impulsów, a nad fig. 3/3 ilość impulsów jaka pojawi się na wyjściu komparatora K w czasie odpowiadającym fazie analizy. Impulsy z licznika L2 kierowane są do bloku przełączającego P, który łączy wyjście licznika L2 z wejściem licznika L3.

Faza analizy kończy się z chwilą wypełnienia się licznika L1, którego przebieg wyjściowy pokazany jest na fig. 3/7. Przebieg ten doprowadzony jest do bloku automatyki A, który reagując na zbocza dodatnie tego przebiegu zamyka drogę dla przebiegu $f \times k$ z bloku bramkującego B do licznika wyjściowego L4.

Przykład przebiegu na wejściu bloku bramkującego B pokazuje fig. 3/6, a na jego wyjściu fig. 3/8. Jednocześnie blok przełączający P łączy wejście licznika korekcyjnego L3 z wejściem zegarowym W2 doprowadzając do licznika L3 przebieg $f \times k$.

Przebieg na wejściu licznika L3 pokazuje fig. 3/4. Liczby pod fig. 3/4 podają ilość impulsów. Zablockowane zostaje równocześnie dla badanego przebiegu wejście do bloku komparatora K oraz wejście do licznika uśredniającego L2. W tym czasie licznik L3 o pojemności k impulsów zlicza impulsy przebiegu $f \times k$. Po wypełnieniu się licznika L3 przekazuje on impuls do bloku automatyki A, który otwiera w bloku bramkującym B drogę dla przebiegu $f \times k$ do licznika L4. W tym momencie kończy się faza korekcji.

Przykład przebiegu wyjściowego z licznika L3 pokazany jest na fig. 3/5. Licznik L3 przed rozpoczęciem fazy analizy ustawiony był w stanie $k/2$, a więc czas na jaki został zatrzymany licznik L4 odpowiada żądanemu przesunięciu siatki wzorcowej o wartość średniego zniekształcenia momentów charakterystycznych badanego przebiegu. Korekcja siatki wzorcowej dokonuje się przez opóźnienie przebiegu wyjściowego względem przebiegu badanego przez opóźnienie przebiegu wyjściowego względem przebiegu badanego przez odcięcie na pewien okres czasu drogi dla przebiegu fX_k w bloku bramkującym B. W przypadku konieczności opóźnienia siatki wzorcowej o czas t_0 droga przebiegu fX_k zostaje zamknięta na czas t_0 . W przypadku natomiast konieczności przyspieszenia siatki wzorcowej o czas t_p , droga przebiegu fX_k zostaje zamknięta na czas $t_E - t_p$ gdzie t_E jest czasem trwania jednego elementu siatki wzorcowej.

Po zakończeniu fazy korekcji rozpoczyna się ponownie faza analizy. Blok automatyki A odblokowuje wejście komparatora K i licznika L2. Licznik korekcyjny L3 zostaje ustawiony w stanie $k/2$. Przebieg ustawiający licznik L3 w stanie $k/2$ pokazany jest na fig. 3/10, natomiast blok przełączający P łączy wejście licznika L3 z wyjściem licznika L2.

Zastrzeżenie patentowe

Układ korekcji siatki wzorcowej zwłaszcza do miernika izochronicznych zniekształceń przebiegów binarnych zawierający blok automatyki, blok bramkujący, blok przełączający, komparator oraz licznik momentów charakterystycznych, licznik korekcyjny, licznik wyjściowy i licznik uśredniający, **znamienny tym**, że wejście przebiegu zniekształconego (W1) połączone jest równolegle z komparatorem (K) i z licznikiem momentów charakterystycznych (L1), którego wyjście połączone jest z blokiem automatyki (A), natomiast wejście zegarowe (W2) połączone jest równolegle z blokiem przełączającym (P), z komparatorem (K) i blokiem bramkującym (B), którego drugie wejście połączone jest z blokiem automatyki (A), a wyjście połączone jest do licznika wyjściowego (L4), którego wyjście jest zarazem wyjściem układu (WY), połączonym z komparatorem (K), połączonym z licznikiem uśredniającym (L2), który połączony jest z blokiem przełączającym (P) a ten z kolei z licznikiem korekcyjnym (L3), którego wyjście połączone jest z blokiem automatyki (A), którego wyjścia połączone są z licznikiem korekcyjnym (L3), z blokiem przełączającym (P), z licznikiem uśredniającym (L2) oraz z komparatorem (K).

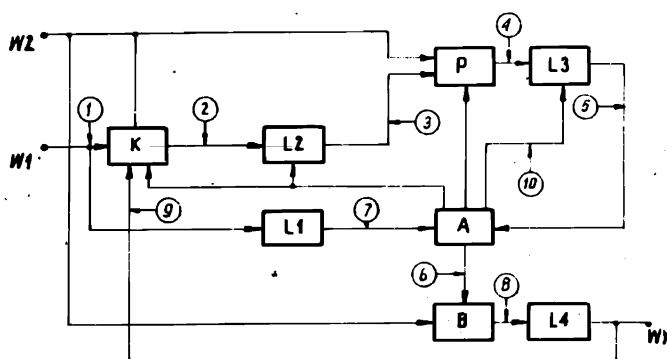


Fig. 1

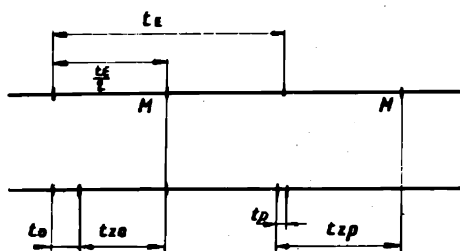


Fig.2

CZYTELNIĄ
Urzędu Patentowego
P. O. P.

