

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 26 年 1 月 9 日 (2014.1.9)

【公開番号】特開 2011-118893 (P2011-118893A)

【公開日】平成 23 年 6 月 16 日 (2011.6.16)

【年通号数】公開・登録公報 2011-024

【出願番号】特願 2010-256099 (P2010-256099)

【国際特許分類】

G 0 6 F 13/28 (2006.01)

H 0 4 L 13/08 (2006.01)

G 0 6 F 13/36 (2006.01)

G 0 6 F 13/38 (2006.01)

G 0 6 F 13/42 (2006.01)

【 F I 】

G 0 6 F 13/28 3 1 0 C

H 0 4 L 13/08

G 0 6 F 13/36 3 2 0 A

G 0 6 F 13/38 3 4 0 C

G 0 6 F 13/42 3 5 0 B

【手続補正書】

【提出日】平成 25 年 11 月 18 日 (2013.11.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

非同期ブリッジ及びアップサイジングに用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト動作時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期パッキング制御器と、を含む非同期バッカーと、

前記非同期ブリッジ及びアップサイジングに用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード動作時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期アンパッキング制御器と、を含む非同期アンバッカーと、

を具備することを特徴とする非同期統合アップサイジング回路。

【請求項 2】

前記ライトバッファはライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルに各々割り当てられたメモリで構成されることを特徴とする請求項 1 に記載の非同期統合アップサイジング回路。

【請求項 3】

前記第 1 クロックが前記第 2 クロックの周波数よりも高い周波数である場合にはアップサイジングのレイテンシーが最適化されるようにバーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数先行して実行することを特徴とする請求項 2 に記載の非同期統合アップサイジング回路。

【請求項 4】

前記第 1 クロックの周波数が前記第 2 クロックの周波数よりも低い場合にはアップサイジングのバス活用性が最適化されるようにバーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数後行して実行することを特徴とする請求項 2 に記載の非同期統合アップサイジング回路。

【請求項 5】

前記メモリはファーストインファーストアウト ( F I F O ) メモリであることを特徴とする請求項 2 に記載の非同期統合アップサイジング回路。

【請求項 6】

前記第 1 クロックはバスマスタクロックであり、前記第 2 クロックはアドバンストエクステンシブルインターフェース ( A X I ) バスクロックであることを特徴とする請求項 2 に記載の非同期統合アップサイジング回路。

【請求項 7】

前記バスマスタクロックはメモリコントローラから提供されるクロックであることを特徴とする請求項 6 に記載の非同期統合アップサイジング回路。

【請求項 8】

前記非同期パッカーは前記ライトチャンネルデータに対する非同期パッキングを実行し、前記非同期アンパッカーはリードチャンネルデータに対する非同期アンパッキングを実行することを特徴とする請求項 7 に記載の非同期統合アップサイジング回路。

【請求項 9】

前記リードバッファは、各々リードアドレスチャンネル及びリードデータチャンネルに割り当てられたメモリで構成されることを特徴とする請求項 1 に記載の非同期統合アップサイジング回路。

【請求項 10】

前記メモリはファーストインファーストアウト ( F I F O ) メモリであることを特徴とする請求項 9 に記載の非同期統合アップサイジング回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

前記の課題を解決するために、本発明の実施形態の一態様による非同期統合アップサイジング回路は、非同期ブリッジ及びアップサイジングに用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト動作時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期パッキング制御器と、を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード動作時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期アンパッキング制御器と、を含む非同期アンパッカーと、を具備する。