

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成26年1月9日(2014.1.9)

【公開番号】特開2011-118893(P2011-118893A)

【公開日】平成23年6月16日(2011.6.16)

【年通号数】公開・登録公報2011-024

【出願番号】特願2010-256099(P2010-256099)

【国際特許分類】

G 06 F	13/28	(2006.01)
H 04 L	13/08	(2006.01)
G 06 F	13/36	(2006.01)
G 06 F	13/38	(2006.01)
G 06 F	13/42	(2006.01)

【F I】

G 06 F	13/28	3 1 0 C
H 04 L	13/08	
G 06 F	13/36	3 2 0 A
G 06 F	13/38	3 4 0 C
G 06 F	13/42	3 5 0 B

【手続補正書】

【提出日】平成25年11月18日(2013.11.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

非同期ブリッジ及びアップサイ징に用いられ、ライトチャネルデータをバッファリングするライトバッファと、バーストライト動作時に前記ライトバッファに入出力される前記ライトチャネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器と、を含む非同期パッカーと、

前記非同期ブリッジ及びアップサイ징に用いられ、リードチャネルデータをバッファリングするリードバッファと、バーストリード動作時に前記リードバッファに入出力される前記リードチャネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び第2非同期アンパッキング制御器と、を含む非同期アンパッカーと、

を具備することを特徴とする非同期統合アップサイ징回路。

【請求項2】

前記ライトバッファはライトアドレスチャネル、ライトデータチャネル、及びライト応答チャネルに各々割り当てられたメモリで構成されることを特徴とする請求項1に記載の非同期統合アップサイ징回路。

【請求項3】

前記第1クロックが前記第2クロックの周波数よりも高い周波数である場合にはアップサイ징のレイテンシーが最適化されるようにバーストライト動作時にライトアドレスチャネルのリクエストを予め設定されたクロックサイクル数先行して実行することを特徴とする請求項2に記載の非同期統合アップサイ징回路。

【請求項4】

前記第1クロックの周波数が前記第2クロックの周波数よりも低い場合にはアップサイジングのバス活性化が最適化されるようにバーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数後行して実行することを特徴とする請求項2に記載の非同期統合アップサイジング回路。

【請求項5】

前記メモリはファーストインファーストアウト(FIFO)メモリであることを特徴とする請求項2に記載の非同期統合アップサイジング回路。

【請求項6】

前記第1クロックはバスマスタクロックであり、前記第2クロックはアドバンストエクステンシブルインターフェース(AXI)バスクロックであることを特徴とする請求項2に記載の非同期統合アップサイジング回路。

【請求項7】

前記バスマスタクロックはメモリコントローラから提供されるクロックであることを特徴とする請求項6に記載の非同期統合アップサイジング回路。

【請求項8】

前記非同期パッカーは前記ライトチャンネルデータに対する非同期パッキングを実行し、前記非同期アンパッカーはリードチャンネルデータに対する非同期アンパッキングを実行することを特徴とする請求項7に記載の非同期統合アップサイジング回路。

【請求項9】

前記リードバッファは、各々リードアドレスチャンネル及びリードデータチャンネルに割り当てられたメモリで構成されることを特徴とする請求項1に記載の非同期統合アップサイジング回路。

【請求項10】

前記メモリはファーストインファーストアウト(FIFO)メモリであることを特徴とする請求項9に記載の非同期統合アップサイジング回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

前記の課題を解決するために、本発明の実施形態の一態様による非同期統合アップサイジング回路は、非同期ブリッジ及びアップサイジングに用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト動作時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器と、を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリー動作時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び第2非同期アンパッキング制御器と、を含む非同期アンパッカーと、を具備する。