

89.6.15 修正  
年 月 日 補充

申請日期	87.5.25
案 號	87108099
類 別	H01L 21/60

A4  
C4  
425647 公告本

(以上各欄由本局填註)

第 87108099 號 **發明專利說明書** 修正頁  
修正日期: 89年6月

一、發明名稱	中 文	用在積體電路的架構總成以及在第一及第二絕緣構件上導通信號路徑的方法
	英 文	A MOUNTING ASSEMBLY FOR AN INTEGRATED CIRCUIT AND A METHOD OF ROUTING SIGNAL PATHS ON FIRST AND SECOND INSULATIVE MEMBERS
二、發明人	姓 名	(1)薩密 K. 布朗 (4)湯姆 L. 陶德 (2)喬治 E. 阿佛利 (5)撒母耳 W. 比爾 (3)安德魯 K. 威金
	國 籍	美 國
三、申請人	住、居所	(1)美國加州洛蓋圖斯市洛瑪林蔭大道 111 號 (2)美國加州撒拉托加市海鷗大道 20151 號 (3)美國加州聖卡洛斯市赤楊街 2063 號 (4)美國加州聖荷西市卡密諾世界 1500 號 (5)美國加州山景市奧塔加街 181 號
	姓 名 (名稱)	美商·高山微系統股份有限公司
代 表 人 姓 名	國 籍	美 國
	住、居所 (事務所)	美國加州坎培爾市東農場街 200 號

裝 訂 線

經濟部中央標準局員工消費合作社印製

425647

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 1997,5,23 60/047,531

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

下  
線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( 1 )

本申請案為美國臨時專利申請案”封裝積體電路之系統與方法”的非臨時申請案，該美國臨時專利申請案為1997年5月23日申請，美國專利編號60/047,531，列有Sammy K Brown，George E. Avery及Andrew K. Wiggin，Tom L. Todd與Sam Beal為共同發明者並指定至Alpine Microsystems。此60/047,531申請案整個在此合併以供參考。

本發明係關於半導體儀器的封裝，更特別的是關於在一半導體基質上相互連結積體電路(ICs)的系統與方法。

電子系統典型上是由兩個或更多個ICs製造以提供完整的系統功能。直到最近，對大多數的應用在表現上與I/O插腳的數目上並沒有很大的限制。然而，當在單一的IC上整合了更多的儀器且當時鐘的速度增加時，在表現上與I/O插腳的數目上之限制對半導體製造者會是重要的考量。這是因為系統的整體表現是基於多重的ICs為個別ICs之表現與ICs間信號之表現的函數。而ICs間信號之表現則是信號的數目與用來連結至的ICs的I/O插腳之工具的電氣特性的函數。所以，一個更有效率之相互連結ICs的工具在電子系統的價格、尺寸、表現、重量與效率上變成一重要的影響。

目前，用來相互連結ICs最常用的方法為先封裝個別ICs，接著架設此封裝好的ICs於如印刷電路板等的基質上。封裝的尺寸典型上比IC要好幾倍且通常是由一金屬鉛框架製造並保護於一塑膠模鑄盒內。此封裝的ICs接著排列並焊成一印刷電路板以形成一完整的電子系統。現行方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 2 )

法的優點包括有低成本及在後續處理期間IC的保護。此外，封裝動作為一測試IC標準化的媒介，使得設計改變成印刷電路板可能便宜又快速。總成IC成印刷電路板可能進一步自動產生。最後，目前的系統准許印刷電路再次操作。

然而，由於先進的ICs需要較高的表現且比採用傳統的相互連結技術所可能的I/O插腳數目較多，必須有一較有效的方法。傳統方法限制了電氣表現與移除熱量的能力。封裝的電氣寄生特性、導體的長度、印刷電路板的結構引出的電氣寄生特性、及使用在印刷電路板的介電材質都限制了此方法的電氣表現。這些限制依序限制了系統上信號的數目至多為數百個，不論IC或系統的複雜性。由於目前的IC相互連結比ICs的表現要差，其限制了整體系統的表現。

積體電路操作在100MHz以上。然而目前相互連結ICs的方法限制系統操作在100MHz以下。所以必須具有一有效相互連結積體電路的工具以跟上積體電路表現相對應的進步。

本發明提供一種有效相互連結數個ICs的系統與方法，藉而改善整體系統的電氣表現。

在本發明之系統的一個應用實施例中，數個載體對應數個ICs，而一個板具有數個板區以接收數個ICs。每個載體具有第一及第二組電路接通與其間的一組相互連結。第一組電路接通常對應的IC架設在載體表面上時，連結至對應IC上的電路接通。每個板區具有一組板電路接通連結至

(請先閱讀背面之注意事項再填寫本頁)

製

訂

## 五、發明說明 ( 3 )

個別載体的第二組電路接通，而該板具有一組板相互連結，連結至該組板電路接通之挑選的電路接通。此數個板區進一步形成一開口，其大小可在個別载体架設至該板上時清洗個別載体的IC。

在本發明之系統的一個應用實施例中，數個ICs架設至對應的载体上。每個對應载体具有一表面，附有表面電路接通而载体上的一組電路接通導通至使用嵌入相互連結之IC上的一組電路接通。提供了一具有開口的板且該ICs裝配至該板上的開口而载体佔用該板。

本發明這些與其他的應用實施例，及其許多的優點與特性，在以下的文字與附圖有更詳細的描敘。在這些圖中，相同的參照數字指示相同或功能相似的元件。

第1圖顯示如本發明之系統，用以有效相互連結ICs之不同元件的立體圖；

第2A-2C圖分別顯示板上IC/载体副總成的頂視圖、IC/载体副總成的側視圖與板上IC/载体副總成的側視圖；

第3圖顯示载体上一組示範的電氣相互連結；

第4圖為如上第3圖所示之载体的橫截面圖；

第5A-5B圖分別顯示架設在载体上的單一IC與架設在载体上的多個ICs；

第6圖顯示如本發明之方法以有效相互連結ICs的步驟；

第7圖顯示如本發明另一個方法以有效相互連結ICs的步驟；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 4 )

第8圖為一如本發明之載體晶圓的簡化平視圖；

第9圖為顯示在第8圖中載體晶圓的部分之詳細平視圖

；

第10圖為一microrack總成的透視圖；

第11圖為如本發明另一個應用實施例microrack總成的透視圖；

第12圖為如本發明第二個應用實施例microrack總成的透視圖；

本發明提供一種系統與方法以有效相互連結ICs而形成一具改善的整體系統表現之複雜電子元件。

第1圖顯示一積體電路(IC)10架設至一載體12與具有數個開口16的板14之立體圖。如示，板14具有四個開口16，然而開口16的數目根據連結至板14的載體數而改變。同樣地，雖然開口16顯示為相同大小，它們在另一個例子中可能尺寸不同，因為開口的尺寸是由將電氣連結至板14之ICs的尺寸所決定。在如第1圖所顯示的例子中，載體12只接至IC 10。然而，如稍後的討論，載體12可能接至超過一個IC或至其他的電子元件。如果載體12只接至一個IC，系統載體的數目將視複合IC內ICs的數目而定。在一較佳的應用實施例中，載體的尺寸對應於複合IC內ICs的尺寸，而板的尺寸則對應複合IC的尺寸。

載體12希望與板14與IC 10熱相當，因為載體12接至IC 10與板14。在IC 10、載體12與板14間的熱擴張補償可能藉由使用如電線等軟性材料在IC與封裝間形成連結來完成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 5 )

。相同地，結合材料可能使用來限制壓力。然而，較佳的方法為使載體12與板14由與IC 10熱擴張係數(CTE)相似的材料構成。在一較佳的應用實施例中，載體12及板14是由與IC 10相同的材料構成。由於ICs典型上是由單晶矽製造而成，其具有較低的CTE，矽是較佳的載體及板材料。然而，也可利用砷化鎳或其他CTE相當的材料。

第1圖也顯示板14上的相互連結。板14是採用半導體照像石版處理製成；因此，板14上之板相互連結20的導電密度比傳統板水平相互連結的導電密度要高。載體12上的接頭是預先製造以適於板14上接頭的結合墊型式。所以，板14既做為一機械基底，也至少當作在鄰近載體與ICs間相互連結20之單一導電層。希望在板14內沒有vias因為IC相互連結希望藉准許ICs間的信號通過鄰近的晶片於載體中分佈。由於所有副系統導電希望是分佈在個別的載體上，減少板導電的複雜至單一節點組。與單一相互連結板比較，載體間相互連結的分佈大幅簡化了相互連結的工作，且實質改善了整體系統的表現。雖然板14希望只有一個相互連結水平，在應用上產量不重要，板14可能有多個相互連結水平。在此類應用中，在板14內不會有vias因為相互連結會包括通過與交疊。

第2A-2C圖分別顯示板上IC/載體副總成的頂視圖、IC/載體副總成的側視圖與板上IC/載體副總成的側視圖。如第2B圖中所示，副系統25由架設至載體12的IC 10組成。載體12以焊封泵浦(以接頭21及22表示)預先製造，其以陣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(6)

列放置而分別與IC 10與板14的接合墊型式鏡向定位。IC 10經接頭21倒裝接合至載體12。如第2C圖中所示，每個副系統25架設至板14，使得IC 10會與開口16吻合。如所示可見，載體12繞開口16延伸並經接頭22連結至板14。典型上，在IC 10與載體12間接頭21的數目不會與在載體12與板14間接頭22的數目相同。

使用開口16致使所有的信號連結位在由IC 10的頂邊、載體12的頂邊、與板14的頂邊所形成的平面上。這個架構是非常有利，因為矽的化學性質為其無法透過超過幾十分之一微米的矽質材料形成盤狀vias。藉載體12與板14採用相同的材料，可在載體12與板14間形成直接焊封連結。由於IC 10與載體12希望是由相同的材料構成，信號連結也可能直接焊封在載體上並連至IC。如前面的討論，載體12上的焊封泵浦鏡向定位IC 10的接合墊型式。因此，IC 10不需被solder bumped。

使用焊封泵浦來連結IC至載體及載體至板的優點為可以使用一區域陣列來最大化可獲得之外部信號連結的數目。此外，可能減少關於電線連結的干擾。焊封泵浦倒裝接合為一自動過程，而bumping的花費不隨接腳數增加而增加。因此，使用焊封泵浦也致使在保持低成本下能整合更多的I/O接腳數。

第3圖顯示在載體12上一示範的電氣相互連結架構。為了簡單起見，只顯示了相當小數目的連結。如所見可示，載體12沿其週圍具有接頭22及環繞其中央部分有接頭21

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 7 )

。接頭21及22分別連結IC 10至載體12，與載體12至板14。

。接頭21可能使用嵌入相互連結導通至接頭22，而此類導通可能具有至少一個交疊。這些交疊准許信號在載體12上送至或自IC送出。此外，載體12上的信號路徑可能獨立於IC導通路徑之外。這些獨立的信號路徑作為信號自一鄰近IC至其他鄰近ICs的通路。以此方法，ICs的相互連結則分佈在個別的載體上。

接頭21及22根據特別複合ICs的應用預先決定。因為接頭21及22是使用半導體照像石版技術來製造，產生的導電密度與晶片上相互連結的密度非常相似。特別的是，接頭21及22是透過焊封泵浦的內排及外排形成，分佈的型式是匹配IC 10與板14的接合墊。這減少了個別ICs上放置焊封泵浦的需要。ICs間連結的數目，稱為外部相互連結，通常比使用來在IC上連結電晶体之相互連結密度少很多的相互連結密度。因此，總是可以藉使用用來構成IC本身之相同或較不先進的半導體處理來形成夠高的外部相互連結密度。使用相同的技術，外部相互連結可能也能裝入一與IC本身的面積相同或較小的面積。此提供了比現行方法較佳的產量優點，因為印刷電路板的尺寸與面積通常比ICs本身要大好幾倍。

一起參照第3與第4圖，載體12是由多重水平之半導體金屬化處理所形成。信號路徑間之交疊透過使用位於相同層內的vias來達成。由於所有的vias都位於相同層內，接頭21與22的常態改變可藉單一屏障程式較易地在製造水平

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 8 )

形成。對每個新的應用，vias的位置可根據希望的特別IC相互連結來決定。一旦決定了vias的位置，只需要改變包含via的層。

載體12包含一多重水平相互連結矩陣，附有至少每平方公分800個信號路徑。此相互連結矩陣的架構為可屏障程式化並便於超過20GHz的資料信號傳送。IC 10的輸入及輸出(I/O)信號可以導通至底座墩身的側邊，有效地增加了IC 10的I/O密度三倍。載體12相互連結矩陣是由兩個夾在電力參考平面12c與接地參考平面12d間的信號層12a及12b所構成。每個層為5微米的電鍍銅板。電力層12c提供一 $V_{dd}$ 的參考平面並包括一放置接合墊接頭的間隙。藉環繞此兩個相隔的信號路徑12a及12b於兩電力平面12c及12d間，減少了在信號路徑12a及12b內的噪音，如串話干擾及同時交換噪音(SSN)等。

串話干擾來自兩相鄰信號線間的互容。對載體12而言，產生的串話噪音可以由下式預估：

$$V_{cn}=0.176 \times 10^{-9}(V_{in}/\tau_{上升})$$

其中 $V_{in}$ =輸入電壓。遠端串話干擾傾向於取消且可以被忽略。在由輸出暫存器的放電路徑形成之 $V_{DD}/V_{SS}$ 迴圈內產生的SSN通常稱為地面反彈，因為其為施加在局部地平面12d(也敷施至電力平面12c)。噪音電壓的大小可以由下式預估：

$$V_{SSN}=L_{eff}dI/dt$$

其中 $L_{eff}$ 為底座墩身至封裝至接地之有效自感。此公

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( 9 )

式由於忽略了 $dI/dt$ 的負回授影響， $V_{SSN}$ 值會較大。電路噪音帶必須足以保證在SSN出現時能正常操作。載體12與板14總成提供相當低( $<0.1nh$ )的寄生電感，且載體12包括非多孔的參考平面。

藉環繞此兩個相隔的信號路徑12a及12b於兩電力平面12c及12d間，每個電力平面12c及12d與信號路徑12a及12b間的距離可能可輕易地控制使得在載體的體積上可保持一定。這使得在電力平面12c與信號路徑12a與電力平面12d與信號路徑12b間便於形成固定的阻抗。此外，藉將信號路徑12a置於電力平面12c鄰近與將信號路徑12b置於電力平面12d鄰近可避免串話干擾。依此方式，沿路徑12a或12b的信號傳送內電流的返回路徑並不是相鄰的信號路徑，而是電力平面12c或12d。

藉取消反射噪音可能可進一步減少噪音，這可由在驅動器與接收器間之阻抗不匹配來形成。當信號的飛行(flight)時間可與信號的上升(rise)時間相比時，反射噪音可能成為問題。因此，滿足以下限制之非常短的連接會使反射噪音問題最小。

$$t_{flight} < t_{rise} / 4$$

對一典型的載體12信號相互連結，飛行的時間為：

$$flight-50ps。$$

因此，藉保持上升與下降時間 $>200ps$ ，可以避免反射噪音及產生的結果對穩定時間的影響。對3.3V的轉移而言，此轉變為每個相互連結 $<66pF$ 的相互連結負載電容。依

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 五、發明說明 ( 10 )

此方法，載體12提供一低噪音之高密度的導通結構，藉其可相互連結單一IC 10或多個ICs 10的各種座墊。

另一方面，板14作為載體12的機械基底而在相鄰載體12間提供單層導通。結合多層載體12相互連結矩陣與板14相互連結的單層信號路徑有效地在多晶片副系統產生一連續連結XY相互連結平面。不具有直接接頭至鄰近板14的載體12與另一載體12共享電力平面12c或12d。雖然不是必須，希望在資料通訊，即電氣耦合，的載體及/或ICs 10應位於彼此附近。

除了提供適當的電流攜帶路徑給個別IC 10的總峰值需求，載體12與板14組合必須提供足夠的散熱以滿足預估之儀器的電力耗損。在改善載體12與板14組合的電力特性之努力上，希望IC 10採用低變動信號技術。

第5A圖顯示架設在載體12上的單一IC 10。如第5B圖顯示，也可能在載體12上架設多個ICs。雖然第5A及5B圖只顯示在載體12、電阻器、電容器及其他電氣元件上的ICs可能沿ICs架設在載體12上。因此，載體12功能為自身內的多晶片模組。這在當更多的元件可能相互連結至板14上時非常有利。再者，將載體12視為中繼板，相互連結可與晶片上的相互連結相比。

使用間歇過程製造載體12的處理包括採用傳統化學蒸氣分解技術。在一個例子中，準備一晶圓以藉自其去除天生的氧化物來處理。之後，晶圓表面集結一層大約4,000埃厚的銅。此銅層沈澱以在晶圓的表面上有一實質均勻的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 五、發明說明 ( 11 )

厚度。在此集結層上沉澱一層光阻材料達8至10微米範圍厚。此層光阻材料用作為一覆蓋屏障以形成如上第4圖中的電力平面12a及12b。電力平面12a及12b由一屏障層所界定，其沉澱在光阻材料之上。之後，一光阻材料異向侵蝕步驟自屏障所界定的區域去除光阻材料，而曝露出集結層。一層5.0微米厚的銅分佈在由使用電鍍技術之前述的侵蝕步驟所去除的區域。特別的是，此晶圓的週邊附至一電鍍極以准許電極與集結層間的接觸。晶圓接著浸入在銅電鍍浴中，於其中電鍍了大約5微米的厚至前述的區域。在完成了電鍍的步驟後，去除了光阻材料，留下了做成的電力平面12a及12b。此銅集結層保持短路所有在晶圓上的金屬型板。

接著，執行一覆蓋濕浸蝕以去除銅集結層並提供電力平面12a及12b間的絕緣。使用一種黏著促進劑，3-丙基氨三乙氧硅烷(3-APS)，0.5%在申醇中，於晶圓上。此3-APS溶液當晶圓以3000rpm旋轉時動態分散於晶圓的中心上。旋轉速度接著增加至5000 rpm達30秒以使表面乾燥。此後，沉澱一BCB介電層。此介電層的厚度大約為5.0微米且與電力平面12a及12b電氣絕緣，形成一微帶傳輸線結構。此3-APS增加BCB至銅的黏著性。

於介電層上置一第二屏障以定位與界定vias，其接著在一光學-BCB顯像處理期間浸蝕。這是接在濕蝕一覆蓋在整個晶圓上4,000埃厚的銅化鈦之後。此銅化鈦層的功能為做為後續電鍍銅用之電鍍電極。此電極依附是在晶圓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 12 )

的外緣。沈澱大約8至10微米的第二層光阻材料。此第二層光阻材料用來做為電鍍屏障以形成由屏蔽所界定的信號層12c及12d之一。此光阻材料接著被異向浸蝕，曝露銅化鈦層在光阻材料的各種區域內。達五微米厚的銅沈澱在前述的vias，及在使用電鍍技術的異向浸蝕期間曝露的區域。此光阻材料接著被去除，留下由加成處理所形成的信號平面12c及12d。此時執行一覆蓋濕浸蝕以去除銅化鈦層並在信號層12c及12d間提供電氣絕緣。接著沈澱另一層3-APS黏著促進劑及BCB。BCB層大約2.0微米厚。

在去除部分的BCB層之浸蝕後施加第四個屏蔽以界定相互連結21及22。在前述的部分執行鎳及金的電鍍。施加第五個屏蔽以界定BCB層的區段被去除的區域，曝露了矽晶圓的區域。接著使用一乾浸蝕以去除BCB層的區段。此時，施加一層3-APS黏著促進劑至晶圓的側面，其相對於第五層屏蔽所沈澱的側面，及一層2微米厚沈澱其上的BCB，界定一背面BCB層。第六層屏蔽分散在背面BCB層上並界定矽晶圓所曝露的區域。在自這些區域去除矽之後使用一乾浸蝕以曝露矽晶圓。接著去除背面BCB層。板14是以相似的方法製成。

第6圖為一流程圖，顯示如本發明之較佳的相互連結ICs之方法。如示，對每個複合IC而言，板晶圓、載體晶圓及IC晶圓是獨立製造。參照步驟501，在板晶圓製造後，在步驟503於板內形成開口。個別的板在步驟505獨立出來並在步驟507測試。載體在步驟521製造並在步驟523對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 13 )

不良單元測試及分類。丟棄不良單元且在步驟525將良好單元獨立至個別的載體內。參照步驟541至步驟545，一旦製成後也將測試ICs有無缺陷。良好單元也自不良單元分類出來並獨立至個別的ICs內。在步驟555中，良好的IC底座墩身架設至相對的良好載體上。在ICs已架設至載體後，在步驟555執行一IC的最終測試。這個在IC與其他副系統ICs整合前的額外測試減少了生產”已知為良好的底座墩身”之負擔。由於沒有對底座墩身的品質做假設，也減少了複合生產損失。此IC/載體副總成於步驟570架設至板上。於步驟572中測試不良接頭，且一旦通過測試即在步驟574中完成了總成。

參照第7及第8圖，顯示了如本發明相互連結ICs的另一個方法。明確指出，步驟601、603、605、607對應上面參照第6圖討論之步驟501、503、505、507。然而，顯示在第7圖中的方法不同之處在於個別ICs 110是在載體被分段前總成至載體上(未顯示)。明確的是，載體晶圓112a是在步驟621中製造，使得有數個彼此間隔的載體區域112位於其中。在一獨立的處理中，ICs 110在步驟641中製造。之後，使用上面討論的焊封附著技術將ICs 110在步驟645中分段並在步驟647總成至載體晶圓。依此方式，每個載體區域112會有至少一個相關的IC 110。

參照第3、第7及第8圖，在載體12分段之ICs 110的附著准許在最後總成前100%的功能測試或ICs 110的強化試驗。為了該目的，載體晶圓包括一電力平面120及一接地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 14)

平面122與信號路徑124，每個載體區域112可能透過相互連結126耦合至電力平面120及接地平面122。在此架構下，相關於載體區域112的ICs 110可能在完成總成前於步驟570測試。特別的是，信號路徑124、接地與電力平面122與120及相互連結126與必要接頭21電氣通訊以便於偏壓及信號傳送至ICs 110。如此，可能可以早期偵測不良的ICs 110。載體區域112及ICs 110可能在分段後丟棄，但在最終副總成至板14前，藉而節省除去一正常運作板14的花費。此外，減少的是對ICs 110在功能測試期間發生之損害的可能性，因為測試信號的耦合與至ICs 110的偏壓電壓發生在耦合墊124a及126a。在強化試驗期間沒有與ICs 110及測試單元(未顯示)的實際接觸。

參照第8和第9圖，信號路徑124及相互連結126藉通過位於相鄰載體區域112間的測試電路區域130導通至每個載體區域112。測試電路區域130也包含有其他必要的電路元件以正確地架構ICs位於載體區域112以行功能測試。例如，絕緣電阻器132及134可能散布其內。依此方式，每個IC 110可能分別經絕緣電阻器132及134耦合至電力平面120與接地平面122。此防止相關於載體區域112之一的短路，短路了整個載體晶圓122a。在顯示於第7圖內的分段步驟670期間，平分了測試電路區130及電力與接地平面120與122。這准許了在不損害個別的載體區域112下分段載體晶圓122a。在步驟672中，測試不良的接路，一旦通過此測試，顯示在第7圖中，於步驟674完成了總成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 15 )

參照第10圖，在一系統內ICs 710間的整体帶寬是一電子系統之表現的一個主要決定因素，而ICs 710的外部表現相當於相互連結導通密度乘上I/O接腳間的頻寬。為了進一步增加積體電路的密度及其表現，在單位體積內提供了一背平面714，使得個別的板714可能耦合至其，並藉而沿伸2-D板714成為一3-D副總成。如上所討論，板714可能具有一載體712而有一積體電路710架設至其上。背平面711包括數個接合墊715及數個信號路徑717，而一小組數個接合墊置於背平面711的第一主表面723。至少一個通路719形成至背平面711並自在第一主表面723形成的孔徑721沿伸至相對主表面725。

當沿伸2-D板714成為一3-D副總成時，希望儘可能匹配在板714間的I/O帶寬與在板714內的帶寬。這意味著在板714間的高相互連結導通密度，需要一些型式的結構在2-D板714間移動信號。結果，3-D副總成的複雜度大致等於其組成板714的複雜度乘上板的數目。例如，在一具有十個板714的副總成內，整体系統水平的複雜度為10 X。為了相互連結板714與背平面711，必須精確控制其製造偏差。為達此目的，背面711是以上述的方式形成，關於板714的形成。此准許使用照像石版與浸蝕技術來建之副總成各種特色的機械偏差。明確地說，硅有機化物的晶狀結構准許板714與背平面711的精確浸蝕。依此方式，可以藉浸蝕處理來形成1微米的機械偏差。假設一較差的案例偏移精確度20%，可以建立5微米的墊間距。所以，電氣連結與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 16 )

機械結構間的偏差可能可藉照像定向設備的精確來設定。

為了便於準確耦合板714至背平面711，每個板包括至少一個樺頭727，其一端的橫截面與通路719的橫截面互補。雖然樺頭727可能形成以自板714的任何表面沿伸，仍希望至少一個樺頭727自板714的週邊729沿伸，該板位於一與板714的相對主表面731及733所在的平面垂直之平面。依此方式，一旦到達一關於背平面711之最後的座落位置，板714的相對主表面731及733位於一平面，其橫向沿伸至相對主表面723及725所在的平面。在此最後的座落位置內，至少有數個接合墊715之一位於板714上數個接合墊型式接頭724之一的鄰近。

為了定位板714關於背平面711，希望焊封接合墊715至位其鄰近之接合墊型式接頭724，界定結點。為達此目的，接合墊715及接合墊型式接頭724必須包括一種可藉焊封潤濕的材料。典型上接合墊715及接合墊型式接頭724是以金或鎳電鍍。焊封可能採用任何業界已知的技術而流動。然而，希望焊封是採用如紅外線等的局部加熱技術而流動。以此方式，焊封可在不將環繞焊封的面積置於過多的熱量下而流動。典型上，相鄰板714間的距離為最差案例偏差的函數，其決定通路719的尺寸相對於樺頭727。板714上墊的高度、背平面711及採用之焊封的品質必須是以確保在結點715沒有孔隙。

採用焊封的一個優點為其便於藉准許重置出現在其上的不良板714或積體電路710來再工作。這在考量由架構十

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明（<sup>17</sup>）

個板714至背平面711所提供的10X增加導致，與個別板714比較下，系統水平缺陷之10X較高機率時是特別重要的。有了焊封，藉再流動焊封以自背平面711去耦合不良板714來便於副總成的再工作，在第11圖內的結點837有更清楚的表示。再次參照第10圖，於再工作期間，接合墊715及接合墊型式接頭724可能以一種與倒裝接合技術用之再工作程序相似的方法清洗。可能接著重覆用來最後總成的處理。在最後總成後，3-D副總成可以置於所製造下一個水平的保護封裝及接頭內。

為了釋放在結點的壓力，位於相對於結點之板714的一面可能包括一自主表面之一延伸的臂骨737。臂骨737具有足以接觸相鄰板714的尺寸並減少有關結點之板的懸臂。

參照第11圖，在另一個應用實施例中，有關結點837之板814的懸臂可能可藉提供一第二背平面811b來避免，其可能與第一背平面811a相對或自其橫向沿伸。第二背平面811b與第一背平面相似，但板814會包括第一及第二組樺頭827a及827b，其每個獨特地相關於第一及第二背平面811a及811b。具有多個背平面之增加的好處為可能提供較短的信號路徑，藉而減少任何板上信號間最差案例路徑長度至板平均寬度加上背平面間隔。這在增加3-D模組內信號的傳輸速度時減少了寄生電容及電感。

參照第12圖，另一個應用實施例以防止有關前述結點之板914的懸臂包括使樺頭927附於自板914的相對主表面



### 五、發明說明 ( 18 )

931及933不同距離之背平面。為達此目的，一個或更多個樺頭927可能自相對主表面931及933之一延伸至背平面911，而剩下的樺頭929自週邊延伸。依此方式，有關前述結點之板914的懸臂因為結點位於兩不同平面而減少了。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 19 )

## 元件標號對照

10...積體電路	126...相互連結
12,712...載體	132,134...絕緣電阻器
12a,12b...信號層	711...背平面
12c...電力參考平面	719...通路
12d...接地參考平面	721...孔徑
14,714,814,914...板	715...接合墊
16...開口	723...第一主表面
20...板相互連結	723,725,731,733,931,933... 相 對主表面
21,22,24...接頭	724...接合墊型式接頭
25...副系統 112a...載體晶圓	727,827a,827b,927,929...樺頭
110,710...ICs	729...週邊
112...載體區域	837...結點
120...電力平面	737...臂骨
122...接地平面	811a...第一背平面
124,717...信號路徑	811b...第二背平面
124a,126a...耦合墊	

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

四、中文發明摘要(發明之名稱：用在積體電路的架構總成以及在第一及第二絕緣構件上導通信號路徑的方法)

一種系統及方法，用以有效相互連結數個ICs，藉而改善整體系統的電氣表現。在如本發明的系統之一個應用實施例中，數個載體對應於數個ICs及一具有數個板區域的板，用以接收數個ICs並安排以附著至一背平面而形成一垂直的板堆疊。

英文發明摘要(發明之名稱：A MOUNTING ASSEMBLY FOR AN INTEGRATED CIRCUIT AND A METHOD OF ROUTING SIGNAL PATHS ON FIRST AND SECOND INSULATIVE MEMBERS)

A system and method for efficiently interconnecting a plurality of ICs, thereby improving the electrical performance of the overall system. In one embodiment of the system of the present invention, a plurality of carriers corresponds to a plurality of ICs, and a board has a plurality of board regions for receiving the plurality of ICs and are arranged so as to be attached to a backplane forming a vertical stack of boards.

## 六、申請專利範圍

第87108099號專利申請案申請專利範圍修正本

修正日期：89年6月

1. 一種用在積體電路的架構總成，包括有：

一第一絕緣構件，其上佈有數個接合基底與數個信號軌跡，其每個軌跡自該數個接合基底之一延伸，而有一副群組該數個接合基底位於延伸在第一平面內之該第一絕緣構件的表面；

一第二絕緣構件，具有數個信號路徑及其上佈有數個接合墊，而有一副組合該數個接合墊位於延伸在第二平面內之該第二絕緣構件的表面，而該第一平面橫向沿伸過該第二平面，且該第一絕緣構件於其內形成有數個孔徑，該第二絕緣構件包括數個樺頭，具有與該孔徑的橫截面互補的形狀並佈於其內，當該第一及第二絕緣構件達一最終座落位置，而每個該副組合的該接合墊置於該副群組的該接合基底之一的鄰近。

2. 如申請專利範圍第1項的架構總成，尚包括一傳導性可熔合金，堅固地將該副組合的該接合墊之一附於該副群組的該接合基底之一。
3. 如申請專利範圍第1項的架構總成，尚包括數個該第二絕緣構件。
4. 如申請專利範圍第1項的架構總成，尚包括數個該第一絕緣構件。
5. 如申請專利範圍第1項的架構總成，尚包括一臂骨自該表面延伸，而該臂骨置於相對於該第一絕緣構件之該

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

表面的邊緣附近。

6. 如申請專利範圍第1項的架構總成，其中該第一及第二絕緣構件是由矽形成。
7. 如申請專利範圍第1項的架構總成，其中第一群組該數個接合墊圍住一區域的該第一絕緣構件及第二群組該數個相關於該第一群組接合墊的信號軌跡並自該區域遠離，界定一非導電性面積，並尚包括一導通載體具有數個傳導軌跡及數個傳導結合面積，一第三群組的接合基底加在該第一群組的接合基底上，使得每個該第三群組的接合基底加在該第一群組的接合基底之一上，當置於最終靜止位置時，而該數之一加在該非傳導面積且延伸在一對該第三群組的接合面積間，以使該第一群組的一對該接合基底電氣通訊。
8. 如申請專利範圍第7項的架構總成，其中該積體電路耦合至該導通載體的剩餘接合面積並置於其上以加在該非傳導面積上。
9. 如申請專利範圍第7項的架構總成，其中該積體電路耦合至該導通載體的剩餘接合墊且該非傳導面積包括一孔徑，其面積超過該積體電路的橫截面積，該積體電路置於該導通載體上以安裝在該孔徑內，一旦該導通載體與該絕緣構件達一最終座落位置。
10. 一種用在積體電路的架構總成，包括有：
  - 一第一絕緣構件，其上佈有數個接合基底與數個信號軌跡，其每個軌跡自該數個接合基底之一延伸，

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

而有一副群組該數個接合基底位於延伸在第一平面內之該第一絕緣構件的表面；

數個第二絕緣構件，其每個包括一面，具有數個信號路徑且其上佈有數個接合墊，該面由一週邊環繞並在一橫至該第一平面的第二平面內延伸，而一對樺頭自該週邊延伸，該第一絕緣構件具有數個於其中形成之相隔的孔徑，而每個該數個第二絕緣構件的每個該數個樺頭佈於該數個相隔的孔徑內而每個該數個第二絕緣構件自該第一絕緣構件平行延伸至相鄰的第二絕緣構件一旦該第二絕緣構件及該第一絕緣構件達到一最終座落位置，而每個該副組合的副接合墊佈於該副群組的該接合基底之一鄰近。

11. 如申請專利範圍第10項的架構總成，尚包括一傳導性可熔合金，堅固地將該副組合的該接合墊之一附於該副群組的該接合基底之一。
12. 如申請專利範圍第11項的架構總成，尚包括一臂骨自該表面延伸，而該臂骨置於相對於該第一絕緣構件之該表面的邊緣附近。
13. 如申請專利範圍第12項的架構總成，該數個接合基底安排為一群組，其每個以相關於每個該數個群組的信號軌跡圍住一區域的該第一絕緣構件，形成多個區域，使自該區域遠離，界定一非導電性面積，並尚包括數個導通載體，其每個具有數個傳導軌跡及數個傳導結合面積，一該傳導接合面積的副部分加在該數個接

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

合基底的該群組上，使得每個該傳導接合面積的副部分加在該數個接合基底的該群組之一上，當置於最終靜止位置時，而該數個傳導軌跡之一加在該非傳導面積且延伸在一對該第三群組的一組接合面積間，以使該第一群組的一對該接合基底電氣通訊。

14. 如申請專利範圍第13項的架構總成，其中該積體電路耦合至該導通載體的剩餘接合面積並置於其上以加在該非傳導面積上。

15. 如申請專利範圍第14項的架構總成，其中該非傳導面積包括一孔徑，其面積超過該積體電路的橫截面積，該積體電路置於該導通載體上以安裝在該孔徑內，一旦該導通載體與該絕緣構件達一最終座落位置。

16. 如申請專利範圍第15項的架構總成，其中該第一絕緣構件及每個該數個第二絕緣構件是由矽形成。

17. 一種在第一及第二絕緣構件上導通信號路徑的方法，包括步驟如下：

在該第一絕緣構件上沈澱數個相隔的接合基底及數個信號軌跡，而每個數個信號軌跡自該數個接合基底之一延伸，且相鄰接合基底間的距離界定出一第一間距，該第一絕緣構件包括一位於第一平面內的表面，而該數個接合基底及該數個信號軌跡位於第一平面內；

在該第二絕緣構件上沈澱數個相隔的接合墊及數個信號路徑，而每個數個信號路徑自該數個接合墊之

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

一延伸，且相鄰接合墊間的距離界定出一第二間距，該第二絕緣構件包括一位於第二平面內的表面，而該數個接合墊及該數個信號路徑位於第二平面內；

在該第一絕緣構件內形成數個在第一個預定的偏差內之相隔的孔徑；

在該第二絕緣構件內形成數個在第二個預定的偏差內之相隔的孔徑，而每個該數個相隔的樺頭適於安裝至該數個相隔的孔徑之一；且

耦合該第一及第二絕緣構件在一起，而該第一及第二間距決定為該第一及第二預定偏差的函數。

18. 如申請專利範圍第17項的方法，其中每個該數個接合墊位於該數個接合基底之一鄰近於該耦合步驟之後，且進一步包括焊封每個該數個接合基底至其鄰近的該數個接合墊之步驟。

19. 如申請專利範圍第17項的方法，其中該第二絕緣構件包括一週邊，而每個該數個樺頭自該週邊延伸，而在該耦合步驟之後該第一及第二平面彼此垂直放置。

20. 如申請專利範圍第17項的方法，其中該第一及第二絕緣構件是由矽化合物形成。

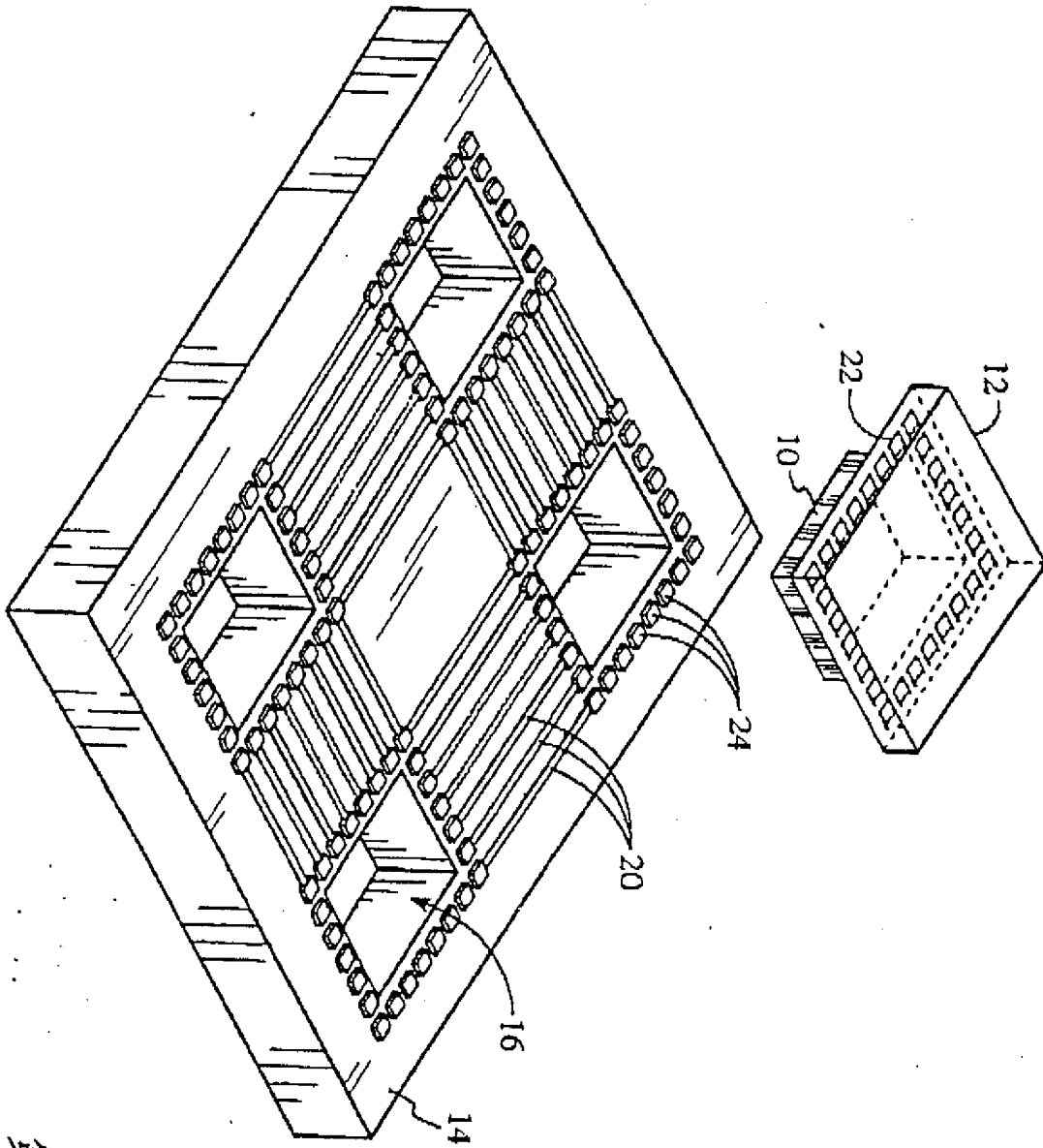
(請先閱讀背面之注意事項再填寫本頁)

訂

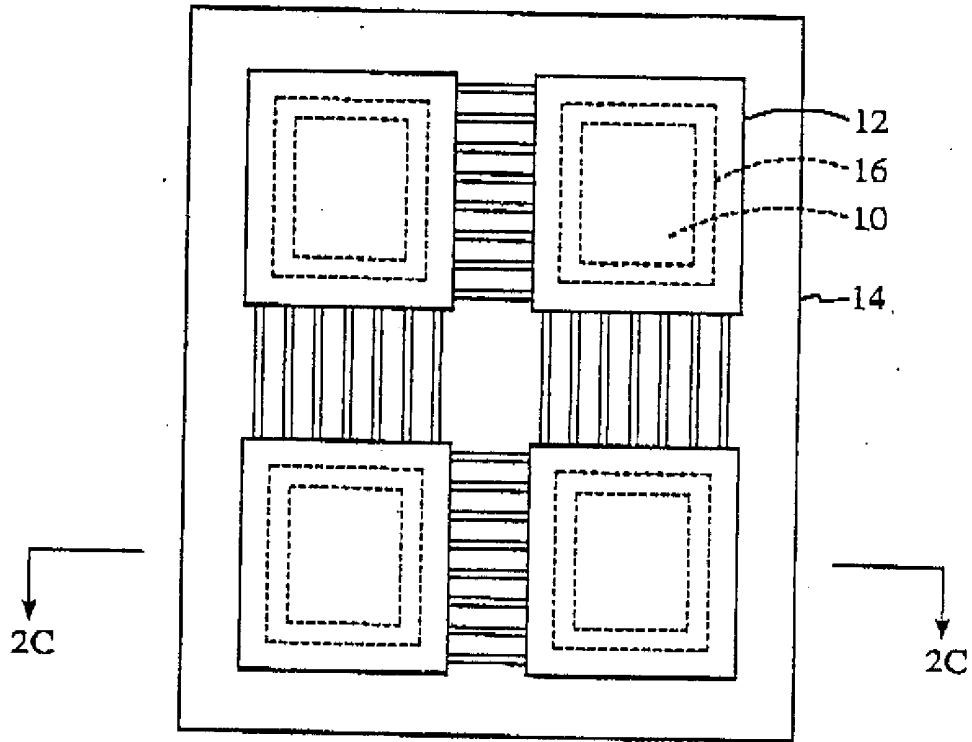
總

4,587

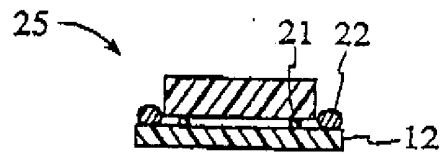
8000000



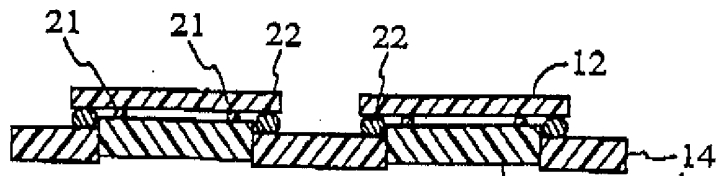
第 1 圖



第2A圖

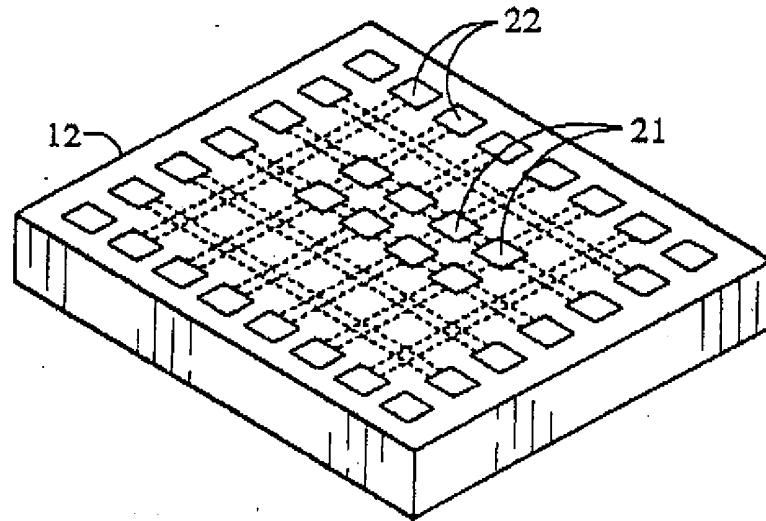


第2B圖

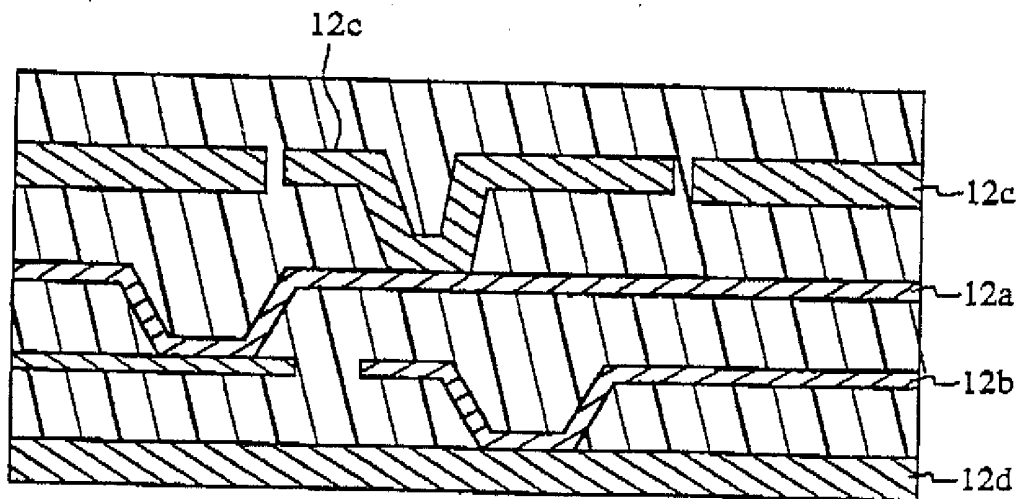


第2C圖

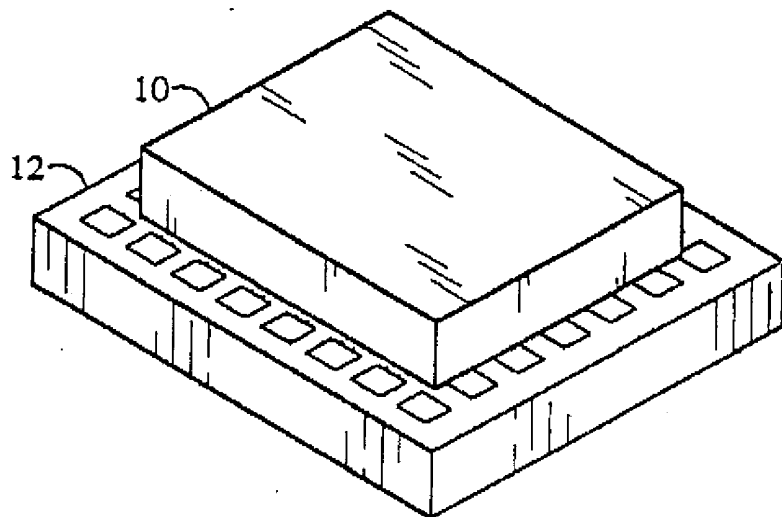
425647



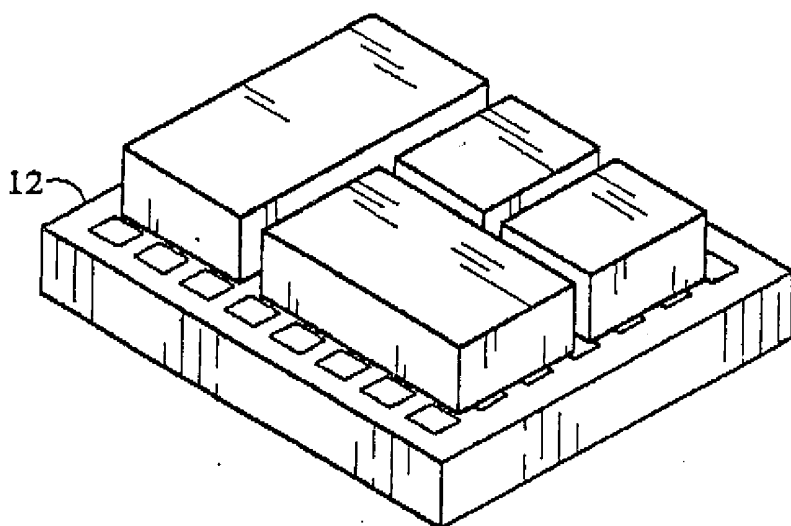
第 3 圖



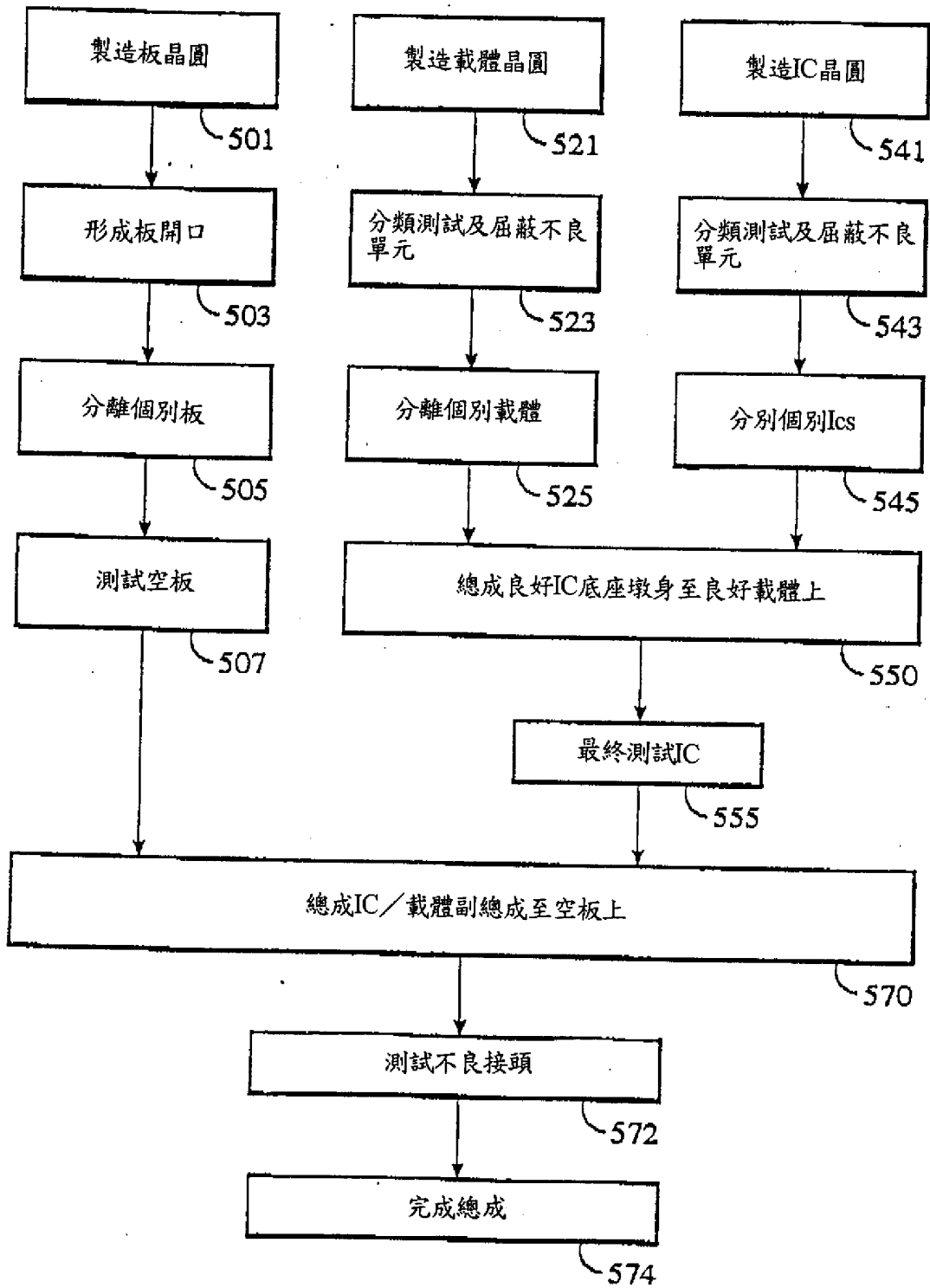
第 4 圖



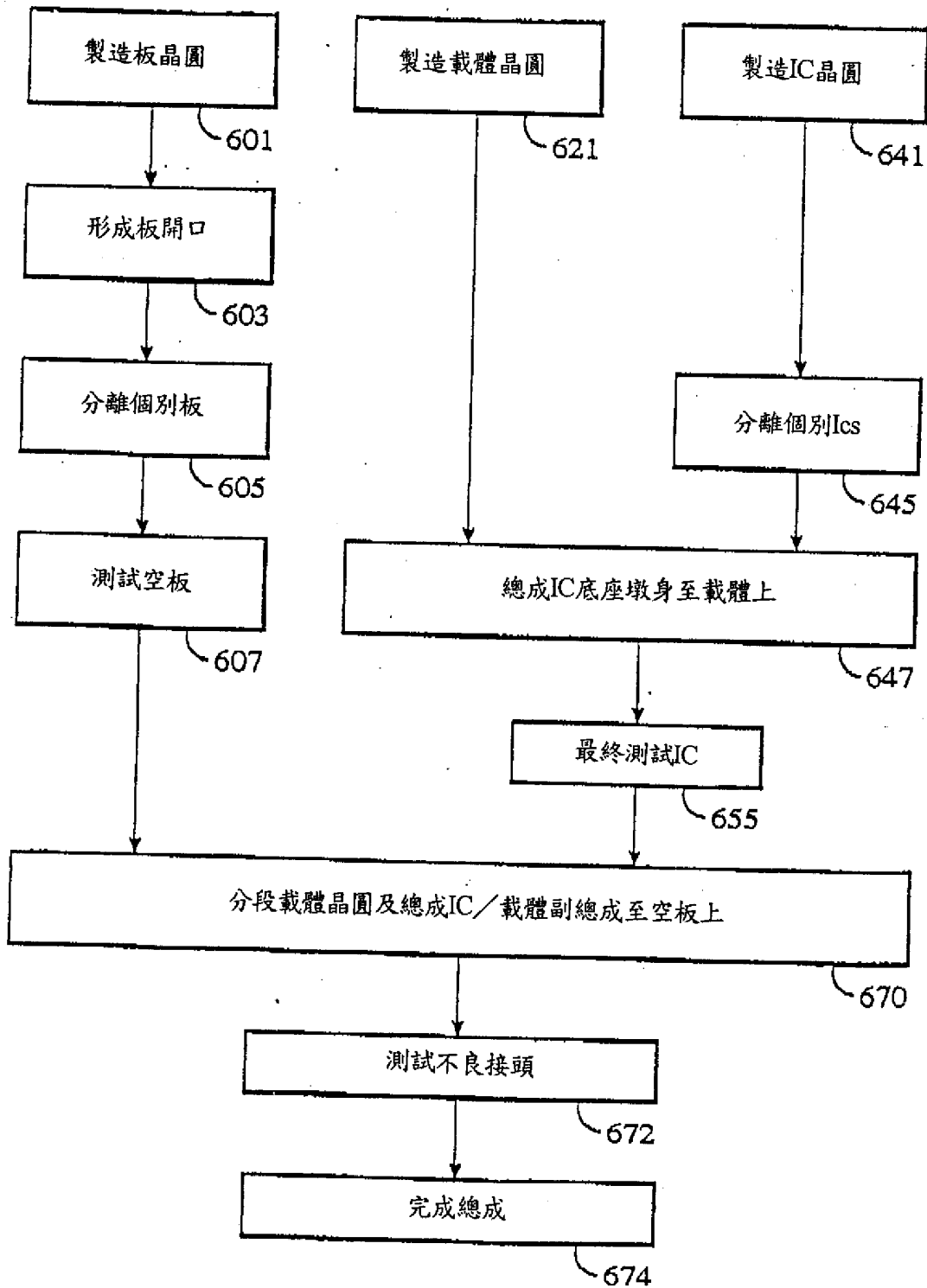
第5A圖



第5B圖



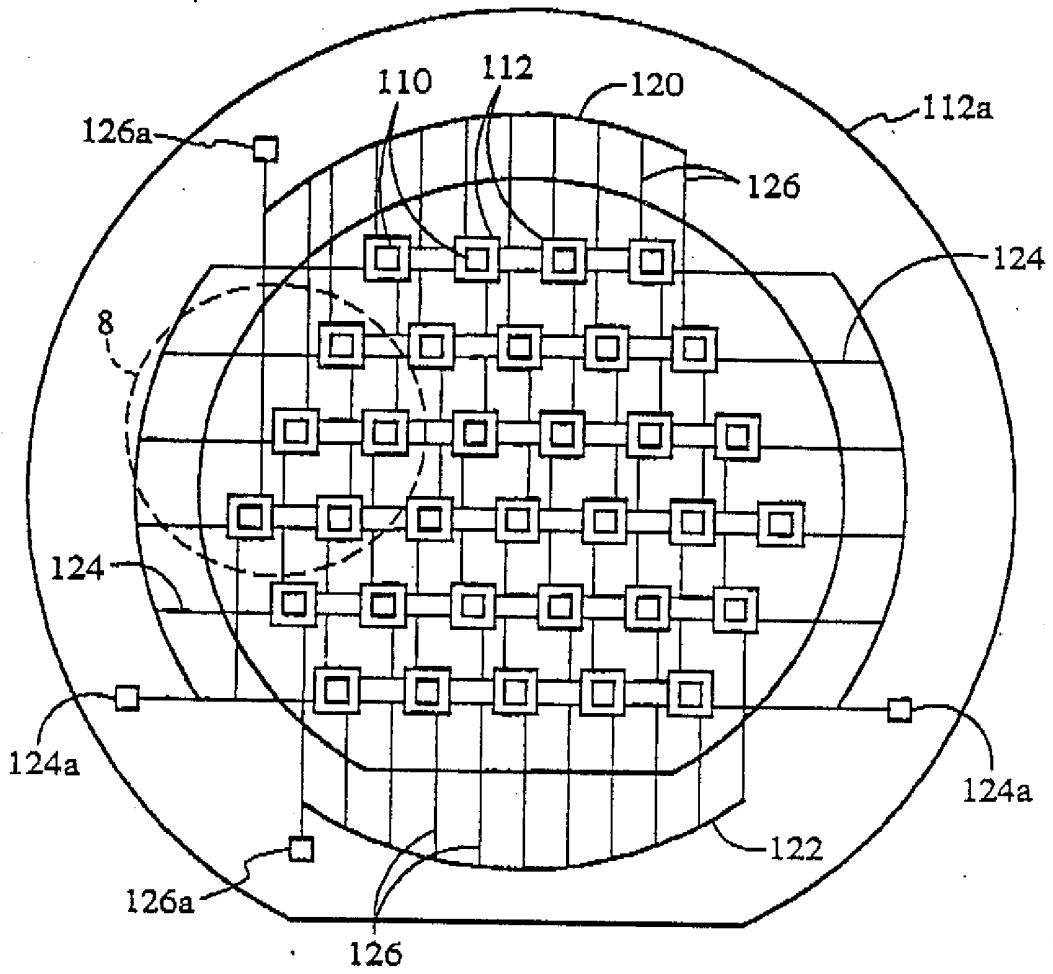
第 6 圖



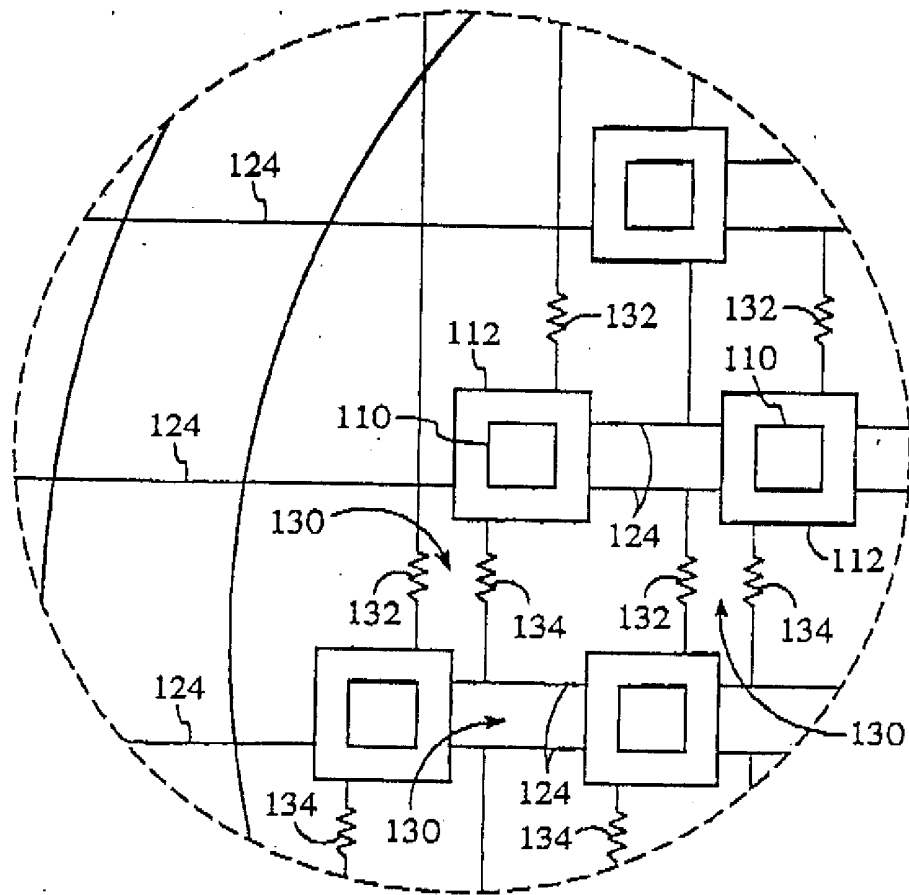
第 7 圖

425547

425547



第 8 圖

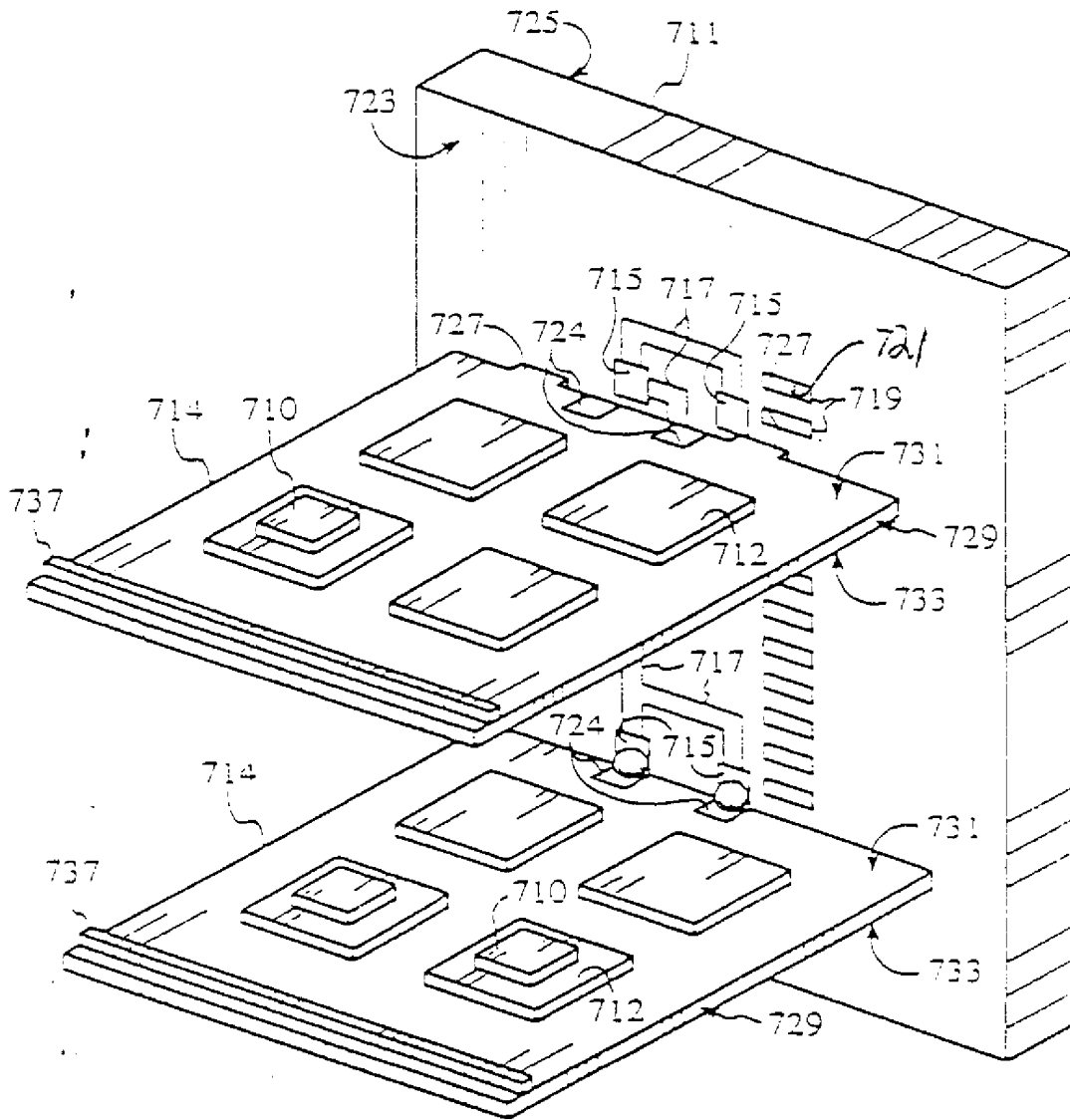


第 9 圖

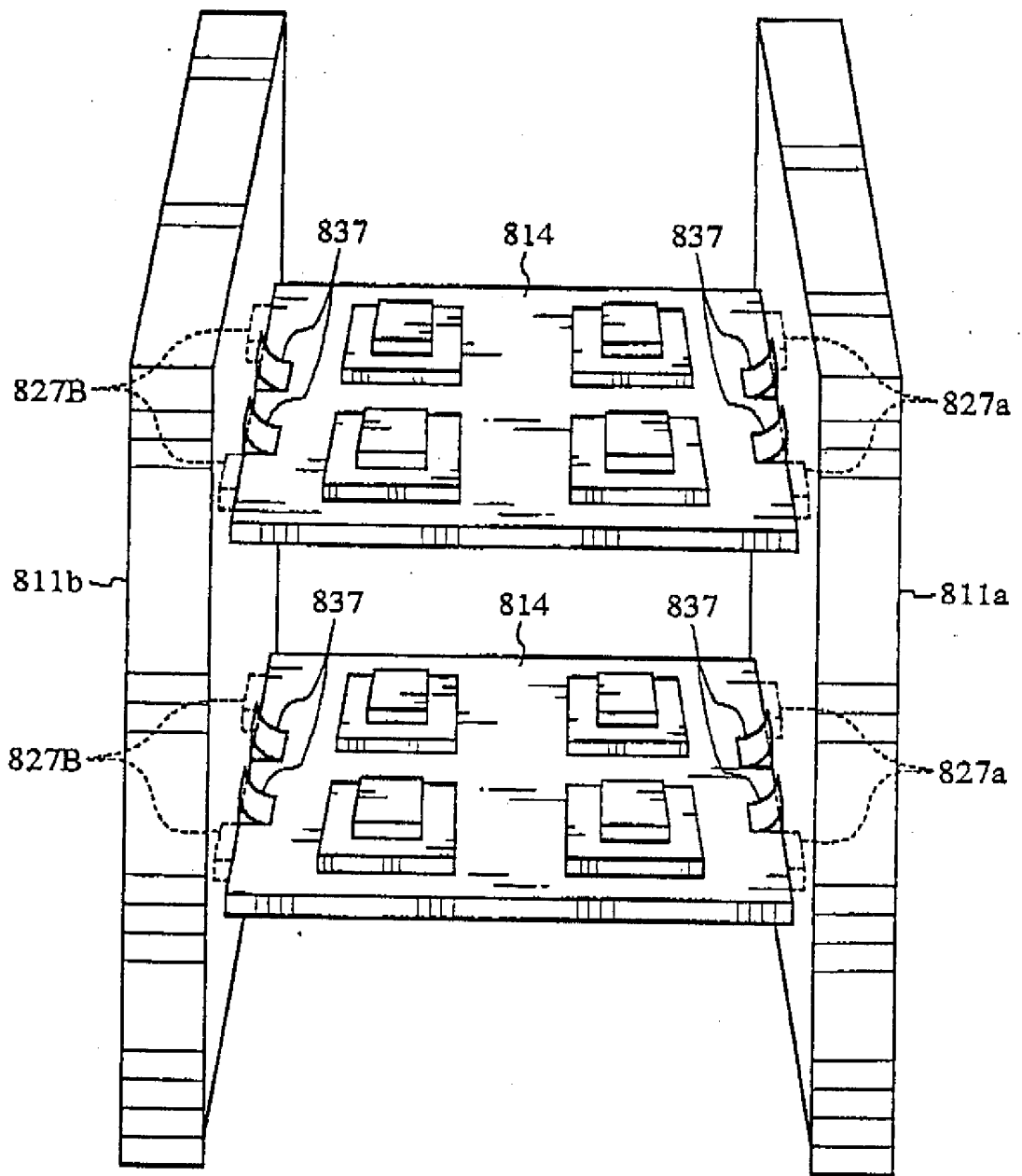
425047

425647

89.6.1 修正  
年 月 日 稿

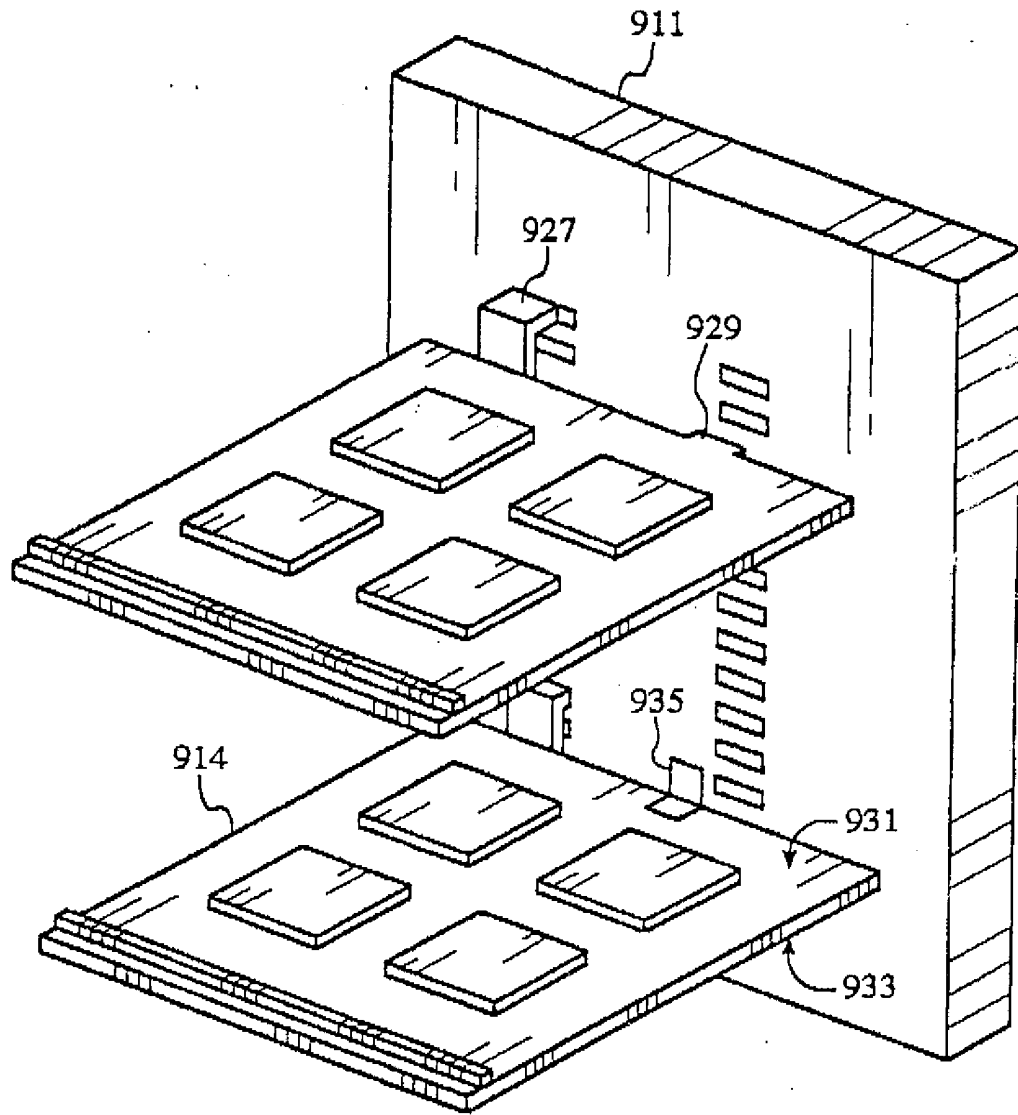


第 10 圖



第 11 圖

425847



第 12 圖

89.6.15 修正  
年 月 日 補充

申請日期	87.5.25
案 號	87108099
類 別	H01L 21/60

A4  
C4  
425647 公告本

(以上各欄由本局填註)

第 87108099 號 發明專利說明書 修正頁  
修正日期: 89年6月

一、發明名稱	中 文	用在積體電路的架構總成以及在第一及第二絕緣構件上導通信號路徑的方法
	英 文	A MOUNTING ASSEMBLY FOR AN INTEGRATED CIRCUIT AND A METHOD OF ROUTING SIGNAL PATHS ON FIRST AND SECOND INSULATIVE MEMBERS
二、發明人	姓 名	(1)薩密 K. 布朗 (4)湯姆 L. 陶德 (2)喬治 E. 阿佛利 (5)撒母耳 W. 比爾 (3)安德魯 K. 威金
	國 籍	美 國
三、申請人	住、居所	(1)美國加州洛蓋圖斯市洛瑪林蔭大道 111 號 (2)美國加州撒拉托加市海鷗大道 20151 號 (3)美國加州聖卡洛斯市赤楊街 2063 號 (4)美國加州聖荷西市卡密諾世界 1500 號 (5)美國加州山景市奧塔加街 181 號
	姓 名 (名稱)	美商·高山微系統股份有限公司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國加州坎培爾市東農場街 200 號
三、申請人	代 表 人 姓 名	山米 K. 布朗

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( 8 )

形成。對每個新的應用，vias的位置可根據希望的特別IC相互連結來決定。一旦決定了vias的位置，只需要改變包含via的層。

載體12包含一多重水平相互連結矩陣，附有至少每平方公分800個信號路徑。此相互連結矩陣的架構為可屏障程式化並便於超過20GHz的資料信號傳送。IC 10的輸入及輸出(I/O)信號可以導通至底座墩身的側邊，有效地增加了IC 10的I/O密度三倍。載體12相互連結矩陣是由兩個夾在電力參考平面12c與接地參考平面12d間的信號層12a及12b所構成。每個層為5微米的電鍍銅板。電力層12c提供一 $V_{dd}$ 的參考平面並包括一放置接合墊接頭的間隙。藉環繞此兩個相隔的信號路徑12a及12b於兩電力平面12c及12d間，減少了在信號路徑12a及12b內的噪音，如串話干擾及同時交換噪音(SSN)等。

串話干擾來自兩相鄰信號線間的互容。對載體12而言，產生的串話噪音可以由下式預估：

$$V_{cn}=0.176 \times 10^{-9}(V_{in}/\tau_{上升})$$

其中 $V_{in}$ =輸入電壓。遠端串話干擾傾向於取消且可以被忽略。在由輸出暫存器的放電路徑形成之 $V_{DD}/V_{SS}$ 迴圈內產生的SSN通常稱為地面反彈，因為其為施加在局部地平面12d(也敷施至電力平面12c)。噪音電壓的大小可以由下式預估：

$$V_{SSN}=L_{eff}dI/dt$$

其中 $L_{eff}$ 為底座墩身至封裝至接地之有效自感。此公

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 16 )

機械結構間的偏差可能可藉照像定向設備的精確來設定。

為了便於準確耦合板714至背平面711，每個板包括至少一個樺頭727，其一端的橫截面與通路719的橫截面互補。雖然樺頭727可能形成以自板714的任何表面沿伸，仍希望至少一個樺頭727自板714的週邊729沿伸，該板位於一與板714的相對主表面731及733所在的平面垂直之平面。依此方式，一旦到達一關於背平面711之最後的座落位置，板714的相對主表面731及733位於一平面，其橫向沿伸至相對主表面723及725所在的平面。在此最後的座落位置內，至少有數個接合墊715之一位於板714上數個接合墊型式接頭724之一的鄰近。

為了定位板714關於背平面711，希望焊封接合墊715至位其鄰近之接合墊型式接頭724，界定結點。為達此目的，接合墊715及接合墊型式接頭724必須包括一種可藉焊封潤濕的材料。典型上接合墊715及接合墊型式接頭724是以金或鎳電鍍。焊封可能採用任何業界已知的技術而流動。然而，希望焊封是採用如紅外線等的局部加熱技術而流動。以此方式，焊封可在不將環繞焊封的面積置於過多的熱量下而流動。典型上，相鄰板714間的距離為最差案例偏差的函數，其決定通路719的尺寸相對於樺頭727。板714上墊的高度、背平面711及採用之焊封的品質必須是以確保在結點715沒有孔隙。

採用焊封的一個優點為其便於藉准許重置出現在其上的不良板714或積體電路710來再工作。這在考量由架構十

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明（<sup>17</sup>）

個板714至背平面711所提供的10X增加導致，與個別板714比較下，系統水平缺陷之10X較高機率時是特別重要的。有了焊封，藉再流動焊封以自背平面711去耦合不良板714來便於副總成的再工作，在第11圖內的結點837有更清楚的表示。再次參照第10圖，於再工作期間，接合墊715及接合墊型式接頭724可能以一種與倒裝接合技術用之再工作程序相似的方法清洗。可能接著重覆用來最後總成的處理。在最後總成後，3-D副總成可以置於所製造下一個水平的保護封裝及接頭內。

為了釋放在結點的壓力，位於相對於結點之板714的一面可能包括一自主表面之一延伸的臂骨737。臂骨737具有足以接觸相鄰板714的尺寸並減少有關結點之板的懸臂。

參照第11圖，在另一個應用實施例中，有關結點837之板814的懸臂可能可藉提供一第二背平面811b來避免，其可能與第一背平面811a相對或自其橫向沿伸。第二背平面811b與第一背平面相似，但板814會包括第一及第二組樺頭827a及827b，其每個獨特地相關於第一及第二背平面811a及811b。具有多個背平面之增加的好處為可能提供較短的信號路徑，藉而減少任何板上信號間最差案例路徑長度至板平均寬度加上背平面間隔。這在增加3-D模組內信號的傳輸速度時減少了寄生電容及電感。

參照第12圖，另一個應用實施例以防止有關前述結點之板914的懸臂包括使樺頭927附於自板914的相對主表面



## 五、發明說明 ( 18 )

931及933不同距離之背平面。為達此目的，一個或更多個樺頭927可能自相對主表面931及933之一延伸至背平面911，而剩下的樺頭929自週邊延伸。依此方式，有關前述結點之板914的懸臂因為結點位於兩不同平面而減少了。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 19 )

## 元件標號對照

10...積體電路	126...相互連結
12,712...載體	132,134...絕緣電阻器
12a,12b...信號層	711...背平面
12c...電力參考平面	719...通路
12d...接地參考平面	721...孔徑
14,714,814,914...板	715...接合墊
16...開口	723...第一主表面
20...板相互連結	723,725,731,733,931,933... 相 對主表面
21,22,24...接頭	724...接合墊型式接頭
25...副系統 112a...載體晶圓	727,827a,827b,927,929...樺頭
110,710...ICs	729...週邊
112...載體區域	837...結點
120...電力平面	737...臂骨
122...接地平面	811a...第一背平面
124,717...信號路徑	811b...第二背平面
124a,126a...耦合墊	

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

四、中文發明摘要(發明之名稱：用在積體電路的架構總成以及在第一及第二絕緣構件上導通信號路徑的方法)

一種系統及方法，用以有效相互連結數個ICs，藉而改善整體系統的電氣表現。在如本發明的系統之一個應用實施例中，數個載體對應於數個ICs及一具有數個板區域的板，用以接收數個ICs並安排以附著至一背平面而形成一垂直的板堆疊。

英文發明摘要(發明之名稱：A MOUNTING ASSEMBLY FOR AN INTEGRATED CIRCUIT AND A METHOD OF ROUTING SIGNAL PATHS ON FIRST AND SECOND INSULATIVE MEMBERS)

A system and method for efficiently interconnecting a plurality of ICs, thereby improving the electrical performance of the overall system. In one embodiment of the system of the present invention, a plurality of carriers corresponds to a plurality of ICs, and a board has a plurality of board regions for receiving the plurality of ICs and are arranged so as to be attached to a backplane forming a vertical stack of boards.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

## 六、申請專利範圍

第87108099號專利申請案申請專利範圍修正本

修正日期：89年6月

1. 一種用在積體電路的架構總成，包括有：

一第一絕緣構件，其上佈有數個接合基底與數個信號軌跡，其每個軌跡自該數個接合基底之一延伸，而有一副群組該數個接合基底位於延伸在第一平面內之該第一絕緣構件的表面；

一第二絕緣構件，具有數個信號路徑及其上佈有數個接合墊，而有一副組合該數個接合墊位於延伸在第二平面內之該第二絕緣構件的表面，而該第一平面橫向沿伸過該第二平面，且該第一絕緣構件於其內形成有數個孔徑，該第二絕緣構件包括數個樺頭，具有與該孔徑的橫截面互補的形狀並佈於其內，當該第一及第二絕緣構件達一最終座落位置，而每個該副組合的該接合墊置於該副群組的該接合基底之一的鄰近。

2. 如申請專利範圍第1項的架構總成，尚包括一傳導性可熔合金，堅固地將該副組合的該接合墊之一附於該副群組的該接合基底之一。
3. 如申請專利範圍第1項的架構總成，尚包括數個該第二絕緣構件。
4. 如申請專利範圍第1項的架構總成，尚包括數個該第一絕緣構件。
5. 如申請專利範圍第1項的架構總成，尚包括一臂骨自該表面延伸，而該臂骨置於相對於該第一絕緣構件之該

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

表面的邊緣附近。

6. 如申請專利範圍第1項的架構總成，其中該第一及第二絕緣構件是由矽形成。
7. 如申請專利範圍第1項的架構總成，其中第一群組該數個接合墊圍住一區域的該第一絕緣構件及第二群組該數個相關於該第一群組接合墊的信號軌跡並自該區域遠離，界定一非導電性面積，並尚包括一導通載體具有數個傳導軌跡及數個傳導結合面積，一第三群組的接合基底加在該第一群組的接合基底上，使得每個該第三群組的接合基底加在該第一群組的接合基底之一上，當置於最終靜止位置時，而該數之一加在該非傳導面積且延伸在一對該第三群組的接合面積間，以使該第一群組的一對該接合基底電氣通訊。
8. 如申請專利範圍第7項的架構總成，其中該積體電路耦合至該導通載體的剩餘接合面積並置於其上以加在該非傳導面積上。
9. 如申請專利範圍第7項的架構總成，其中該積體電路耦合至該導通載體的剩餘接合墊且該非傳導面積包括一孔徑，其面積超過該積體電路的橫截面積，該積體電路置於該導通載體上以安裝在該孔徑內，一旦該導通載體與該絕緣構件達一最終座落位置。
10. 一種用在積體電路的架構總成，包括有：
  - 一第一絕緣構件，其上佈有數個接合基底與數個信號軌跡，其每個軌跡自該數個接合基底之一延伸，

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

而有一副群組該數個接合基底位於延伸在第一平面內之該第一絕緣構件的表面；

數個第二絕緣構件，其每個包括一面，具有數個信號路徑且其上佈有數個接合墊，該面由一週邊環繞並在一橫至該第一平面的第二平面內延伸，而一對樺頭自該週邊延伸，該第一絕緣構件具有數個於其中形成之相隔的孔徑，而每個該數個第二絕緣構件的每個該數個樺頭佈於該數個相隔的孔徑內而每個該數個第二絕緣構件自該第一絕緣構件平行延伸至相鄰的第二絕緣構件一旦該第二絕緣構件及該第一絕緣構件達到一最終座落位置，而每個該副組合的副接合墊佈於該副群組的該接合基底之一鄰近。

11. 如申請專利範圍第10項的架構總成，尚包括一傳導性可熔合金，堅固地將該副組合的該接合墊之一附於該副群組的該接合基底之一。
12. 如申請專利範圍第11項的架構總成，尚包括一臂骨自該表面延伸，而該臂骨置於相對於該第一絕緣構件之該表面的邊緣附近。
13. 如申請專利範圍第12項的架構總成，該數個接合基底安排為一群組，其每個以相關於每個該數個群組的信號軌跡圍住一區域的該第一絕緣構件，形成多個區域，使自該區域遠離，界定一非導電性面積，並尚包括數個導通載體，其每個具有數個傳導軌跡及數個傳導結合面積，一該傳導接合面積的副部分加在該數個接

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

合基底的該群組上，使得每個該傳導接合面積的副部分加在該數個接合基底的該群組之一上，當置於最終靜止位置時，而該數個傳導軌跡之一加在該非傳導面積且延伸在一對該第三群組的一組接合面積間，以使該第一群組的一對該接合基底電氣通訊。

14. 如申請專利範圍第13項的架構總成，其中該積體電路耦合至該導通載體的剩餘接合面積並置於其上以加在該非傳導面積上。

15. 如申請專利範圍第14項的架構總成，其中該非傳導面積包括一孔徑，其面積超過該積體電路的橫截面積，該積體電路置於該導通載體上以安裝在該孔徑內，一旦該導通載體與該絕緣構件達一最終座落位置。

16. 如申請專利範圍第15項的架構總成，其中該第一絕緣構件及每個該數個第二絕緣構件是由矽形成。

17. 一種在第一及第二絕緣構件上導通信號路徑的方法，包括步驟如下：

在該第一絕緣構件上沈澱數個相隔的接合基底及數個信號軌跡，而每個數個信號軌跡自該數個接合基底之一延伸，且相鄰接合基底間的距離界定出一第一間距，該第一絕緣構件包括一位於第一平面內的表面，而該數個接合基底及該數個信號軌跡位於第一平面內；

在該第二絕緣構件上沈澱數個相隔的接合墊及數個信號路徑，而每個數個信號路徑自該數個接合墊之

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

一延伸，且相鄰接合墊間的距離界定出一第二間距，該第二絕緣構件包括一位於第二平面內的表面，而該數個接合墊及該數個信號路徑位於第二平面內；

在該第一絕緣構件內形成數個在第一個預定的偏差內之相隔的孔徑；

在該第二絕緣構件內形成數個在第二個預定的偏差內之相隔的孔徑，而每個該數個相隔的樺頭適於安裝至該數個相隔的孔徑之一；且

耦合該第一及第二絕緣構件在一起，而該第一及第二間距決定為該第一及第二預定偏差的函數。

18. 如申請專利範圍第17項的方法，其中每個該數個接合墊位於該數個接合基底之一鄰近於該耦合步驟之後，且進一步包括焊封每個該數個接合基底至其鄰近的該數個接合墊之步驟。

19. 如申請專利範圍第17項的方法，其中該第二絕緣構件包括一週邊，而每個該數個樺頭自該週邊延伸，而在該耦合步驟之後該第一及第二平面彼此垂直放置。

20. 如申請專利範圍第17項的方法，其中該第一及第二絕緣構件是由矽化合物形成。

(請先閱讀背面之注意事項再填寫本頁)

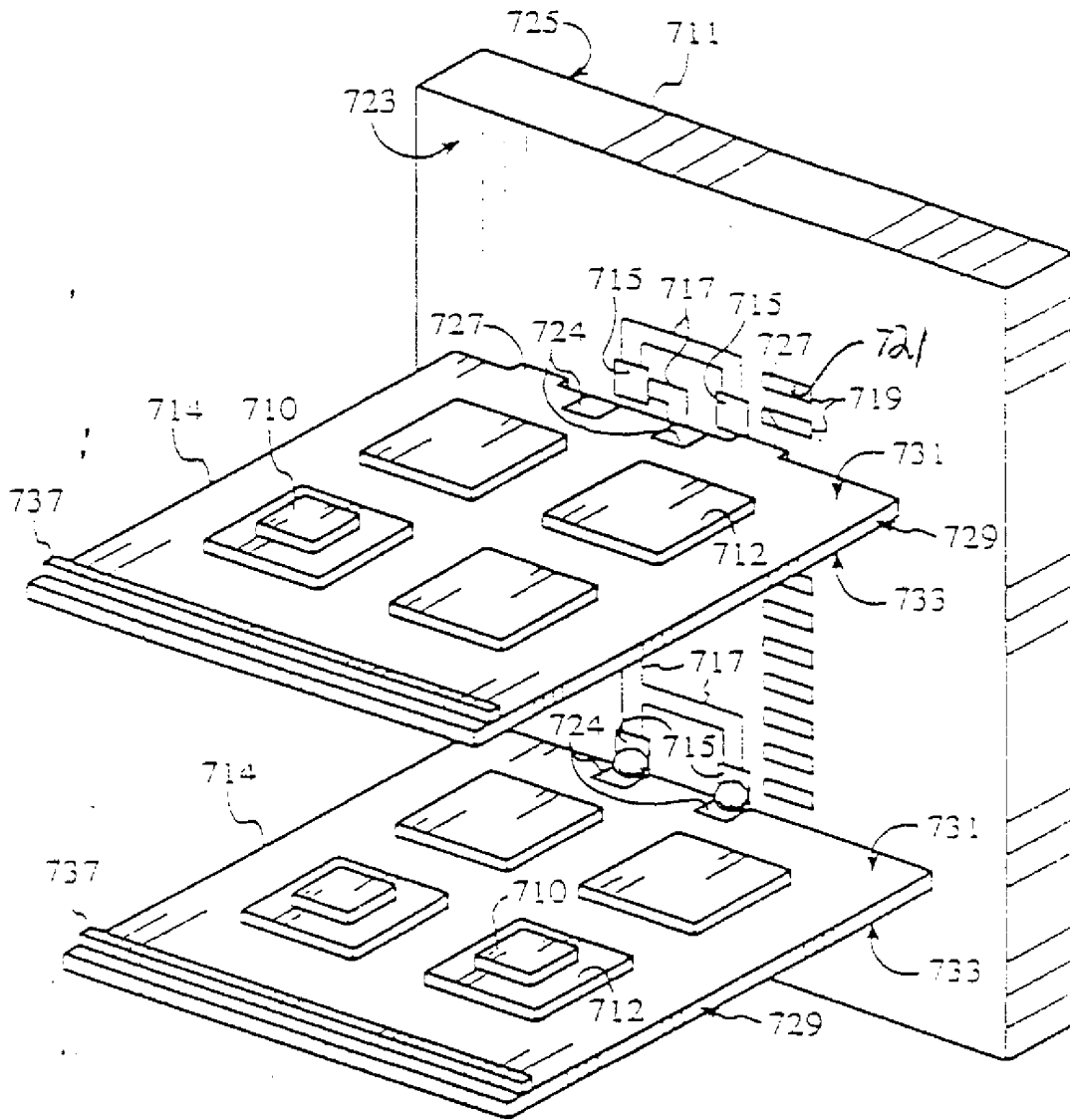
訂

總

425047

425647

89.6.1 修正  
年 月 日 稿



第 10 圖