(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[7]
H01L 27/108

(11) 공개번호 특2001-0015484
(43) 공개일자 2001년02월26일

(21) 출원번호 10-2000-0044241
(22) 출원일자 2000년07월31일
(30) 우선권주장 09/364,367 1999년07월30일 미국(US)
(71) 출원인 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자 히가시그랙슈미오
미국32836,플로리다,올란도,윅함웨이9483
(74) 대리인 이병호

심사청구 : 없음

(54) 앵커된 플러그를 포함하는 집적회로 캐패시터

요약

집적회로 캐패시터는 기판에 인접한 인터커넥션 라인을 갖는 기판과 인터커넥션 라인 위의 제 1 유전체 층을 포함한다. 제 1 유전체 층은 내부에 트랜치를 포함한다. 금속 플러그는 트랜치 위쪽으로 확장된 바디부를 포함하고, 앵커부는 바디부에 접속되어 있고, 인터커넥션 라인 안으로 확장된다. 앵커부는 제 1 유전체의 하부에 인접한 금속 플러그를 앵커하는 확장된 너비부를 갖는다. 금속 플러그가 앵커 되기 때문에, 트랜치의 깊이는 금속 플러그가 아래에 놓인 인터커넥션 라인으로부터 손실되거나 분리됨 없이 더 커질 수 있다.

대표도

도1

색인어

집적회로 캐패시터, 금속 플러그, 앵커된 플러그

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 앵커된 금속 플러그(anchored metal plug)를 포함하는 집적회로 캐패시터의 횡단면도.

도 2 내지 도 5는 본 발명에 따른 앵커된 금속 플러그를 포함한 집적회로를 제작하기 위한 프로세싱 스텝을 설명하는 횡단면도.

* 도면의 주요부분에 대한 부호의 설명 *

22; 앵커부 28; 제 1 유전체 층
30; 트랜치 38; 제 2 유전체 층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 기존에 출원되어 계류중인 1999년 1월 26일자 가출원된 제60/117,186에 기초하며, 이 가출원의 설명은 본 명세서에 참조문헌으로 포함되어 있다.

본 발명은 반도체 소자의 분야에 관한 것으로, 특히 캐패시터에 관한 것이다.

캐패시터는 전하를 저장하기 위한 전자 소자 내에 광범위하게 이용되었다. 캐패시터는 두 개의 컨덕티브

판 혹은 인슐레이터(insulator)에 의해 분리된 전극을 포함한다. 캐패시턴스 혹은 공급된 전압마다의 캐패시터에 의한 전류 용량의 양은 판의 너비와 둘 사이의 간격 및 인슐레이터의 유전체 값에 따라 달라진다. 캐패시터는 예를 들면, 동적 엑세스 메모리(DRAM) 또는 내장된 DRAM과 같은 반도체 소자 내에 형성될 수 있다.

반도체 메모리 소자가 더욱 고 집적 될수록, DRAM의 저장 셀의 캐패시터에 의해 차지되는 영역은 줄어들고, 그러므로 그것의 더 작은 전극 표면 영역 때문에 캐패시터의 캐패시턴스가 감소한다. 어떻든, 비교적으로 큰 캐패시턴스는 저장된 정보의 손실을 방지한다. 그러므로, 셀의 크기를 줄이면서 여전히 높은 캐패시턴스를 얻는 것이 바람직하고, 이렇게 함으로서 높은 셀 집적도 및 신뢰할 수 있는 동작을 달성한다.

저장 셀의 고 집적도를 유지하면서 캐패시턴스를 증가시키는 방법은 캐패시터 전극의 모양과 관련된다. 이 기술에서, 캐패시터 전극의 폴리실리콘 층은 캐패시터 전극의 표면적을 증가시키기 위해서 돌출부, 핀, 공동 및 기타 등등을 갖고, 그리하여 기판 표면상에서 작을 너비를 유지하면서 캐패시턴스를 증가시킨다.

기판의 표면의 캐패시터를 생성하는 대신에, 캐패시터는 또한 기판 상에서 형성되고, 즉 그것들은 기판 위에 쌓인다. 기판의 표면 영역은 그러므로 트렌지스터를 형성하는데 이용된다. 스택 캐패시터의 캐패시턴스를 증가를 고려함으로서, 미국 특허 제 5,903,493 호는 리(Lee)에 의해 텅스텐 플러그 상에서 형성되는 캐패시터를 출원했다. 캐패시터의 표면 영역은 텅스텐 플러그 주변의 유전체 층의 트랜치의 에칭에 의해 증가된다. 인터커넥션 라인 아래 놓인 텅스텐 플러그의 인터페이스는 그러므로 접속될 기판 상에서 형성된 다른 층을 허용한다.

트랜치는 기존의 에칭이나 혹은 다른 알맞은 기술을 이용하여 패턴 되었다. 얼마나 멀리 트랜치가 에치되는지의 기본적인 제약은 얼마나 잘 텅스텐 플러그가 앵커 되는지 혹은 유전체 층 내에서 안전하게 보관되는지에 따라 결정된다. 전형적으로, 트랜치의 깊이는 약 유전체 층의 두께에 절반 정도로 제한된다. 트랜치가 에치된 이후에, 캐패시터는 트랜치 플러그 위에 형성된다. 불행히도, 만약 트랜치가 유전체 층 두께의 절반 아래에서 에치 됐다면, 텅스텐 플러그는 더욱 손실되고, 낭비될 것이다. 텅스텐 플러그와 인터커넥션 라인을 갖는 그 아래에 놓인 금속 인터커낵션 사이의 이 물질적 분리는 소자 및 캐패시터를 포함하는 회로의 완벽한 결핍의 결과로 형성되는 개방회로의 원인이 된다.

선행하는 배경의 관점에서 보면, 신뢰도의 감소 없이 캐패시터의 캐패시턴스를 증가시키는 것이 본 발명의 목적이다.

이것 및 다른 이점으로서, 본 발명에 따른 형태와 목적은 기판을 포함한 집적회로 캐패시터에 의해 공급되고, 제 1 유전체 층은 기판과 인접하고 내부에 트랜치를 갖고 금속 플러그는 제 1 유전체 층에 앵커된다. 더욱 특정하게, 금속 플러그는 양호하게 트랜치의 위쪽으로 확장된 바디부를 포함하고, 앵커부는 바디부와 접하고 인터커넥션 라인의 아래에 놓여져 있는 안으로 확장된다. 앵커부는 양호하게 제 1 유전체 층의 하부와 인접하는 금속 플러그를 앵커시키기 위한 확장된 너비부를 갖는다. 바디부 및 앵커부는 양호하게 모놀리식(monolitic) 유닛으로 형성된다.

금속 플러그가 앵커 되었기 때문에, 트랜치의 깊이는 금속 플러그가 아래에 놓인 인터커넥션 라인으로부터 손실되고 분리됨 없이 더 커질 수 있다. 만약 이것이 발생할 때, 개방 회로는 집적회로 캐패시터를 포함하는 회로 및 소자의 부족을 결과로 발생시킬 것이다. 금속 플러그의 앵커부는 그러므로 집적회로 캐패시터의 신뢰성이 감소하지 않도록 트랜치의 깊이가 커패시던스를 증가시키도록 허용한다.

캐패시터는 또한 양호하게 제 1, 제 2 전극 및 그 사이의 제 2 유전체 층을 포함한다. 제 1 전극은 트랜치 및 접속 금속 플러그에 선을 긋는다. 제 2 유전체 층은 제 1 전극 위에 놓여있고, 제 2 전극은 제 2 유전체 층위에 놓여있다. 본 발명에 따른 트랜치의 깊이의 증가는 제 1, 제 2 전극의 표면 영역을 증가시킨다. 이것은 캐패시터의 캐패시턴스를 유리하게 증가시키고, 저장된 정보의 손실을 막게 한다.

발명이 이루고자하는 기술적 과제

선행하는 배경의 관점에서 보면, 신뢰도의 감소 없이 캐패시터의 캐패시턴스를 증가하기 한 것이 본 발명의 목적이다.

발명의 구성 및 작용

본 발명은 첨가된 도면을 참고로 뒤에서 더욱 자세히 설명될 것이고, 본 발명의 양호한 실시예는 본 명세서에서 보여질 것이다. 본 발명은 많은 다른 형태로 예시되지만, 여기서 보여지는 실시예에 한정되는 것은 아니다. 도리어, 이 실시예들은 제공됨으로서, 본 발표는 숙고되고 완성될 것이며, 본 분야의 기술자들에게 본 발명의 영역이 모두 전달 될 것이다. 같은 번호는 전체동안 같은 요소를 가리킨다. 층의 두께와 영역은 도면 내에서 더 확실하게 하기 위해서 과장되어 있다.

도 1을 처음으로 참조하면, 앵커드 금속 플러그(32)를 포함하는 집적 회로 캐패시터(20)의 횡단면은 지금 설명된다. 집적 회로 캐패시터(20)는 기판(24)위에서 기판과 인접한 인터커넥션 라인(26)과 형성되고, 제 1 유전체 층(28)은 인터커넥션 라인 위에 있다. 제 1 유전체 층(28)은 그 위에 트랜치(30)를 포함한다. 트랜치(30)는 더 넓은 영역을 차지하기 위해서 캐패시터(20)를 따라 금속 플러그(32)와 접하여 형성되고, 그러므로 캐패시턴스를 증가시킨다.

금속 플러그(32)는 트랜치(30)안 위쪽으로 확장된 바디의 일부(34)를 포함하고, 앵커부(22)는 바디부와

점하고 인터커넥션 라인(26)까지 연장된다. 앵커부(22)는 제 1 유전체 층의 금속 플러그(32)와 접한 더 낮은 층이 앵커로의 확장된 너비부(23)를 갖는다. 금속 플러그(32)는 앵커되기(anchored) 때문에, 트랜치(30)의 깊이는, 예를 들면, 기초적인 인터커넥션 라인(26)에서 분리되거나 손실되는 금속 플러그 없이 제 1 유전체의 절반의 두께보다 더 클 수 있다. 만약 이것이 발생한다면, 열린 회로는 집적 회로 캐패시터(20)를 포함하는 회로 또는 장치의 실패를 결과로 가질 것이다.

집적 회로 캐패시터(20)는 제 1 및 제 2 전극(36, 40) 및 제 2 유전체 층(38)을 그 사이에서 포함한다. 제 1 전극(36)은 트랜치(30)에 선을 긋고 금속 플러그(32)에 접속한다. 제 2 유전체 층은(38) 제 1 전극(36) 위에 가로놓이고, 제 2 전극(40)은 제 2 유전체 층위에 가로놓인다. 반도체 장치가 더욱 고 집적됨에 따라, 예를 들면, 내장된 다이나믹 랜덤 엑세스 메모리(EDRAM)에서, 그것의 작은 전기적 표면 영역의 능력 때문에, 캐패시터의 캐패시턴스는 다른 점에서는 감소한다. 어떻거나, 비교적으로 큰 캐패시턴스는 손실을 막고 정보가 저장되길 요구된다. 그러므로, 본 발명에 따른 트랜치(30)의 깊이의 증가는 제 1 및 제 2 전극(36,40)의 표면 면적을 증가시킨다. 이것은 유리하게 캐패시터(20)의 캐패시턴스를 증가시킨다.

도시된 인터커넥션 라인(26)은 절연층(42)위에서 형성된 다중 계층의 인터커넥션 라인이다. 절연층(42)은 반도체 기판(24)상에서 형성된다. 반도체 기판(24)은, 인터커넥션 라인(26)에 의해 기능회로 안으로 함께 연결된 트랜지스터와 같은, 다수의 활성화 장치를 가지고 있다.

도시된 다중 계층 인터커넥션 라인(26)은 컨덕티브 캡핑층(conductive capping layer)(44), 컨덕터 부(46) 및 일렉트로마이그레이션 바리어층(electromigration barrier layer)을 포함한다. 컨덕티브 캡핑층(44) 및 일렉트로마이그레이션 바리어층(48)은 양호하게 내화성 금속 화합물이고, 컨덕터 부(46)는 . 예를 들면, 양호하게 알루미늄이나 동 합금이다. 부가적으로, 티탄 질 화물과 같은 무반사 코팅(ARC)(50)은 인터커넥션 라인(26) 상에서 형성될 것이다.

집적 회로 캐패시턴스(20)는 전기적으로 인터커넥션 라인(26)과 금속 플러그를 통해 접합돼 있다. 금속 플러그(32)는 양호하게 텅스텐이나 알루미늄, 티탄, 티탄 화합물 같은 알맞은 전기적으로 컨덕티브한 재료로 이루어져 있다. 본 발명의 중요한 형상은 금속 플러그(32)는 기초적인 인터커넥트 라인(26)으로부터 분리되고 소실되는 것으로부터 플러그를 보호하기 위해 제 1 유전체 층의 인접한 낮은 부에 앵커 된다. 금속 플러그(32)는 제 1 바디부(34)를 갖는다.

앵커부(22)는 인터케넥션 라인(26)에 둘러싸여 형성된다. 다시 말하면, 앵커부(22)는 인터커넥션 라인(26)의 표면의 바깥쪽에 위치하지 않는다. 앵커부(22)의 확장된 너비부(23)는 인터커넥션 라인(26)의 캡핑층(44)을 100에서 600 옹스트롬의 너비로 하부를 자른다. 반도체 기판(24)상에서 다른 금속 플러그의 높은 배치 농도에 따르는 동안 하부의 잘려진 양은 금속 플러그(32)의 바디부에 앵커하기 충분해야만 한다. 금속 플러그(32)의 바디의 너비는 전형적으로 1,000에서 3,500 옹스트롬이다. 금속 플러그(32)의 바디부의 너비에 대해 앵커부(22)의 확장된 너비부(23)의 관계는 확장된 너비부는 바디부(34)의 너비보다 10%정도 더 크다.

부가적으로, 앵커부(22)는 안전한 장소의 금속 플러그(32)의 바디부(34)를 맞물리게 하는 것을 만족하는 캡핑층의 바로 밑까지의 깊이까지 확장된다. 앵커부(22)는 또한 일렉트로마이그레이션 셧(electromigration shunt) 층(50) 안으로 확장되지 않고, 그러므로 인터커넥션 라인의 일렉트로마이그레이션 저항을 방해한다. 금속 플러그(32)는 가급적 컨덕터 부(46) 안으로 3,500에서 5,500 옹스트롬 범위에서 확장된다. 앵커부(22)가 컨덕터 부(22)로 확장된 깊이의 기대치는 앵커부(22)가 금속 플러그(32)의 적소에 바디부(34)를 고정하기 위한 충분한 강도를 공급하기 위해 컨덕터 부 안으로 충분히 깊게 확장되는 한 중요한 것이 아니다.

그전에 설명되었듯이, 캐패시터(20)의 캐패시턴스는 제 1 유전체 층(28)내에서 트랜치(30)가 생성됨에 따라 증가된다. 금속 플러그의 바디부(34)는 트랜치(30)의 중심 부 내에서 위쪽으로 확장된다. 트랜치(30)는 ,예를 들면 종래의 에칭 또는 다른 알맞은 기술에 의해 출원되었다. 예를 들면, 에치 단계(66)(도 5)는, 실리콘 질화물과 같은, 그것의 형성동안 제 1 유전체 층 내에서 형성된다. 따라서, 에치 단계(66)는 트랜치(30)의 실질적인 깊이를 결정한다. 금속 플러그(32)의 앵커부(22)를 포함하는 집적회로 캐패시터(20)를 제작하는 방법은 아래에서 더 자세히 논의 될 것이다.

오직 금속 플러그(32)의 바디부(34)로, 즉 앵커부(22)없이 트랜치(30)의 깊이(d)는 전형적으로 제 1 유전체 층(28)의 두께의 약 절반정도로 제한된다. 제 1 유전체 층(28)은 4,000에서 6,000 옹스트롬까지의 영역의 두께를 갖고, 트랜치(30)의 깊이는 2,000에서 3,000 옹스트롬까지 확정되지 않는다. 어떻든, 앵커부(22)로서 제 1 유전체 층의 하부와 인접한 금속 플러그(32)의 바디부(34)를 고정하기 위해서, 트랜치(30)의 깊이(d)눈 제 1 유전체 층의 두께의 절반 보다 크다. 따라서, 트랜치(30)의 증가된 깊이(d)는 이제 2,000에서 5,500옹스트롬의 영역을 갖는다.

일단 트랜치(30)가 형성된 이후에, 캐패시터(20)는 그때 형성된다. 제 1 전극(36)은 트랜치(30)에 선을 긋고, 금속 플러그(32)와 접속한다. 제 1 전극(36)은 전자를 컨덕팅(conducting) 하고 홀딩(holding) 하기 알맞은 재료로부터 만들어진다. 알맞은 재료는 티타늄, 티타늄 화합물, 알루미늄, 동, 은 또는 금, 플라티늄 혹은 팔라듐과 같은 귀한 금속이 포함된다. 제 1 전극(36)은 양호하게 75에서 750옹스트롬의 범위에서 있다. 제 1 전극(36)은 다중 층의 배열을 갖고, 예를 들면, 티타늄 화합물 층으로 코팅된 티타늄 층이다.

제 2 유전체(38)는 제 1 유전체 위에 겹쳐져 있고, 예를 들면 실리콘 이산화물, 실리콘 화합물 및/또는 어떤 재료 또는 알맞게 큰 유전상수를 갖은 재료의 합금과 같은, 알맞은 유전체로부터 형성된다. 다른 알맞은 재료는 탄탈륨 펜타옥사이드 및 바륨 스트론튬 티탄 테이트를 포함한다. 제 2 유전체 층(38)의 두께는 양호하게 25에서 250 옹스트롬의 범위 안에 있다.

제 2 전극(40)은 제 2 유전체 층(38)위에 겹쳐 놓여있다. 제 2 전극(36)과 같이, 제 2 전극(40)은 컨덕팅 하기에 알맞은 어던 재료로 만들어질 수 있고, 전자를 홀딩 할 수 있다. 제 2 전극(40)의 두께는 양

호하게 150에서 2,500 옹스트롬 범위에 있다. 또한 제2 전극(40)은 다중 계층배열을 하고, 그것에 의해, 알루미늄과 같은 제 1 재료는 동이나 실리콘 같은 제 2 재료로 도핑 된다.

금속 플러그(32)의 집적회로 캐패시터(20)를 만드는 방법은 위에서 기술되었듯이, 도 2-5를 참조로 더 논의된다. 예를 들면, 반도체 기판(24) 위에서 유전체 층(42)은 형성된다. 반도체 기판(24)은 기판 위에서 형성된 실리콘이나 폴리실리콘의 층 또는 구조, 또는 실리콘이다. 트랜지스터와 같은 복수의 장치는 기판 위에 잘 알려진 기술을 이용해서 형성된다. 다음으로, 도핑 되거나 도핑 되지 않은 실리콘 디옥사이드 유전체 층(42)은 열 성장 또는 증착 같은 잘 알려진 기술로서 기판 위에 형성된다.

다음으로, 인터커넥션 라인(26)은 유전체 층위에서 형성된다. 인터커넥션 라인(26)위에서 형성될 때, 약 250 옹스트롬인 티타늄 층은 스퍼터링(sputtering)과 같은 잘 알려진 기술을 이용해서 유전체 층(42)위에 형성된다. 티타늄 층이 선호되기는 하지만, 다른 내화성 재료 층도 사용될 수 있다. 약 1%의 동을 포함한 약 4,500 옹스트롬 두께의 알루미늄 합금 층은 스퍼터링과 같은 잘 알려진 기술을 이용하여 티타늄 위에 형성된다. 알루미늄 합금 층(46)은 또한 컨덕터 부를 제공한다. 그것의 낮은 저항과 잘 알려진 프로세스 때문에 알루미늄 합금이 선호되기는 하지만, 이 분야의 기술자들에 의해 인식됨에 따라 다른 낮은 저항 재료도 컨덕터(46)부 처럼 동작 할 것이다. 약 250 옹스트롬의 두께를 갖는 티타늄 층(44)은 스퍼터링에 의해 컨덕션 부(46) 위에서 형성된다. 비록 티타늄이 선호된다고는 하지만, 다른 내화성 재료 층은 사용된다. 티타늄 질 화물 같은 비-내화성 코팅(50)은 티타늄 층(44)위에서 형성된다.

도핑된 실리콘 디옥사이드와 같은 제 1 유전체 층(28)은 인터커넥션 라인(26)을 지나 형성된다. 화학적 가스 증착(chemical vapor deposit)(CVD)과 같은 어떤 잘 알려진 기술들도 제 1 유전체 층(28)을 형성하기 위해서 사용될 수 있다. 제 1 유전체 층(28)은 평탄한 상부표면을 형성하기 위해서 화학적-메카니컬 폴리싱(chemical-mechanical) 또는 에치 백(etch back)에 의해 이 시간에 평탄해 진다. 금속화의 연속적인 레벨로부터 금속화의 연속적인 레벨로부터 인터커넥션 라인(26)의 알 맞은 전기적 분리를 공급하기 위해서 평탄화 후에 제 1 유전체 층(28)의 결과적인 두께는 충분히 두꺼워야 한다. 제 1 유전체 층(28)의 대략적인 두께는 4,000에서 6,000 옹스트롬은 알맞은 분리를 제공한다.

감광 수지층(보여주지 않았지만)은 비아(via)(60)가 어디서 생성되는지 위치를 결정하기 위해 잘 알려진 포토리소그라피 기술을 이용하여 제 1 유전체 층(28)을 지나 형성되고 패턴 되었다. 다음으로, 제 1 유전체(28)의 노출부, 티타늄 질화물 층(50), 및 티타늄 층(44)은 에칭 된다. 비아(60)는 도 2에서 보여지듯 알루미늄 컨덕턴스 부(46)가 노출될 때까지 에칭 된다. 실시 예에서, 리엑티브 아이언 에치(RIE)는 비아(60)를 형성하기 위해 이용된다.

이제 도 3을 참조하면, 앵커 홀(62)은 인터커넥션 라인(26)의 알루미늄 컨덕터 부(46)에서 등방 습식 에치(isotropic wet etch)를 이용하여 형성된다. 등방 습식 에치는 캡핑층(44)에 관련하여 컨덕터 부(46)를 더욱 선택적이게 한다. 다시 말해서, 컨덕터 부(46)는 캡핑층(44)보다 빠른 비율로 에칭 된다. 이 방법으로, 컨덕터 부(46)는 캡핑층의 아랫부분을 자르는 볼록 모양을 형성하는 캡핑층(44) 아래에 측면으로 에칭 된다. 앵커부(22)의 너비부(23)에 확장된 부분은 되도륵 100에서 600 옹스트롬 사이에 있는 아래의 캡핑층을 아래 부분을 자른다. 이 분야의 기술자들에 의해 인식됨에 따라 플라스마 에칭 및 리엑티브 아이언 에칭(reative ion etching)(RIE)과 같은 건식 에칭 기술을 이용될 수 있고, 다른 기술은 앵커 홀(62)을 형성하는데 사용된다.

도 4를 참조하면, 비아(60)는 컨덕티브 재료로 차 있고, 금속 플러그(32)를 형성하기 위한 잘 알려진 기술을 이용한 텅스텐이 선호된다. 금속 플러그의 앵커와 바디부(22, 34)는 모놀리식 유닛으로서 집적적으로 형성된다. 금속 플러그(32)를 형성하기에 앞서, 티타늄이나 티타늄 질화물 같은(보여지지 않은) 제 1 유전체 층(28)위에 놓여져 있는 덥게고, 스프터링과 같이 잘 알려진 기술을 이용해서 비아(60)와 앵커 홀(62) 안에 있다. 금속 플러그(32)의 컨덕티브 재료는 앵커 홀과 비아(62, 60)가 채워 질 때까지 비아(60)안에 증착된다. 화학적-기계적 폴리싱 기술은 접합/방벽 재료를 에치 백 하는데 이용되고, 컨덕티브 재료는 제 1 유전체 층위에 증착 된다 . 리엑티브 아이온 에칭(RIE)과 같은 다른 잘 알려진 에치 백 기술도 사용 가능하다.

트랜치(30)는, 도 5에서 가장 잘 보여 졌듯이, 금속 플러그(32)와 인접하여 형성된다. 트랜치(30)는 기존의 에칭이나 알맞은 기술을 이용하여 금속 플러그(32)에 접하는 패터닝에 의해서 형성된다. 예를 들면, 실리콘 질하물 에치 스톱(66)은 그것의 형성기간 동안 제 1 유전체 층 내에서 형성된다. 따라서, 유전체 층(28)은 트랜치(30)의 실질적인 깊이(d)를 결정한다. 금속 플러그(32)가 제 1 유전체(28)의 하부에 접하여 앵커 되기 때문에, 에치 스톱(66)의 위치는 기본적인 인커넥션 라인(26)의 손실과 분리 없이 더 커질 수 있다. 표면의 증가는 캐패시터를 형성 가능하게 해주기 때문에, 이것은 유리하게 캐패시터(20)의 캐패시턴스가 증가하게 한다.

일단 트랜치(30)가 형성되면, 캐패시터의 제 1 전극(36)은 제 1 유전체 층(28)상에서 전기적인 컨덕티브 재료의 증착에 의해서 형성되고, 트랜치(30)와 금속 플러그(32)를 포함한다. 제 1 전극(36)의 증착 방법은 스푸터링, 리엑티브 스투퍼 에칭(RSE), 화학적 증기 증착(CVD) 및 플라스마 강화 화학적 증기 증착(PECVD)을 포함할 것이다. 제 1 전극(36)은 그러므로 선택적으로 패턴 된다.

제 2 유전체 층(38)은 제 1 전극(36) 위에서 증착되고, 적갑한 기술을 이용하여 패턴된다. 제 2 유전체 층(38)은 CVD 혹은 제 1 전극(36)을 증착하는 것과 유사한 다른 기술을 이용하여 증착된다. 제 2 전극(40)은 적절한 패턴 기술을 이용하여 선택적으로 패턴 된다. 캐패시터(20)는 그러므로 도면에서 보여지듯이 제 1, 제 2 전극(36,40) 및 제 2 유전체 층을 포함한다.

낮고 높은 전극(36, 40)사이의 제 2 유전체 층(38)을 포함하는 캐패시터(20)를 형성하기 위한 대안으로서, 낮은 전극은 금속 플러그(32)의 상부로 대치된다. 다시 말하면, 금속 플러그(32)의 상부는 이 분야의 기술자들에 의해 쉽게 이해됨에 따라 캐패시터(20)의 낮은 전극을 형성한다.

본 발명의 많은 변형과 다른 실시예는 이 분야의 기술자들에게 도면의 조합과 위에서 기술된 설명 내에서 소개된 기술의 이점을 갖게 한다. 그러므로, 본 발명은 특정하게 발표된 실시예에 한정되는 것이 아

니고, 변형과 실시예는 첨부된 청구항의 범위에 포함되려고 의도된다고 이해된다.

발명의 효과

이것 및 다른 이점으로서, 본 발명에 따른 형태와 목적은 기판을 포함한 집적회로 캐패시터에 의해 공급되고, 제 1 유전체 층은 기판과 접하고 내부에 트랜치를 갖고 금속 플러그는 제 1 유전체 층에 앵커 된다. 더욱 특정하게, 금속 플러그는 양호하게 트랜치의 위쪽으로 확장된 바디부를 포함하고, 앵커부는 바디부와 접하고 인터커넥션 라인의 아래에 놓여져 있는 안으로 확장된다. 앵커부는 양호하게 제 1 유전체 층의 하부와 접하는 금속 플러그를 앵커시키는 너비부를 확장시킨다. 바디부 및 앵커부는 양호하게 모놀리식(monolitic) 유닛으로 형성된다.

금속 플러그가 앵커 되었기 때문에, 트랜치의 깊이는 금속 플러그가 아래에 놓인 인터커넥션 라인으로부터 손실되고 분리됨 없이 더 커질 수 있다. 만약 이것이 발생할 때, 개방 회로는 집적회로 캐패시터를 포함하는 회로 및 소자의 부족을 결과로 발생시킬 것이다. 금속 플러그의 앵커부는 그러므로 집적회로 캐패시터의 신뢰성이 감소하지 않도록 트랜치의 깊이가 커패시던스를 증가시키도록 허용한다.

캐패시터는 또한 양호하게 제 1, 제 2 전극 및 그 사이의 제 2 유전체 층을 포함한다. 제 1 전극은 트랜치 및 접속 금속 플러그에 선을 긋는다. 제 2 유전체 층은 제 1 전극 위에 놓여있고, 제 2 전극은 제 2 유전체 층위에 놓여있다. 본 발명에 따른 트랜치의 깊이의 증가는 제 1, 제 2 전극의 표면 영역을 증가시킨다. 이것은 캐패시터의 캐패시턴스를 유리하게 증가시키고, 저장된 정보의 손실을 막게 한다.

(57) 청구의 범위

청구항 1

집적회로 캐패시터에 있어서,

기판;

상기 기판에 인접하고 내부에 트랜치를 갖는 제 1 유전체 층;

트랜치 위쪽으로 확장된 바디부, 및

상기 바디부에 접속되고 상기 제 1 유전체 층의 하부에 인접한 상기 금속 플러그를 앵커하기 위한 확장된 너비부를 갖는 앵커부를 구비한 금속 플러그;

상기 금속 플러그의 상부에 인접한 제 2 유전체 층; 및

제 2 유전체 층위의 전극을 구비하는 집적 회로 캐패시터.

청구항 2

제 1항에 있어서,

상기 금속 플러그와 상기 제 2 유전체 층 사이의 전극을 더 포함하는 집적회로 캐패시터.

청구항 3

제 1항에 있어서,

상기 바디부 및 상기 앵커부는 모놀리식 유닛으로서 집적적으로 형성된 집적회로 캐패시터.

청구항 4

제 1항에 있어서,

상기 확장된 너비부는 볼록한 모양을 갖은 집적회로 캐패시터.

청구항 5

제 1항에 있어서,

상기 트랜치는 제 1 유전체 층의 두께의 약 절반보다 큰 깊이를 가진 집적회로 캐패시터.

청구항 6

제 1항에 있어서,

상기 앵커부의 상기 확장된 너비부는 상기 바디부의 너비의 약 10% 보다 큰 집적회로 캐패시터.

청구항 7

제 1항에 있어서,

상기 트랜치의 깊이는 약 2000 옹스트롬 보다 더 큰 집적회로 캐패시터.

청구항 8

제 1항에 있어서,

상기 금속 플러그에 접속되고, 상기 제 1 유전층 아래로 확장된 인터커넥션 라인을 더 포함하는 집적회로 캐패시터.

청구항 9

제 1항에 있어서,

상기 금속 플러그의 상기 바디부는 제 1 유전체 층의 인접한 최상부 표면과 함께 실질적으로 같은 평면인 최상부 표면을 갖는 집적회로 캐패시터.

청구항 10

제 1항에 있어서,

상기 금속 플러그는 텅스텐으로 이루어진 집적회로 캐패시터.

청구항 11

제 1항에 있어서,

상기 금속 플러그의 상기 바디부는 트랜치의 중앙부 내의 위쪽으로 확장하는 집적회로 캐패시터.

청구항 12

집적회로의 캐패시터에 있어서,

기판;

상기 기판과 인접하는 인터커넥션 라인;

내부에 트랜치를 가지고 인터커낵션 라인 위의 제 1 유전체 층;

트랜치의 위쪽으로 확장된 바디부, 및

상기 바디부에 접속되고 상기 인터커넥션 라인으로 확장하는 앵커부로서, 상기 제 1 유전체 층의 하부에 인접한 상기 금속 플러그를 앵커하기 위한 확장된 너비부를 갖는 상기 앵커부를 구비한 금속 플러그;

상기 금속 플러그의 상부에 인접한 제 2 유전체 층; 및

제 2 유전체 층위의 전극을 구비하는 집적 회로 캐패시터.

청구항 13

제 12항에 있어서,

상기 금속 플러그 및 상기 제 2 유전체 층 사이의 전극을 포함하는 집적회로 캐패시터.

청구항 14

제 12항에 있어서,

상기 바디부 및 상기 앵커부 내에서 모놀리식 유닛으로서 집적적으로 형성된 집적회로 캐패시터.

청구항 15

제 12항에 있어서,

상기 확장된 너비부는 볼록한 모양을 갖은 집적회로 캐패시터.

청구항 16

제 12항에 있어서,

상기 트랜치는 제 1 유전체 층의 두께의 약 절반보다 큰 깊이를 가진 집적회로 캐패시터.

청구항 17

제 12항에 있어서,

상기 앵커부의 상기 확장된 너비부는 상기 바디부의 너비의 약 10% 보다 큰 집적회로 캐패시터.

청구항 18

제 12항에 있어서,

상기 트랜치의 깊이는 약 2000 옹스트롬 보다 큰 집적회로 캐패시터.

청구항 19

제 12항에 있어서,

상기 금속 플러그의 상기 바디부는 제 1 유전체 층의 인접한 최상부 표면과 실질적으로 같은 평면인 최상부 표면을 갖는 집적회로 캐패시터.

청구항 20

제 12항에 있어서,

상기 금속 플러그는 텅스텐으로 이루어진 집적회로 캐패시터.

청구항 21

제 12항에 있어서,

상기 금속 플러그의 상기 바디부는 트랜치의 중앙부 내의 위쪽으로 확장된 집적회로 캐패시터.

청구항 22

집적회로 캐패시터에 있어서,

기판;

상기 기판에 인접하고 내부에 트랜치를 갖으며, 상기 트랜치는 상기 제 1 유전체층의 두께의 약 절반 보다 큰 깊이를 갖는 제 1 유전체 층;

트랜치의 위쪽으로 확장된 바디부, 및

상기 바디부와 접속하고 상기 제 1 유전체 층의 하부에 인접하는 상기 금속 플러그를 앵커하기 위해 볼록 모양의 확장된 너비부를 갖는 앵커부를 구비한 금속 플러그;

상기 금속 플러그의 상부에 인접한 제 2 유전체 층; 및

제 2 유전체 층위의 전극을 구비하는 집적 회로 캐패시터.

청구항 23

제 22항에 있어서,

상기 금속 플러그와 상기 제 2 유전체 층 사이의 전극을 더 포함하는 집적회로 캐패시터.

청구항 24

제 22항에 있어서,

상기 바디부 및 상기 앵커부는 모놀리식 유닛으로서 집적적으로 형성된 집적회로 캐패시터.

청구항 25

제 22항에 있어서,

상기 앵커부의 상기 확장된 너비부는 상기 바디부의 너비의 약 10% 보다 큰 집적회로 캐패시터.

청구항 26

제 22항에 있어서,

상기 트랜치의 깊이는 약 2000 옹스트롬보다 큰 집적회로 캐패시터.

청구항 27

제 22항에 있어서,

상기 금속 플러그에 접속되고, 상기 제 1 유전층 아래로 확장된 인터커넥션 라인을 더 포함하는 집적회로 캐패시터.

청구항 28

제 22항에 있어서,

상기 금속 플러그의 상기 바디부는 제 1 유전체 층의 인접한 최상부 표면과 실질적으로 같은 평면인 최상부 표면을 갖는 집적회로 캐패시터.

청구항 29

제 22항에 있어서,

상기 금속 플러그는 텅스텐으로 이루어진 집적회로 캐패시터.

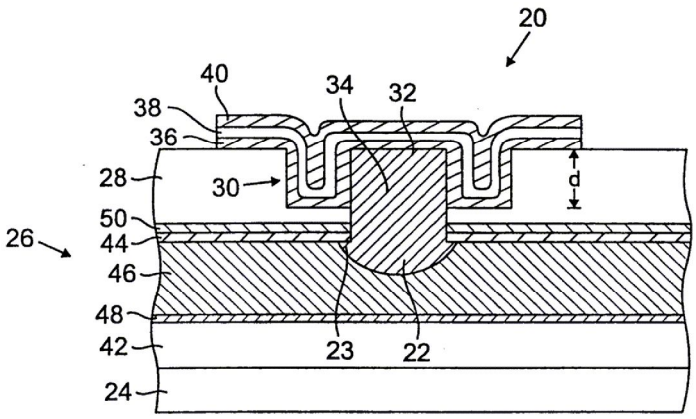
청구항 30

제 22항에 있어서,

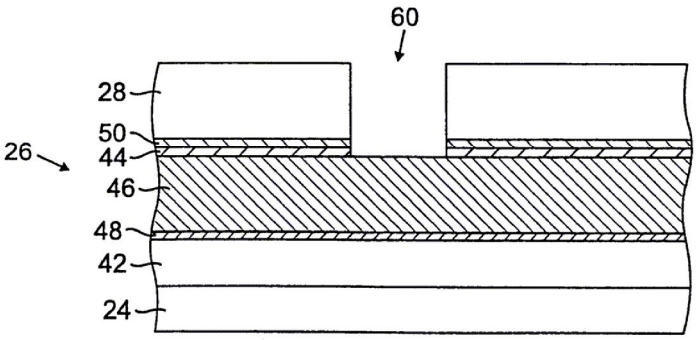
상기 금속 플러그의 상기 바디부는 트랜치의 중앙부에서 위쪽으로 확장된 집적회로 캐패시터.

도면

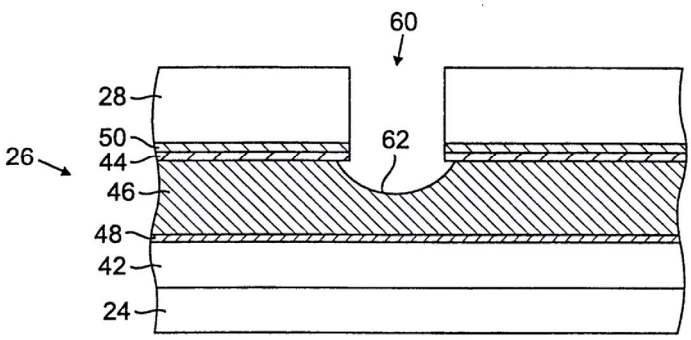
도면1



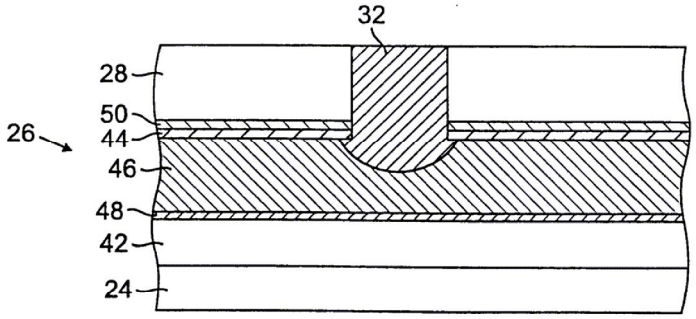
도면2



도면3



도면4



도면5

