

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5899565号
(P5899565)

(45) 発行日 平成28年4月6日(2016.4.6)

(24) 登録日 平成28年3月18日(2016.3.18)

(51) Int. Cl.		F I			
HO 1 L 21/822	(2006.01)	HO 1 L	27/04	C	
HO 1 L 27/04	(2006.01)	HO 1 L	27/04	A	
HO 1 L 21/8234	(2006.01)	HO 1 L	27/06	1 O 2 A	
HO 1 L 27/06	(2006.01)				

請求項の数 17 (全 11 頁)

(21) 出願番号	特願2013-196295 (P2013-196295)	(73) 特許権者	710010157
(22) 出願日	平成25年9月22日(2013.9.22)		菅原 光俊
(65) 公開番号	特開2015-62209 (P2015-62209A)		神奈川県横浜市泉区領家四丁目17番地2
(43) 公開日	平成27年4月2日(2015.4.2)	(72) 発明者	菅原 光俊
審査請求日	平成27年8月24日(2015.8.24)		神奈川県横浜市泉区領家四丁目17番地2
特許法第30条第2項適用 電子情報通信学会集積回路研究専門委員会LSIとシステムのワークショップ2013ポスターセッション 電子情報通信学会研究会資料(シリコンアナログRF研究会) 東京工業大学大学院理工学研究科松澤・岡田研究室ホームページ		審査官	市川 武宜
特許権者において、実施許諾の用意がある。			
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 スイッチ付容量及びスイッチ付容量を含む回路

(57) 【特許請求の範囲】

【請求項1】

LSI内部の配線間を使った複数の容量と、かかる各容量の一端にそれぞれMOSトランジスタで構成するスイッチが相互接続された回路において、

前記容量の電極の長辺(フィンガー)の方向と、前記MOSトランジスタのゲートの長辺方向を同方向とし、これらを複数個並べる際の繰り返しピッチを同一もしくは他方の整数倍のピッチで連続して並べ、

前記各MOSトランジスタのドレイン電極は前記各容量の一端に接続し、かかる各MOSトランジスタのソース電極は隣接するMOSトランジスタのソース電極と共通構造とするとともに複数のMOSトランジスタ間で共通接続して第一の接続点とし、かかる各MOSトランジスタのゲート電極がスイッチの制御信号を受電し、前記容量の他端を第二の接続点としたことを特徴とするスイッチ付容量。

【請求項2】

請求項1のスイッチ付容量において、前記ゲート電極は偶数個のフィンガーで構成されていることを特徴とする、スイッチ付容量。

【請求項3】

請求項1又は2のスイッチ付容量において、前記各ゲートが受電する制御信号は二進信号であって、かかる二進信号のビットの重さに比例した個数の前記スイッチがそれぞれ共通制御されることを特徴とする、スイッチ付容量。

【請求項4】

請求項3のスイッチ付容量において、前記共通制御されるスイッチが物理的に一カ所に集中していないことを特徴とする、スイッチ付容量。

【請求項5】

請求項1又は2のスイッチ付容量において、前記各ゲートが受電する制御信号は漸次オンする数が増えるサーモメータ・コードであることを特徴とするスイッチ付容量。

【請求項6】

請求項5のスイッチ付容量において、前記サーモメータ・コードで制御されるスイッチが物理的に連続して配置されていないことを特徴とする、スイッチ付容量。

【請求項7】

請求項1乃至6のいずれか一項に記載のスイッチ付容量であって、スイッチを複数段に渡って構成したことを特徴とするスイッチ付容量。

10

【請求項8】

請求項1乃至7のいずれか一項に記載のスイッチ付容量を複数組用い、それらを第三の容量で結合したスイッチ付容量であって、前記第三の容量も、前記スイッチ付容量と同一ピッチで構成し、連続して配置したことを特徴とするスイッチ付容量。

【請求項9】

請求項1乃至8のいずれか一項に記載のスイッチ付容量とその制御回路を含む回路において、制御回路を構成するMOSトランジスタと、スイッチを構成する前記MOSトランジスタを同一ピッチで配置したこと特徴とする制御回路を含むスイッチ付容量。

【請求項10】

20

請求項9の制御回路がDフリップ・フロップであることを特徴とする制御回路を含むスイッチ付容量。

【請求項11】

請求項9の制御回路がサーモメータ・コードに変換する論理回路であることを特徴とする制御回路を含むスイッチ付容量。

【請求項12】

請求項9の制御回路が論理回路の遅延を合わせる回路を含むことを特徴とする制御回路を含むスイッチ付容量。

【請求項13】

請求項9の制御回路を構成するトランジスタを複数段並べたことを特徴とする制御回路を含むスイッチ付容量。

30

【請求項14】

請求項9の制御回路を構成するトランジスタが、4ゲートを単位とし、掛かる単位の両端をソース電極とし、隣接する単位のソース電極と共通に構成することを特徴とする制御回路を含むスイッチ付容量。

【請求項15】

請求項1乃至14のいずれか一項に記載のスイッチ付容量とインダクタを組み合わせたことを特徴とする、デジタル制御型共振回路。

【請求項16】

請求項1乃至14のいずれか一項に記載のスイッチ付容量を含むDA変換回路。

40

【請求項17】

請求項1乃至14のいずれか一項に記載のスイッチ付容量を含むAD変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はICやLSI内の容量をスイッチで切替える回路に関する。

【背景技術】

【0002】

従来からICやLSI内部で容量をスイッチで切替える回路は、アナログ・フィルタ、ADコン

50

バータ、発振器等に広く使われている。従来は配線層間膜を使った容量(以下「MIM容量」と言う)等とMOSスイッチをそれぞれ半導体基板上に形成し、配線で接続しているのが一般的である。一方、近年半導体プロセスがディープ・サブミクロン(0.1 μm 程度以下)と呼ばれる時代になり、配線層間膜の厚みよりも配線間隔の方が狭くなってきた。このため配線を使った容量として、従来のMIM容量よりも、配線間を使った容量(以下「MOM容量」と言う)の方が面積効率が高くなりつつある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許公開2013 120857「半導体集積回路」

10

【特許文献2】特許公開2008 263185「半導体集積回路」これらの文献には、LSI上にアナログ素子をアレー状に並べる記載があるものの、それぞれの素子を所定の大きさ(1 μm 台~100 μm 程度)で作り、配置し、それに配線を施すものに過ぎない。またMOM容量に関する記載は無い。

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来は、容量とスイッチをそれぞれ所定の大きさで作り、それを配線で結びつけていたため、各素子の分離領域含めると1 μm 台~10 μm 台と大きなサイズだったのみならず、配線の浮遊容量が精度や特性を劣化させていた。また浮遊容量のため実質的にスイッチで切替えられる最小容量(分解能)は100fF程度がやっとだった。

20

本願は、MOM容量を用い、かつ容量とスイッチを以下に示す工夫をすることで、浮遊容量をほぼ1~2桁減らし、小型化、高性能化、分解能向上を実現するものである。

【0005】

図1は従来のスイッチ付容量の回路図の一例であり、本願の対象でもある。

容量C1~C4がスイッチS1~S4を介してつながっている。例えばC1が0.1pF、C2が0.2pF、C3が0.4pF、C4が0.8pFとすれば、スイッチS1~S4の選択により0pF~1.5pFの容量値を0.1pFステップで設定できる。なおスイッチはMOSトランジスタで作るのが一般的である。

実際にはこの回路が、フィルタやADコンバータや発振回路の容量の一部を構成している。スイッチはNチャネルMOSとPチャネルMOSトランジスタを並列につなぐ場合もある。

30

【0006】

図2aは、図1の回路を従来の方法で半導体基板上に配置し、配線した平面図の一例である。C1~C4は従来から用いられているMIM容量であり、C1が0.1pF、C2が0.2pF、C3が0.4pF、C4が0.8pFである。それぞれの一端はT1端子に接続され、他端はそれぞれスイッチS1~S4を構成するMOSトランジスタに接続されている。各スイッチの他端は端子T2に接続されている。小さな四角はコンタクト・ホールをあらわしている。各スイッチの白抜きの細長い矩形は、MOSトランジスタのゲートを表し、ここには制御用のロジック信号が接続される(図示せず)。二点鎖線での断面図を図2bに示す。

容量用絶縁膜を挟んで容量の電極が存在する。

【0007】

40

図3aは、図1の回路を従来の方法で半導体基板上に配置し、配線した平面図の別の一例である。C1~C4はMOM容量であり、C1が0.1pF、C2が0.2pF、C3が0.4pF、C4が0.8pFとなるように各容量の電極の長辺方向(以下フィンガと言う)の数が選ばれている(図3aでは模式的に表しており、実際のフィンガ数とは異なる)。それぞれの一端はT1端子に接続され、他端はそれぞれスイッチS1~S4を構成するMOSトランジスタに接続されている。各スイッチの他端は端子T2に接続されている。小さな四角はコンタクト・ホールをあらわしている。各スイッチの白抜きの細長い矩形は、MOSトランジスタのゲートを表し、ここには制御用のロジック信号が接続される(図示せず)。二点鎖線での断面図を図3bに示す。

容量用絶縁膜を挟んで容量の電極が存在する。

【0008】

50

これら2例はともに、容量とスイッチをそれぞれ単独で作り、配線を施しているため、サイズが大きくなるのみならず、配線の浮遊容量が精度や特性を劣化させていた。また浮遊容量のため実質的にスイッチで切替えられる最小容量(分解能)は100fF程度がやっとだった。

【発明の効果】

【0009】

本発明を適用すれば、配線の浮遊容量を最小にし、1fF以下の分解能で容量値を切り替えることが可能になり、さらに単調増加を保証することが可能になる等の利点がある。

【課題を解決するための手段】

【0010】

本発明は、容量とスイッチの方向とピッチ(繰り返しの間隔)を合わせることで、種々の利点を生むものである。

配線間隔を使ったMOM型容量素子と、スイッチとして動作するMOSトランジスタを接続している集積回路装置において、前記容量の電極間の方向と、前記MOSトランジスタのゲート間隔を同方向とし、これらを複数個近接して並べ、その繰り返しの間隔を等しくもしくは整数倍の関係とし、両者を短い配線で接続したことを特徴とするスイッチ付容量である。ここで特に重要なのは、サブミクロン・プロセスの場合、上記ピッチをほぼサブミクロンにできるということであり、従来に比べて1~2桁小さく作れるということである。

【発明を実施するための形態】

【実施例1】

【0011】

図4は本願の第一の実施例であり、MOM容量の2フィンガと、スイッチを構成するMOSトランジスタの2ゲートを同一ピッチ(繰り返し幅)となるように調整したものである。通常のLSIのレイアウト設計基準では、MOSトランジスタ側の最小ゲート・ピッチの方が、MOM容量の最小フィンガ・ピッチより狭いことが多いので、その場合はMOSトランジスタのゲート・ピッチを少し広げて、両者を一致させる必要がある。ただしそれに限定しない。

例えばMOM容量C11の2フィンガが、スイッチS11を構成するMOSトランジスタのドレインに接続され、かかるMOSトランジスタの2本のゲートは共通の制御信号に接続され(図示せず)、2つのソースは端子T2に接続されている。なお、右側のソースはスイッチS12の左側のソースと共用している。同様な構成でC25, S25まで繰り返されている。

このように隣のトランジスタとソースを共用することで、サブミクロン・オーダのピッチを実現でき、かつトランジスタの分離領域を不要なため、全体のトランジスタ占有面積を大幅に小さくすることができる。

【0012】

スイッチS11の2本のゲートを制御することで0.1pFの容量をオン/オフできる。スイッチS12とスイッチS13の合計4本のゲートを制御することで0.2pFの容量をオン/オフできる。スイッチS14, S15, S16, S17の合計8本のゲートを制御することで0.4pFの容量をオン/オフできる。スイッチS18~S25の合計16本のゲートを制御することで0.8pFの容量をオン/オフできる。これらの組合せで0~1.5pFまで、0.1pFおきに任意の容量値を設定できる。

【0013】

他の制御方法としては、スイッチS18の2本のゲートを制御することで0.1pFの容量をオン/オフさせる。スイッチS14とスイッチS22の合計4本のゲートを制御することで0.2pFの容量をオン/オフさせる。スイッチS12, S16, S20, S24の合計8本のゲートを制御することで0.4pFの容量をオン/オフさせる。スイッチS11, S13, S15, S17, S19, S21, S23, S25の合計16本のゲートを制御することで0.8pFの容量をオン/オフさせる。これらの組合せでも0~1.5pFまで、0.1pFおきに任意の容量値を設定できる。こうすると、仮にフィンガ間隔がチップの面内で傾斜を持つような場合でも、各容量値は平均化されるので、相対精度を向上することができる。

【0014】

さらに別の制御方法として、全てのスイッチをオフすると0pF、スイッチS11のみオンさせ

10

20

30

40

50

ると0.1pF、スイッチS11とスイッチS12をオンさせると0.2pF、スイッチS11,S12,S13をオンさせると0.3pF、スイッチS11,S12,S13,S14をオンさせると0.4pF、・・・スイッチS11～S25をオンさせると1.5pFが得られる。このような漸次オンする数を増やしていく制御方式を温度計型制御という。この方式では容量値が漸増するので、単調増加性が確実に保証される。これは帰還系で使う場合に好都合である。本実施例の部分はそのまま、それを制御するロジック部の工夫で温度計型制御も実現できるのが特徴である。

【0015】

さらに別の制御方法として、全てのスイッチをオフすると0pF、スイッチS18のみオンさせると0.1pF、スイッチS18とスイッチS14をオンさせると0.2pF、スイッチS18,S14,S22をオンさせると0.3pF、スイッチS18,S14,S22,S12をオンさせると0.4pF、・・・スイッチS11～S25をオンさせると1.5pFが得られる。このように出来るだけ1箇所付近に集中しないように制御すると、単調増加性が確実に保証されるのみならず、仮にフィンガ間隔がチップの面内で傾斜を持つような場合でも、各容量値は平均化されるので、相対精度を向上することができる。これも本実施例の部分はそのまま、それを制御するロジック部の工夫で温度計型制御も実現できるのが特徴である。

10

【0016】

前3項の制御方法の工夫は、MOM容量を単位容量(上記の場合2フィンガ)毎にスイッチを設けたことで、可能になったものである。

【実施例2】

【0017】

図5は、本発明の第2の実施例である。容量C11～C25は図4と同様に2フィンガで構成されているが、スイッチS11～S25とS11'～S25'は2段に並べられ、容量の1フィンガ毎に接続されている。このように構成することにより、図4に比し、半分の分解能で容量値を制御できる、つまり制御ビット数が1つ大きくできる利点がある。

20

制御方法は上記実施例1のどれでも適用可能である。

【実施例3】

【0018】

図6は、本発明の第3の実施例であり、容量C11～C25を、スイッチS11～S25を構成するMOSトランジスタの2ゲート分のピッチで構成したものである。通常のLSIのレイアウト設計基準では、MOSトランジスタ側の最小ゲート・ピッチ2つ分の方が、MOM容量の最小フィンガ・ピッチより広いことが多いので、その場合は容量の配線幅もしくは配線間隔を少し広げて、両者のピッチを一致させる必要がある。ただしそれに限定しない。また単位容量値やフィンガ数は、図4a、図5と同位置であるとは限らない。

30

本実施例の場合はMOSトランジスタを最小ピッチで構成できるので、その性能を最大限引き出せる利点がある。

制御方法は上記実施例1のどれでも適用可能である。

【実施例4】

【0019】

図7は、従来及び本願発明のスイッチ付容量を使ったDAコンバータの回路の一例である。端子T1を出力とし、端子T2をGND、端子T3を電源もしくは基準電圧につなぐことにより、スイッチS31～S47及びS31'～S47'の選択に応じT1に所望のアナログ電圧を出力する回路である。

40

従来容量値C31～C37、C41～C47はそれぞれ二進の重みをもたせる場合が多かった。

また、C41～C47がMSB側の複数のビットであり、C41～C47がLSB側の複数のビットである。よく知られているように、C40とC41'はC31～C37合計をC41とほぼ等しくするようスケールリングするための容量であり、通常はC41の1～2倍である。

【0020】

本願の場合、C31～C37とC41～C47を単位MOM容量とすることが、回路上の特徴である。

【0021】

図8は本願第4の実施例である。C31～C37とC41～C47は1本のフィンガで構成されたMOM容量

50

であり、スイッチS31～S47とS31'～S47'はMOSトランジスタで構成されたスイッチである。スイッチを図の縦方向に多段に並べることによりMOM容量と複数のスイッチを同一ピッチで並べることが出来る。この例ではDAコンバータへ与えられる上位3bitのデータを用いて、C41～C47のMOM容量をスイッチで選択し、所望の出力電圧を得る。ここでその選択方法は、実施例1で述べた二進制御でも、温度計制御でも任意に選択できる。同様にDAコンバータへ与えられる下位3bitのデータを用いて、C31～C37のMOM容量をスイッチで選択し、所望の出力電圧を得る。ここでその選択方法は、実施例1で述べた二進制御でも、温度計制御でも任意に選択できる(ゲート接続は図示せず)。この例はC40とC40'も同一の単位容量で構成した。このような構成の場合、下位側に若干の容量を追加してスケール値を合わせることが一般的に行われているので、図示はしないが、C31の左側にこの容量を容易に追加できる。

10

【0022】

C37とC40'の間にあるのはシールド電極であり、端子T2のGNDへ接続されている。また通常S31～S47はNチャネルMOSトランジスタで構成され、S31'～S47'はPチャネルMOSトランジスタで構成されるが、バックゲート等は図示していない。共通ソースをそれぞれT2とT3に引き出す配線は、スイッチを構成するトランジスタの直上を上位の配線層を用いて構成することもできる。

【0023】

このようにMOM容量とスイッチを同一ピッチで並べることにより、極めて規則的に図7の回路をレイアウトすることが出来る。従来のように容量とスイッチを個別に作り、分離したりシールドしたりするスペースが不要になる分、高密度で実装可能であり、かつ相互干渉もない。さらに、スイッチS37とS41間、スイッチS37'とS41'間も同一ピッチでトランジスタを並べて配置することと、シールドを容量と同一ピッチで配置すること、および図の両端にダミー容量とダミースイッチを同一ピッチで配置する(図示せず)ことにより、全ての容量とスイッチの隣との環境を同一にすることが出来る。これにより、相対精度の向上が見込める。

20

単位MOM容量とスイッチの関係として、実施例1～3の容量とスイッチを準用することもできる。また単位容量値やフィンガ本数は、要求されるビット数等に応じて任意に選択できる。スケール用のC40とC40'の位置も図8に限定せず、例えばC37側に付けるとか、C31の左側に付けるとか、ピッチを変えなければ、どこに置いても構わない。スイッチの個数も任意に増加することが可能であり、ADコンバータ等応用する際にさらに入力信号を印加するスイッチを追加することもできる。スイッチを構成するMOSトランジスタの極性は上記に限定されず、必要によりP,N並列にすることを含め、適宜選択すればよい。

30

【実施例5】

【0024】

図9は第5の実施例であり、C40'を単位MOS容量の約1/2としたレイアウトの例である。つまりC40とC40'を合わせたスケール容量は単位容量の約1.5倍である。こうすると、第4の実施例より小さく作ることが出来る。

【実施例6】

【0025】

第10a図は従来及び本願発明のDフリップ・フロップ(以下DFFと言う)のゲート・レベル回路図であり、同図bはトランジスタ・レベルの回路図である。

同図cは本願の第6の実施例であり、同図a,bをレイアウトしたものである。その特徴は、ゲート4本の幅にあり、かつ各トランジスタ領域の両側はソースであり、電源VDDもしくはGNDに接続されるように並べたことを特徴にしている。このためこのDFFを横に並べる際に、両端のソースを共用することで、ゲート4本のピッチで連続して並べることが出来る。なお図10cでは、最上段がNチャネルMOSトランジスタ、次がPチャネルMOSトランジスタ、次もPチャネルMOSトランジスタ、次はNチャネルMOSトランジスタ、次もNチャネルMOSトランジスタ、最下段はPチャネルMOSトランジスタである(バックゲート等は図示せず)。薄い灰色で示すゲート及びそれを厚い酸化膜上に引き出して配線として利用する部分と、濃い

40

50

灰色で示す配線と、黒で示す別の層の配線で図10bの回路を結線したものである。

なお、図10cの縦方向のゲート幅は、必ずしも同一である必要はない。

本実施例は、ゲート4本のピッチでDFFをレイアウトできることを示す一例であり、その内部のトランジスタの位置と配線方法は、これ以外のレイアウトであっても構わない。

【実施例7】

【0026】

図11は本願の第7の実施例であり、図9に相当するスイッチ付MOM容量と、図10cのDFFを8個並べて、接続したものである。本実施例の特徴は、容量とスイッチを同一ピッチで配置するのみならず、それを制御するロジック部の例であるDFFまでも同一ピッチで並べたこと

10

である。
本実施例では、容量2フィンガに対し、スイッチを構成するMOSトランジスタ4ゲートと、DFF 1個が同一ピッチで並べてある。このため、S42,S42',S43,S43'と、S44,S44',S45,S45'と、S46,S46',S47,S47'はそれぞれ同一のDFFの出力信号で制御される。S41,S41'を二進制御とし、他を温度計制御するなど、DAコンバータの上位3bitに応じて端子T1にDA変換出力を得ることが出来る。下位についても同様である。

また全体として幅を揃えるためC40'の構成を若干変えている。このような構成により、単位MOM容量のちょうど半分の容量を高精度に実現できる。

このような構成にすることにより、上記の効果に加え、ロジック回路と各スイッチを結ぶ配線領域が不要となり、さらに小さく作ることができる。両端にダミー容量とダミースイッチ、ダミーロジック・ゲートを置くことで、ロジックの配線を含め、全ての単位容量と

20

【0027】

図11のMOM容量とスイッチのピッチの関係として、実施例1~6のいずれを用いても良い。

またビット数やスイッチの個数、極性等も適宜に選択できる。

本願発明の趣旨は、MOM容量とスイッチのピッチを同一、もしくは整数倍にすることであり、本実施例はさらにロジックまで同一もしくは整数倍のピッチとしたものである。

例えば、DFFを図の縦方向に2段配置して、適宜多層配線することで、ピッチを守ったまま、S42,S42'とS43,S43'と・・・S47,S47'をそれぞれ異なる制御をすることもできる(図示

30

せず)。DFFに加え、スイッチの選択に関するロジックも同一ピッチで構成することもできる(図示せず)。DFF無しで、スイッチの選択に関するロジックのみを同一もしくは整数倍のピッチで並べることもできる。スイッチの選択に関するロジックの例としては、サーモメータ・コードへの変換ロジックや、ロジック信号の伝達遅れを概略等しくするための工夫などがある。

【実施例8】

【0028】

図12は本願の第8の実施例であり、図9に示したスイッチ付容量回路を2個用いて、インダクタL1とつないだものである。スイッチ付容量とインダクタL1で共振回路を構成しており、

40

【0029】

図13は、図12のレイアウトの一例を図示したものである。

【0030】

従来のLC共振回路の周波数調整には、主としてバラクタと呼ばれる印加直流電圧で容量が変化

50

性が良い。

【産業上の利用可能性】

【0031】

従来容量とスイッチが別々の部品として配置、配線されていたものを、本願発明ではまとめて「スイッチ付容量」と捉え直し、これらを同一もしくは整数倍のピッチで複数個規則的に並べるという発明である。特にLSIの微細化で配線間(MOM)容量の効率が上がったことにより、「スイッチ付容量」が実用可能になった。

本願は、これまでに述べてきた実施例に限定することなく、単位容量値、容量のフィンガ数、制御ビット数、制御ロジック回路等を適宜変更できることは言うまでもない。

【図面の簡単な説明】

10

【0032】

【図1】従来および本願の実施例で用いる回路図の一例

【図2】図1の回路をLSI上にレイアウトした従来例。同図bは、同図aの従来のレイアウト例の断面図

【図3】図1の回路をLSI上にレイアウトした別の従来例。同図bは、同図aの従来のレイアウト例の断面図

【図4】本願の第1の実施例で、図1回路をレイアウトしたもの。同図bは、同図aの断面図

【図5】本願の第2の実施例

【図6】本願の第3の実施例

20

【図7】従来、および本願の実施例で用いる回路図の一例

【図8】本願の第4の実施例

【図9】本願の第5の実施例

【図10】従来、および本願の実施例で用いる。同図bは、従来、および本願の実施例で用いるDフリップ・フロップのトランジスタ・レベル回路図の一例。同図cは、本願の第6の実施例

【図11】本願の第7の実施例

【図12】本願の第8の実施例の回路図の一例

【図13】本願の第8の実施例のレイアウトの一例

【符号の説明】

30

【0033】

C1 ~ C87

LSI内部の容量

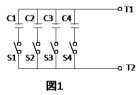
S1 ~ S87, S1' ~ S80'

MOSトランジスタによるスイッチ

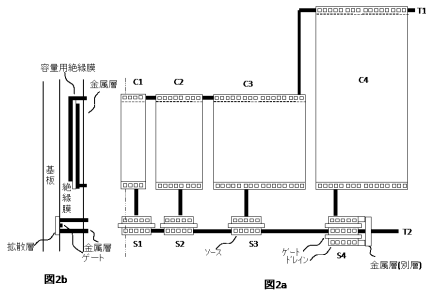
L1

インダクタ

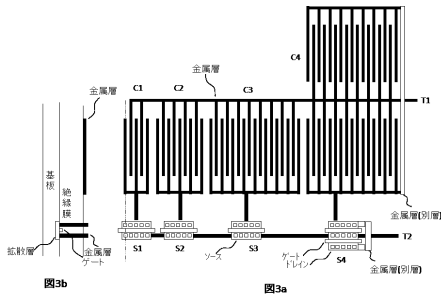
【 图 1 】



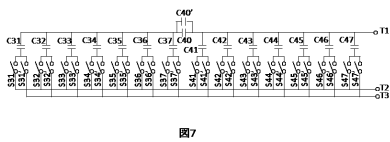
【 图 2 】



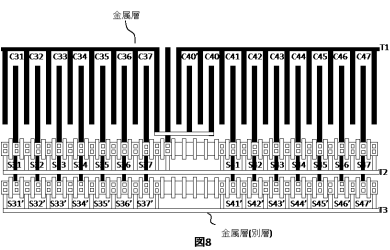
【 图 3 】



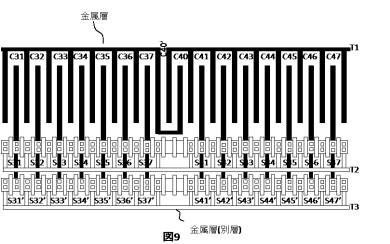
【 图 7 】



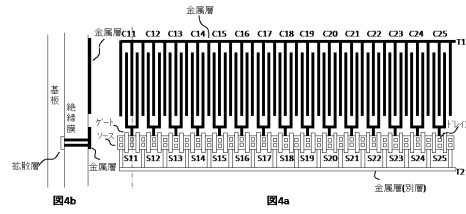
【 图 8 】



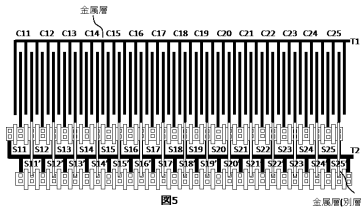
【 图 9 】



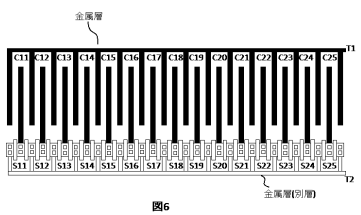
【 图 4 】



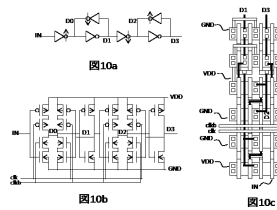
【 图 5 】



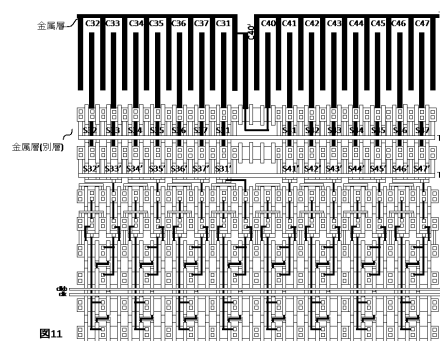
【 图 6 】



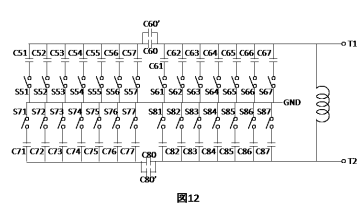
【 图 10 】



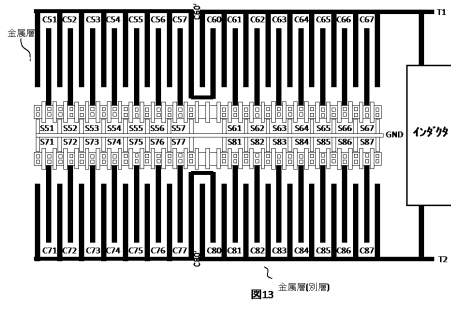
【 图 11 】



【 图 12 】



【 図 13 】



フロントページの続き

(56)参考文献 特開2010-278450(JP,A)
特開2003-017575(JP,A)
特開2002-190738(JP,A)
特表2011-515832(JP,A)
特開2013-120857(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/06