(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3713825号
(P3713825)
(45)発行日　平成17年11月9日(2005.11.9)　(24)登録日　平成17年9月2日(2005.9.2)

(51)Int.Cl.[7]　F I
H04L 12/66　H04L 12/66　E

請求項の数 3　(全 25 頁)

(21)出願番号　特願平8-198636
(22)出願日　平成8年7月29日(1996.7.29)
(65)公開番号　特開平10-51498
(43)公開日　平成10年2月20日(1998.2.20)
審査請求日　平成14年11月7日(2002.11.7)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　國頭　義之
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　玉木　宏治

(56)参考文献　特開平７－７４７８２（ＪＰ，Ａ）
特開平７－２８８５３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04L 12/56、66

(54)【発明の名称】情報処理装置、通信システムおよびその方法

(57)【特許請求の範囲】

【請求項１】

複数の第１の通信ノードが第１の通信プロトコルに準拠した通信を行う第１のネットワークと、複数の第２の通信ノードが第２の通信プロトコルに準拠した通信を行う第２のネットワークに接続した情報処理装置であって、

前記第１のネットワークおよび前記第２のネットワークのいずれにも適用できる物理的条件を備えた接続端子を複数有する集線手段と、

前記第１のネットワークの通信処理を行う第１の通信処理ブロックと、前記第２のネットワークの通信処理を行う第２の通信処理ブロックと、前記第１の通信プロトコルと前記第２の通信プロトコルの相互変換処理を行う第３の通信処理ブロックとを収容する収容手段と

を有し、

前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックの各々は、前記情報処理装置内の信号接続に用いる複数の装置内接続端子を有し、

前記第１のネットワークに接続された前記集線手段の前記接続端子と前記第１の通信処理ブロックの前記装置内接続端子とを接続し、前記第２のネットワークに接続された前記集線手段の前記接続端子と前記第２の通信処理ブロックの前記装置内接続端子とを接続し、前記第１の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続し、前記第２の通信処理ブロックの前記装置内接続端子と前記第

３の通信処理ブロックの前記装置内接続端子を接続することにより、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックを介して、前記第１のネットワーク内の前記第１の通信ノードと前記第２のネットワーク内の前記第２の通信ノードとの間で相互にデータ通信を行い、

前記第１のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第１の通信処理ブロックの前記装置内接続端子に接続することにより、前記第１の通信処理ブロックを介して、前記第１のネットワーク内の複数の前記第１の通信ノード間のデータ通信を行い、

前記第２のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第２の通信処理ブロックの前記装置内接続端子に接続することにより、前記第２の通信処理ブロックを介して、前記第２のネットワーク内の複数の前記第２の通信ノード間のデータ通信を行う

情報処理装置。

【請求項２】

第１の通信プロトコルに準拠した通信を行う第１のネットワークを介して通信を行う複数の第１の通信ノードと、

第２の通信プロトコルに準拠した通信を行う第２のネットワークを介して通信を行う複数の第２の通信ノードと、

前記第１のネットワークおよび前記第２のネットワークに接続した情報処理装置と

を有し、

前記情報処理装置は、

前記第１のネットワークおよび前記第２のネットワークのいずれにも適用できる物理的条件を備えた接続端子を複数有する集線手段と、

前記第１のネットワークの通信処理を行う第１の通信処理ブロックと、前記第２のネットワークの通信処理を行う第２の通信処理ブロックと、前記第１の通信プロトコルと前記第２の通信プロトコルの相互変換処理を行う第３の通信処理ブロックとを収容する収容手段と

を有し、

前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックの各々は、前記情報処理装置内の信号接続に用いる複数の装置内接続端子を有し、

前記第１のネットワークに接続された前記集線手段の前記接続端子と前記第１の通信処理ブロックの前記装置内接続端子とを接続し、前記第２のネットワークに接続された前記集線手段の前記接続端子と前記第２の通信処理ブロックの前記装置内接続端子とを接続し、前記第１の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続し、前記第２の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続することにより、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックを介して、前記第１のネットワーク内の前記第１の通信ノードと前記第２のネットワーク内の前記第２の通信ノードとの間で相互にデータ通信を行い、

前記第１のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第１の通信処理ブロックの前記装置内接続端子に接続することにより、前記第１の通信処理ブロックを介して、前記第１のネットワーク内の複数の前記第１の通信ノード間のデータ通信を行い、

前記第２のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第２の通信処理ブロックの前記装置内接続端子に接続することにより、前記第２の通信処理ブロックを介して、前記第２のネットワーク内の複数の前記第２の通信ノード間のデータ通信を行う

通信システム。

【請求項３】

第１の通信プロトコルに準拠した通信を行う第１のネットワークを介して通信を行う複数の第１の通信ノードと、第２の通信プロトコルに準拠した通信を行う第２のネットワークを介して通信を行う複数の第２の通信ノードと、前記第１のネットワークおよび前記第２のネットワークに接続した情報処理装置を用いた通信方法であって、

前記情報処理装置が、前記第１のネットワークおよび前記第２のネットワークのいずれにも適用できる物理的条件を備えた接続端子を複数有する集線手段と、前記第１のネットワークの通信処理を行う第１の通信処理ブロックと、前記第２のネットワークの通信処理を行う第２の通信処理ブロックと、前記第１の通信プロトコルと前記第２の通信プロトコルの相互変換処理を行う第３の通信処理ブロックとを有し、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックの各々が、前記情報処理装置内の信号接続に用いる複数の装置内接続端子を有する場合に、

前記第１のネットワークに接続された前記集線手段の前記接続端子と前記第１の通信処理ブロックの前記装置内接続端子とを接続し、前記第２のネットワークに接続された前記集線手段の前記接続端子と前記第２の通信処理ブロックの前記装置内接続端子とを接続し、前記第１の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続し、前記第２の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続することにより、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックを介して、前記第１のネットワーク内の前記第１の通信ノードと前記第２のネットワーク内の前記第２の通信ノードとの間で相互にデータ通信を行う第１の工程と、

前記第１のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第１の通信処理ブロックの前記装置内接続端子に接続することにより、前記第１の通信処理ブロックを介して、前記第１のネットワーク内の複数の前記第１の通信ノード間のデータ通信を行う第２の工程と、

前記第２のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第２の通信処理ブロックの前記装置内接続端子に接続することにより、前記第２の通信処理ブロックを介して、前記第２のネットワーク内の複数の前記第２の通信ノード間のデータ通信を行う第３の工程と

を有する通信方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、例えば、同一システム内に、通信ノードをスター型トポロジーで接続する非同期転送モード（ＡＴＭ）方式のネットワークと、通信ノードをバス型トポロジーで接続するＩＥＥＥ１３９４方式のネットワークを含み、これらのネットワーク間で相互にデータの伝送を行う情報処理装置、通信システムおよびその方法に関する。

【０００２】

【従来の技術および発明が解決しようとする課題】

有線伝送路を介してデータ通信を行うネットワークの構成方法として、回線交換機あるいは非同期転送モード方式の交換機（ＡＴＭ交換機）を介して通信ノードをスター型トポロジーに接続する方法、あるいは、イーサネット(ether net) あるいはＩＥＥＥ１３９４方式等のように、通信ノード等をデータ伝送路にバス型トポロジーに接続する方法等が知られている。データ通信ネットワークを構築する際に、スター型トポロジーの方式を採用するか、バス型トポロジーの方式を採用するかが決まれば、通信ノードと通信制御装置あるいは交換機とを接続する伝送路を建物内に敷設する方法も自ずと決まる。

【０００３】

ここで、多数の部屋に分割された建物の内部に有線伝送路を敷設する場合、通常、有線伝送路を壁の内側、天井の上あるいは床下に設けることが多い。

しかしながら、例えば、バス型トポロジーのＩＥＥＥ１３９４方式のネットワークを、ＡＴＭ方式のネットワークに変更するといったように、ある接続トポロジーのネットワーク

を、異なる接続トポロジーのネットワークに置換したいという要求が生じることがある。しかしながら、一度、バス型トポロジーのネットワークに適するように配線した伝送路を、スター型トポロジーのネットワークの伝送路として用いること、あるいは、この逆は難しい。さらに、一旦、壁の内側等に敷設した伝送路を、新たに導入するネットワークに合わせて敷設しなおすためには、非常に多くの手間、時間および費用が必要になる。

【０００４】

また、同一の通信システムの内部に、バス型トポロジーのネットワークとスター型トポロジーのネットワークとを共存させ、さらに、同一の端末装置を、ネットワーク間で移動させたい場合がある。このような場合、同一の端末装置を移動させる度に、異なる物理的条件のコネクタおよび配線材料により端末装置を接続しなおさなければならないとすると、煩雑で利用者にとって不便である。

【０００５】

本発明は上述した従来技術の問題点に鑑みてなされたものであり、ネットワークの接続トポロジーの変更が必要になった場合であっても、変更前の伝送路をそのまま利用することができ、伝送路の敷設のやり直しが不要な情報処理装置、通信システムおよびその方法を提供することを目的とする。

また、本発明は、同一システム内に、それぞれ異なる接続トポロジーおよび通信プロトコルを有するネットワークが存在しても、これらのネットワーク間のデータ伝送が容易で、しかも、端末装置のネットワーク間の移動が容易であり、システム構成に柔軟性が高い情報処理装置、通信システムおよびその方法を提供することを目的とする。

また、本発明は、ネットワークの接続トポロジーの変更の際の伝送路の敷設のやり直しが不要で、端末装置をネットワーク間で共有することができ、システムの管理費用が安価で、しかも、システムの管理に手間がかからない情報処理装置、通信システムおよびその方法を提供することを目的とする。

【０００６】

【課題を解決するための手段】

上記目的を達成するために、本発明の情報処理装置は、複数の第１の通信ノードが第１の通信プロトコルに準拠した通信を行う第１のネットワークと、複数の第２の通信ノードが第２の通信プロトコルに準拠した通信を行う第２のネットワークに接続した情報処理装置であって、前記第１のネットワークおよび前記第２のネットワークのいずれにも適用できる物理的条件を備えた接続端子を複数有する集線手段と、前記第１のネットワークの通信処理を行う第１の通信処理ブロックと、前記第２のネットワークの通信処理を行う第２の通信処理ブロックと、前記第１の通信プロトコルと前記第２の通信プロトコルの相互変換処理を行う第３の通信処理ブロックとを収容する収容手段とを有し、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックの各々は、前記情報処理装置内の信号接続に用いる複数の装置内接続端子を有し、前記第１のネットワークに接続された前記集線手段の前記接続端子と前記第１の通信処理ブロックの前記装置内接続端子とを接続し、前記第２のネットワークに接続された前記集線手段の前記接続端子と前記第２の通信処理ブロックの前記装置内接続端子とを接続し、前記第１の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続し、前記第２の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続することにより、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックを介して、前記第１のネットワーク内の前記第１の通信ノードと前記第２のネットワーク内の前記第２の通信ノードとの間で相互にデータ通信を行い、前記第１のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第１の通信処理ブロックの前記装置内接続端子に接続することにより、前記第１の通信処理ブロックを介して、前記第１のネットワーク内の複数の前記第１の通信ノード間のデータ通信を行い、前記第２のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第２の通信処理ブロックの前記装置内接続端子に接続することにより、前記第２の通信

処理ブロックを介して、前記第２のネットワーク内の複数の前記第２の通信ノード間のデータ通信を行う。

【０００７】

好適には、前記集線手段の複数の接続端子と前記複数の伝送路とは、同一の物理的条件で接続される。

【００１１】

本発明に係る通信システムは、コンピュータ、データベースおよび通信端末等の複数の通信ノードが、ＡＴＭ方式およびＩＥＥＥ１３９４等の通信方式でそれぞれ相互に接続された複数のネットワークを有し、これらのネットワーク内部、および、これらのネットワークの間で相互にデータ通信を行う。

【００１２】

集線手段には、同一形式の複数の接続端子が配設されており、複数のネットワークに含まれる通信ノードそれぞれが同一の伝送路を介して同一の物理的条件で接続される。集線手段の接続端子を全て同一形式とすることにより、集線手段は、全ての通信ノードに対して、同一条件の物理インターフェースを提供する。

複数の伝送路は、全て、少なくとも集線手段の接続端子側で同一形式であって、通信ノードそれぞれと集線手段の接続端子とを、少なくとも接続端子側で同一条件の物理インターフェースで接続し、これらの間でデータを伝送する。

【００１３】

複数のネットワーク内伝送手段は、例えば、ＡＴＭ交換機およびＩＥＥＥ１３９４方式の通信制御装置であって、ＡＴＭ方式のネットワークにおいて、ＡＴＭ交換機は、ＡＴＭ方式の通信ノードをスター型トポロジーで接続して、ＡＴＭ方式のネットワーク内に閉じたデータ伝送を行い、ＩＥＥＥ１３９４方式のネットワークにおいて、ＩＥＥＥ１３９４方式の通信ノードをバス型トポロジーで接続して、ＩＥＥＥ１３９４方式のネットワーク内に閉じたデータ伝送を行う。

【００１４】

本発明の通信システムは、第１の通信プロトコルに準拠した通信を行う第１のネットワークを介して通信を行う複数の第１の通信ノードと、第２の通信プロトコルに準拠した通信を行う第２のネットワークを介して通信を行う複数の第２の通信ノードと、前記第１のネットワークおよび前記第２のネットワークに接続した情報処理装置とを有し、前記情報処理装置は、前記第１のネットワークおよび前記第２のネットワークのいずれにも適用できる物理的条件を備えた接続端子を複数有する集線手段と、前記第１のネットワークの通信処理を行う第１の通信処理ブロックと、前記第２のネットワークの通信処理を行う第２の通信処理ブロックと、前記第１の通信プロトコルと前記第２の通信プロトコルの相互変換処理を行う第３の通信処理ブロックとを収容する収容手段とを有し、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックの各々は、前記情報処理装置内の信号接続に用いる複数の装置内接続端子を有し、前記第１のネットワークに接続された前記集線手段の前記接続端子と前記第１の通信処理ブロックの前記装置内接続端子とを接続し、前記第２のネットワークに接続された前記集線手段の前記接続端子と前記第２の通信処理ブロックの前記装置内接続端子とを接続し、前記第１の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続し、前記第２の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続することにより、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックを介して、前記第１のネットワーク内の前記第１の通信ノードと前記第２のネットワーク内の前記第２の通信ノードとの間で相互にデータ通信を行い、前記第１のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第１の通信処理ブロックの前記装置内接続端子に接続することにより、前記第１の通信処理ブロックを介して、前記第１のネットワーク内の複数の前記第１の通信ノード間のデータ通信を行い、前記第２のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記

第２の通信処理ブロックの前記装置内接続端子に接続することにより、前記第２の通信処理ブロックを介して、前記第２のネットワーク内の複数の前記第２の通信ノード間のデータ通信を行う。

本発明の通信方法は、第１の通信プロトコルに準拠した通信を行う第１のネットワークを介して通信を行う複数の第１の通信ノードと、第２の通信プロトコルに準拠した通信を行う第２のネットワークを介して通信を行う複数の第２の通信ノードと、前記第１のネットワークおよび前記第２のネットワークに接続した情報処理装置を用いた通信方法であって、前記情報処理装置が、前記第１のネットワークおよび前記第２のネットワークのいずれにも適用できる物理的条件を備えた接続端子を複数有する集線手段と、前記第１のネットワークの通信処理を行う第１の通信処理ブロックと、前記第２のネットワークの通信処理を行う第２の通信処理ブロックと、前記第１の通信プロトコルと前記第２の通信プロトコルの相互変換処理を行う第３の通信処理ブロックとを有し、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックの各々が、前記情報処理装置内の信号接続に用いる複数の装置内接続端子を有する場合に、前記第１のネットワークに接続された前記集線手段の前記接続端子と前記第１の通信処理ブロックの前記装置内接続端子とを接続し、前記第２のネットワークに接続された前記集線手段の前記接続端子と前記第２の通信処理ブロックの前記装置内接続端子とを接続し、前記第１の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続し、前記第２の通信処理ブロックの前記装置内接続端子と前記第３の通信処理ブロックの前記装置内接続端子を接続することにより、前記第１の通信処理ブロック、前記第２の通信処理ブロックおよび前記第３の通信処理ブロックを介して、前記第１のネットワーク内の前記第１の通信ノードと前記第２のネットワーク内の前記第２の通信ノードとの間で相互にデータ通信を行う第１の工程と、前記第１のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第１の通信処理ブロックの前記装置内接続端子に接続することにより、前記第１の通信処理ブロックを介して、前記第１のネットワーク内の複数の前記第１の通信ノード間のデータ通信を行う第２の工程と、前記第２のネットワークに接続された前記集線手段の複数の前記接続端子の各々を当該接続端子に対応した前記第２の通信処理ブロックの前記装置内接続端子に接続することにより、前記第２の通信処理ブロックを介して、前記第２のネットワーク内の複数の前記第２の通信ノード間のデータ通信を行う第３の工程とを有する。

【００１５】

【発明の実施の形態】

第１実施形態

以下、本発明の第１の実施形態を説明する。

図１は、第１の実施形態における本発明に係るＡＴＭ交換機１の構成を示す図である。

図１に示すように、ＡＴＭ交換機１は、入力ポート部１４、交換部８０および出力ポート部４６から構成され、入力ポート部１４は、入力インターフェース１６ａ～１６ｄ（入力ＩＦ－Ａ～ＩＦ－Ｄ）、および、入力インターフェース１６ａ～１６ｄそれぞれに対応して設けられた翻訳メモリ１８ａ～１８ｄから構成され、出力ポート部４６は、出力インターフェース４８ａ～４８ｄ（出力ＩＦ－Ａ～ＩＦ－Ｄ）から構成される。

ＡＴＭ交換機１は、これらの構成部分により、入力ポート部１４の入力インターフェース１６ａ～１６ｄに入力されるＡＴＭセルをルーティングし、交換して出力インターフェース４８ａ～４８ｄから出力する。

【００１６】

ＡＴＭ交換機１において、入力ポート部１４の入力インターフェース１６ａ～１６ｄはそれぞれ、ＡＴＭ方式の通信回線（図示せず）から入力されるＡＴＭセルを受け入れて、翻訳メモリ１８ａ～１８ｄに対して出力する。

翻訳メモリ１８ａ～１８ｄにはそれぞれ、図２に示すように、呼設定によって設定されたコネクションの仮想パス識別子／仮想チャネル識別子（ＶＰＩ／ＶＣＩ）と、新たな仮想パス識別子／仮想チャネル識別子（ＶＰＩ’／ＶＣＩ’）およびルーティング情報との組

が、テーブル形式に記憶（エントリ）される。
【００１７】
翻訳メモリ１８ａ～１８ｄはそれぞれ、入力インターフェース１６ａ～１６ｄから入力されたＡＴＭセルのヘッダに含まれるアドレス（ＶＰＩ／ＶＣＩ）を参照して、翻訳処理を行う。つまり、翻訳メモリ１８ａ～１８ｄはそれぞれ、ＶＰＩ／ＶＣＩに基づいてテーブルを検索し、図３に示すように、検索の結果として新たに得られたＶＰＩ’／ＶＣＩ’と、ＡＴＭセルの元のＶＰＩ／ＶＣＩとを入れ替え、ルーティング情報をＡＴＭセルに付加して交換部８０に対して出力する。
交換部８０は、翻訳メモリ１８ａ～１８ｄから入力されるＡＴＭセルそれぞれを、ルーティング情報が示す出力インターフェース４８ａ～４８ｄを介して出力する。
【００１８】
第２実施形態
以下、本発明の第２の実施形態を説明する。
図４は、第２の実施形態における本発明に係るＡＴＭ交換機２の構成を示す図である。なお、図４においては、ＡＴＭ交換機１（図１）と同じ構成部分に同一の符号を付してある。
第１の実施形態に示したＡＴＭ交換機１（図１）の翻訳メモリ１８ａ～１８ｄは、ＶＰＩ／ＶＣＩの比較機能を有する特殊なメモリ素子を用いて構成されるため、高価である。また、大規模なＡＴＭ交換機においては、翻訳メモリそれぞれの記憶容量は充分に大きい必要がある一方、例えば、家庭に導入される小容量・小型ＡＴＭ交換機においては、翻訳メモリそれぞれの記憶容量は必要なく、むしろＡＴＭ交換機全体としてのコネクション数が交換処理上の問題になることが多い。
【００１９】
例えば、小容量・小型ＡＴＭ交換機において、全体で設定されるコネクションが最大２５６である一方、入力ポートごとに最大１２８のコネクションが設定される場合には、ＡＴＭ交換機１では、翻訳メモリ１８ａ～１８ｄそれぞれが１２８コネクション分の容量を有する必要があることになり、ＡＴＭ交換機１全体として、２５６（＝１２８×４－２５６）コネクションの分の記憶容量が無駄になってしまう。
【００２０】
かかる観点から、第２の実施形態において説明するＡＴＭ交換機２は、第１の実施形態に示したＡＴＭ交換機１を改良し、翻訳メモリを各入力ポートに共通に設け、その記憶容量および数量を減らして無駄を省きながら効率的な交換処理が可能であり、しかも、小型・安価に製造可能としたものである。
図４に示すように、ＡＴＭ交換機２は、入力ポート部６０、翻訳メモリ６４、交換部４２および出力ポート部４６から構成されており、入力ポート部６０は、入力インターフェース６２ａ～６２ｄから構成される。
【００２１】
入力ポート部６０の入力インターフェース６２ａ～６２ｄはそれぞれ、ＡＴＭ方式の通信回線（図示せず）から入力されるＡＴＭセルを受け入れて、受け入れたＡＴＭそれぞれに、入力ポートを示す入力ポート識別子を、例えば、ＡＴＭセルのヘッダのヘッダ誤り制御情報(HEC ; headder error control) の位置に付加する。
【００２２】
翻訳メモリ６４には、図５に示すように、呼設定によって設定されたコネクションのＶＰＩ／ＶＣＩおよび入力ポート識別子と、ＶＰＩ’／ＶＣＩ’およびルーティング情報とを対応付けたテーブルがエントリされる。
翻訳メモリ６４はそれぞれ、入力インターフェース６２ａ～６２ｄから入力されたＡＴＭセルのヘッダに含まれるＶＰＩ／ＶＣＩと入力ポート識別子とを参照して、翻訳処理を行う。つまり、翻訳メモリ６４は、ＶＰＩ／ＶＣＩおよび入力ポート識別子に基づいてテーブルを検索し、検索の結果として新たに得られたＶＰＩ’／ＶＣＩ’と、元のＶＰＩ／ＶＣＩとを入れ替え、さらに、ルーティング情報をユーザ情報としてＡＴＭセルに付加し、

交換部８０に対して出力する。

【００２３】

以上説明したようにＡＴＭ交換機２を構成することにより、翻訳メモリの容量・数量を削減することができる。上記例に基づいて、具体的に説明すると、ＡＴＭ交換機２全体で設定されるコネクションが最大２５６である場合、入力ポートそれぞれに最大１２８のコネクションが設定される場合であっても、翻訳メモリ６４は、２５６コネクション分の容量があればよい。従って、ＡＴＭ交換機１（図１）において生じていた２５６コネクション分の記憶容量の無駄は解消されることになる。

【００２４】

なお、ＡＴＭ交換機２において、入力ポートおよび出力ポートの数は４に限らず、また、入力ポートの数と出力ポートの数とは同じでなくもよい。

また、入力ポートおよび出力ポートが入出力するＡＴＭセルの伝送レートは、それぞれ異なっていてもよい。

また、本発明は、翻訳メモリを参照してＡＴＭセルのルーティングを行う、図４に示した構成以外のＡＴＭ交換機にも広く応用することができる。

【００２５】

第３実施形態

以下、本発明の第３の実施形態として、本発明に係るＡＴＭ交換機の詳細な構成および動作を説明する。

図６は、第３の実施形態における本発明に係るＡＴＭ交換機３の構成を示す図である。なお、図６においては、ＡＴＭ交換機１，２（図１，４）と同じ構成部分に同一の符号を付してある。

【００２６】

図６に示すように、ＡＴＭ交換機３は、交換部４２、および、第２の実施形態に示したＡＴＭ交換機２（図４）の入力ポート部６０と出力ポート部４６とを一体化した入出力ポート部４４から構成される。

入出力ポート部４４は、入出力インターフェース４４０ａ～４４０ｄから構成され、入出力インターフェース４４０ａ～４４０ｄはそれぞれ、物理メディアデバイス（ＰＭＤ）４４２および物理層デバイス４４４から構成される。なお、図６においては、入出力インターフェース４４０ｂ～４４０ｄの物理メディアデバイス４４２および物理層デバイス４４４の符号は、図示の簡略化のために省略してある。

【００２７】

交換部４２は、入力コントロール部４２０、ヘッダー抽出・アドレス変換メモリインターフェース部４２２、アドレス翻訳メモリ部４２４、出力コントロール部４２６、輻輳処理・優先処理部４２８、シグナリングセルバッファ４３０，４３４、ＣＰＵインターフェース４３２、マイクロプロセッサ（ＣＰＵ）、メモリおよびこれらの周辺回路から構成される制御部４３６および出力バッファ４３８から構成される。

ＡＴＭ交換機３は、これらの構成部分により、ＡＴＭ交換機２（図４）と同様に、入出力ポート部４４に接続された端末装置（通信ノード）相互間でＡＴＭセルの交換処理を行う。

【００２８】

以下、ＡＴＭ交換機３の各構成部分を説明する。

入出力ポート部４４の入出力インターフェース４４０ａ～４４０ｄそれぞれにおいて、物理メディアデバイス４４２には、例えば、伝送レート２５．６Ｍｂｐｓ，５２Ｍｂｐｓ，１５５ＭｂｐｓのＡＴＭ方式の端末装置（ＡＴＭ端末）がシールドなしツイストペアケーブル(UTP ; unshielded twisted pair cable) 等、所定の通信媒体を介して接続されている。

【００２９】

物理メディアデバイス４４２は、接続されている端末装置から入力される伝送信号からＡＴＭセルを再生し、物理層デバイス４４４に対して出力する。また、物理メディアデバイ

ス４４２は、物理層デバイス４４４から入力されるＡＴＭセルを、通信媒体に適合した伝送信号に変換して送出する。

【００３０】

物理層デバイス４４４は、交換部４２と物理メディアデバイス４４２との間で入出力されるＡＴＭセルに対する入出力処理を行う。つまり、物理層デバイス４４４は、物理メディアデバイス４４２から入力されるビットストリームからＡＴＭセルを抽出し、パラレル変換して、入出力ポート部４４の入力コントロール部４２０に対して出力する。また、物理層デバイス４４４は、出力バッファ４３８から入力される多重化されたＡＴＭセルを分離し、パラレル／シリアル変換して物理メディアデバイス４４２に対して出力する。

【００３１】

交換部４２において、入力コントロール部４２０は、入出力ポート部４４の物理層デバイス４４４から入力されたＡＴＭセルをバッファリングし、バッファリングしたＡＴＭセルが、いずれの入出力インターフェース４４０ａ～４４０ｄ（入出力ポート）により受け入れられたかを示す入力ポート識別子をＡＴＭセルのヘッダのヘッダ誤り制御情報(HEC ; header error control) の位置にユーザ情報として付加し、ヘッダー抽出・アドレス変換メモリインターフェース部４２２に対して出力する。

【００３２】

ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、入力コントロール部４２０から入力されたＡＴＭセルのヘッダ部分に含まれる仮想パス識別子（ＶＰＩ；virtual path identifier）、仮想チャネル識別子（ＶＣＩ；virtual channel identifier）および入力ポート識別子を抽出し、アドレス翻訳メモリ部４２４に対して出力する。また、ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、アドレス翻訳メモリ部４２４から入力される新たな仮想パス識別子および仮想チャネル識別子（ＶＰＩ’／ＶＣＩ’）を元のＶＰＩ／ＶＣＩと入れ替え、さらに、ＡＴＭセルを出力する入出力インターフェース４４０ａ～４４０ｄを示すルーティング情報（図５）、および、輻輳制御・優先制御等の識別子をＡＴＭセルのヘッダの位置に付加し、出力コントロール部４２６に対して出力する。

【００３３】

アドレス翻訳メモリ部４２４は、ＡＴＭ交換機２（図４）の翻訳メモリ６４に対応し、ＡＴＭセルのルーティング処理を行う。つまり、アドレス翻訳メモリ部４２４は、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から入力されたＶＰＩ／ＶＣＩおよび入力ポート識別子に基づいて、コネクションごとにエントリされているＶＰＩ／ＶＣＩおよび入力ポート識別子と、ＶＰＩ’／ＶＣＩ’およびルーティング情報とを対応付けたテーブル（図５）を検索することによりＶＰＩ／ＶＣＩを翻訳し、新たな仮想パス識別子、仮想チャネル識別子（ＶＰＩ’／ＶＣＩ’）およびルーティング情報を生成し、ヘッダー抽出・アドレス変換メモリインターフェース部４２２に対して出力する。

【００３４】

また、アドレス翻訳メモリ部４２４に対しては、呼設定に応じて、ＣＰＵインターフェース４３２を介して制御部４３６により、新たな変換テーブルの追加・削除および更新が行われる。

なお、アドレス翻訳メモリ部４２４は、入出力制御部２０から呼設定処理に用いられるシグナリングセルが入力された場合には、シグナリングセルがシグナリングセルバッファ４３０にルーティングされるようにＶＰＩ’／ＶＣＩ’を生成する。

【００３５】

出力コントロール部４２６は、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から入力されたＡＴＭセルを、ＨＥＣの位置に含まれるルーティング情報に基づいて入出力インターフェース４４０ａ～４４０ｄに割り当てることにより交換処理を行う。さらに、出力コントロール部４２６は、ＡＴＭセルに付加された識別子に基づいて優先制御および輻輳制御を行い、出力バッファ４３８を介して入出力制御部２０の入力制御部３４に対して出力する。

なお、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から呼設定処理用のシグナリングセルが入力された場合には、出力コントロール部４２６は、シグナリングセルをシグナリングセルバッファ４３０およびＣＰＵインターフェース４３２を介して制御部４３６に対して出力する。

【００３６】

制御部４３６は、シグナリングセルバッファ４３０およびＣＰＵインターフェース４３２を介して入力されたシグナリングセルに含まれる呼設定情報に基づいて、アドレス翻訳メモリ部４２４の記憶内容（エントリー）の追加、削除および更新を行う。

また、制御部４３６は、必要に応じて、呼設定用のシグナリングセルを生成し、ＣＰＵインターフェース４３２およびシグナリングセルバッファ４３４を介して出力コントロール部４２６に対して出力する。

【００３７】

以下、ＡＴＭ交換機３の動作を説明する。

入出力ポート部４４（図６）の入出力インターフェース４４０ａ～４４０ｄに接続されたＡＴＭ端末から呼設定要求および終了要求等があるたびに、交換部４２の制御部４３６は、呼設定処理を行い、アドレス翻訳メモリ部４２４のエントリ（図５）の追加・更新を行う。

入出力インターフェース４４０ａ～４４０ｄはそれぞれ、ＡＴＭ端末からＡＴＭセルを受け入れ、交換部４２に対して出力する。

【００３８】

交換部４２において、入力コントロール部４２０は、入出力インターフェース４４０ａ～４４０ｄから入力されたＡＴＭセルをバッファリングし、さらに、入力ポート識別子をＡＴＭセルのユーザ情報の位置に付加する。

ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、ＡＴＭセルのＶＰＩ／ＶＣＩおよび入力ポート識別子を抽出し、アドレス翻訳メモリ部４２４に対して出力する。

【００３９】

アドレス翻訳メモリ部４２４は、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から入力されたＶＰＩ／ＶＣＩおよび入力ポート識別子に基づいてテーブル（図５）を検索し、さらに、ＶＰＩ’／ＶＣＩ’およびルーティング情報を生成する。

出力コントロール部４２６は、ＡＴＭセルを、ＨＥＣに含まれるルーティング情報に基づいて入出力インターフェース４４０ａ～４４０ｄに割り当て、出力バッファ４３８を介して入出力インターフェース４４０ａ～４４０ｄに対して出力する。

入出力インターフェース４４０ａ～４４０ｄは、出力コントロール部４２６から入力されたＡＴＭセルを、ＡＴＭ端末に対して出力する。

【００４０】

以上説明したようにＡＴＭ交換機３を構成することにより、第２の実施形態に示したＡＴＭ交換機２（図４）と同様に、翻訳メモリの容量・数量を削減することができる。従って、ＡＴＭ交換機３は、安価に製造することができ、小容量・家庭用のＡＴＭ交換機として好適である。

また、ＡＴＭ交換機３における交換方法は、ＡＴＭ方式と同様に、翻訳メモリを用いて交換処理を行う他の交換方式、例えば、翻訳メモリを用いたパケット交換方式にも応用することができる。

また、ＡＴＭ交換機３は、ＡＴＭ交換機２（図４）と同様に、入力ポートと出力ポートを分離して構成可能であり、また、ＡＴＭ交換機２に対してと同様の変形が可能である。

【００４１】

第４実施形態

以下、本発明の第４実施形態を説明する。

図７は、ＡＴＭセルの構成を示す図である。

図７に示すように、ＡＴＭセルは５３バイトから構成され、先頭の５バイトはヘッダとし

て、続く４８バイトはペイロードとして用いられ、ヘッダの５バイト目は、ヘッダ誤り制御(HEC ; headder error control) 用のデータとして用いられる。

【００４２】

ＨＥＣは、通常、１バイトのＣＲＣ（巡回冗長符号）を収容し、他のヘッダデータの誤り制御、および、データ列中のＡＴＭセルの位置の特定のために用いられる。

しかしながら、ＡＴＭ交換機内部、特に、ＡＴＭ交換機に用いられるＬＳＩの内部では、ヘッダデータに誤りが生じる確率は、事実上、無視することができる。また、データ列中のＡＴＭセルの位置も特定されている。従って、実際には、ＡＴＭ交換機内部においては、ＨＥＣは用いられないことが多い。

【００４３】

第２の実施形態および第３の実施形態に示したＡＴＭ交換機２，３（図４，図６）におけるように、翻訳メモリを各入力ポートに対して共通に設けた場合、コネクションごとにＶＰＩ／ＶＣＩおよび入力ポート識別子と、ＶＰＩ’／ＶＣＩ’およびルーティング情報とを対応付けたテーブルを検索するために、ＡＴＭセルと入力ポート識別子とを対応付けて翻訳メモリに入力する必要がある。

【００４４】

この場合、図８（Ａ）に示す連続的なＡＴＭセルの間に、図８（Ｂ）に符号ａを付して示すように、制御用のデータ（入力ポート識別子）を挿入すると、データ長が長くなり、しかも、処理に余分な時間が生じることになる。このような問題は、輻輳制御・優先制御用の識別子をＡＴＭセルの列に挿入する場合も同様に生じる。

以下、第４の実施形態においては、入力ポート識別子および輻輳制御・優先制御用の識別子等をＨＥＣとしてＡＴＭセルに付加することにより、これらの制御用のデータを連続的なＡＴＭセルの列に挿入した場合（図８（Ｂ））に生じる弊害を防止したＡＴＭ交換機３の動作の変形例を説明する。

【００４５】

入出力ポート部４４（図６）の入出力インターフェース４４０ａ～４４０ｄに接続されたＡＴＭ端末から呼設定要求および終了要求等があるたびに、交換部４２の制御部４３６は、呼設定処理を行い、アドレス翻訳メモリ部４２４のエントリ（図５）の追加・更新を行う。

入出力インターフェース４４０ａ～４４０ｄはそれぞれ、ＡＴＭ端末からＡＴＭセルを受け入れ、交換部４２に対して出力する。

【００４６】

交換部４２において、入力コントロール部４２０は、図８（Ａ）に示したように、入出力インターフェース４４０ａ～４４０ｄから連続的に入力されたＡＴＭセルをバッファリングし、さらに、図８（Ｃ）に符号ｃを付して示すように、ＡＴＭセルに入力ポート識別子をＨＥＣとして付加する。

ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、ＡＴＭセルのヘッダからＶＰＩ／ＶＣＩ、および、ヘッダのＨＥＣから入力ポート識別子を抽出し、アドレス翻訳メモリ部４２４に対して出力する。

【００４７】

アドレス翻訳メモリ部４２４は、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から入力されたＶＰＩ／ＶＣＩおよび入力ポート識別子に基づいてテーブル（図５）を検索し、さらに、ＶＰＩ’／ＶＣＩ’およびルーティング情報を生成する。

ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、アドレス翻訳メモリ部４２４が生成したＶＰＩ’／ＶＣＩ’と元のＶＰＩ／ＶＣＩとを入れ替え、さらに、ルーティング情報をＡＴＭセルにＨＥＣとして付加する。

【００４８】

出力コントロール部４２６は、ＡＴＭセルにＨＥＣとして付加されたルーティング情報に基づいて、ＡＴＭセルを入出力インターフェース４４０ａ～４４０ｄに割り当て、出力バッファ４３８を介して入出力インターフェース４４０ａ～４４０ｄに対して出力する。な

お、出力バッファ４３８は、出力コントロール部４２６からのＡＴＭセルを、入出力ポートごとの優先順位別にバッファリングするので、ＨＥＣに特別な制御用のデータを付加する必要はない。
入出力インターフェース４４０ａ～４４０ｄは、図８（Ａ）に示したような出力コントロール部４２６から入力された連続的なＡＴＭセルを、ＡＴＭ端末に対して出力する。
【００４９】
以上説明したように、第４の実施形態におけるＡＴＭ交換機３（図６）の動作の変形例によれば、ＡＴＭ交換機において、冗長な通信処理時間を除くことができ、高速にＡＴＭセルの交換を行うことができる。
なお、第４の実施形態においては、ＡＴＭ交換機３の動作の変形例を示したが、ＡＴＭ交換機２（図４）の動作も、同様に変形することができる。
また、入力ポート識別子等の他、最大１バイトの任意のデータをＨＥＣに付加することができる。
【００５０】
第５実施形態
第１の実施形態～第４の実施形態において説明したＡＴＭ交換機１～３（図１，図４，図６）は、同一の通信媒体を介して複数の伝送レートの通信ノードが接続可能であることを要する。
しかしながら、ＡＴＭ交換機１～３に、通信媒体としてシールドなしツイストペア線(UTP；unshielded twisted pair cable) を用いて接続されうる通信ノードの伝送レートには、１５５．５２Ｍｂｐｓ，５１．８４Ｍｂｐｓ，２５．６Ｍｂｐｓ（但し、通信媒体上では３２Ｍｂｐｓ）の３種類がある。
【００５１】
また、ＡＴＭ交換機１～３を家庭内に導入する場合、ＡＴＭ交換機１～３に伝送レートが異なるだけでなく、ＡＴＭ方式の他の通信方式のプロトコルで通信を行う通信ノードが、同一の通信媒体を介して接続される可能性がある。しかしながら、ＡＴＭ交換機１～３を家庭に導入した場合、ＡＴＭ交換機の取り扱いに習熟していない一般家庭の利用者が、通信ノードとＡＴＭ交換機とを接続する必要があり、誤配線が発生する可能性が高い。
第５の実施形態においては、かかる観点から、ＡＴＭ交換機１～３を改良し、ＡＴＭ交換機の取り扱いに習熟していない利用者が通信ノードを接続しても、誤配線が発生しないように構成したＡＴＭ交換機４を説明する。
【００５２】
図９は、本発明に係るＡＴＭ交換機４の構成を示す図である。なお、図９等においては、ＡＴＭ交換機１～３（図１，図４，図６）と同じ構成部分に同一の符号を付してある。
ＡＴＭ交換機４は、例えば、ＡＴＭ交換機１～３と同様に、家庭内に備えつけられることを予定した小規模な装置であって、図９に示すように、入出力ポート部（ＩＯＰ）１０、入出力制御部２０、交換部４３および非ＡＴＭ入出力ポート（Ｐ）３８から構成され、非ＡＴＭ端末（ＩＥＥＥ１３９４）４０が接続される。
【００５３】
ＡＴＭ交換機４は、これらの構成部分により、入出力ポート部１０に、同じケーブル〔例えばＵＴＰおよびＰＯＦ(plastic optical fiber)〕および同じコネクタで物理的に接続された伝送レート１５５．５２（１５５）Ｍｂｐｓ，５１．８４（５２）Ｍｂｐｓ，２５．６Ｍｂｐｓの端末装置（通信ノード）相互間でＡＴＭセルの交換処理を行い、さらに、ＡＴＭ方式以外の通信方式、例えば、ＩＥＥＥ１３９４によりデータ伝送を行う非ＡＴＭ通信ノード相互間を接続する。
【００５４】
図１０は、図９に示したＡＴＭ交換機４の入出力ポート部１０および入出力制御部２０の構成を例示する図である。
図１０に示すように、入出力ポート部１０は、入出力ポート（Ｐ）１２ａ～１２ｊから構成され、入出力制御部２０は、伝送レート検出部２２、接続スイッチ２６、インターフェ

ース部２８、出力制御部３２、入力制御部３４および接続制御部３６から構成され、伝送レート検出部２２は、伝送レート検出回路２４ａ～２４ｊから構成され、インターフェース部２８は、インターフェース（ＩＦ）回路３０ａ～３０ｊから構成される。

【００５５】

図１１は、図１０に示した伝送レート検出回路２４ａ～２４ｊの内、伝送レートを検出する部分の構成を示す図である。

図１１に示すように、伝送レート検出回路２４ａ～２４ｊはそれぞれ、ＰＬＬ回路２４０、分周器２４２、基準発振器２４４、カウンタ回路２４６および比較器２４８から構成される。

【００５６】

図１２は、図９に示したＡＴＭ交換機４の交換部４３の構成を示す図である。なお、図１２においては、ＡＴＭ交換機１～３（図１，図４，図６）と同じ構成部分に同一の符号を付してある。

図１２に示すように、交換部４３は、第３の実施形態において説明した交換部４２（図６）に変更を加えたものであって、入力コントロール部４２０、ヘッダー抽出・アドレス変換メモリインターフェース部４２２、アドレス翻訳メモリ部４２４、出力コントロール部４２６、輻輳処理・優先処理部４２８、シグナリングセルバッファ４３０，４３４、ＣＰＵインターフェース４３２、マイクロプロセッサ（ＣＰＵ）、メモリおよびこれらの周辺回路等を含む制御部４３６および出力バッファ４３８から構成される。

【００５７】

以下、ＡＴＭ交換機４の各構成部分を説明する。

入出力ポート部１０（図９，図１０）において、入出力ポート１２ａ～１２ｊ（図１０）には、同じ通信媒体およびコネクタにより、例えば、伝送レート２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，１５５Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６ＭｂｐｓのＡＴＭ方式の端末装置（ＡＴＭ端末）、ＩＥＥＥ１３９４方式の非ＡＴＭ方式の端末装置（非ＡＴＭ端末）、および、伝送レート１５５Ｍｂｐｓ，１５５Ｍｂｐｓ，２５．６Ｍｂｐｓ，５２ＭｂｐｓのＡＴＭ端末がそれぞれ接続されている。

【００５８】

入出力ポート１２ａ～１２ｊは、接続されている端末装置から入力される伝送信号からＡＴＭセルおよび非ＡＴＭ方式の伝送データを再生し、伝送レート検出部２２および接続スイッチ２６の入力端子ａ～ｊに対して出力する。また、入出力ポート１２ａ～１２ｊは、接続スイッチ２６の入力端子ａ～ｊから入力されるＡＴＭセルおよび非ＡＴＭ方式の伝送データを、通信媒体に適合した伝送信号に変換して送出する。

【００５９】

入出力制御部２０の伝送レート検出部２２において、伝送レート検出回路２４ａ～２４ｊはそれぞれ、入出力ポート１２ａ～１２ｊから入力されるデータの伝送レートを識別することにより、入出力ポート１２ａ～１２ｊから入力されるデータの通信方式を検出して接続制御部３６に通知する。つまり、ＩＥＥＥ１３９４方式の伝送レートは１２５Ｍｂｐｓであるのに対し、ＡＴＭ方式の伝送レートは、２５．６Ｍｂｐｓ，５２Ｍｂｐｓ，１５５Ｍｂｐｓであるので、伝送レート検出回路２４ａ～２４ｊは、伝送レートを検出することにより、入力されるデータがＡＴＭ方式のデータであるかＩＥＥＥ１３９４方式であるかを識別することができる。なお、伝送レート検出回路２４ａ～２４ｊは、以下に説明するように、入出力ポート１２ａ～１２ｊから入力されるデータの伝送レートを検出して接続制御部３６に通知する。

【００６０】

ＰＬＬ回路２４０（図１１）は、入出力ポート１２ａ～１２ｊから入力されたデータに同期したクロック信号を生成し、分周器２４２に対して出力する。

分周器２４２は、ＰＬＬ回路２４０が生成したクロック信号をｍ分周（ｍは整数）して分周信号を生成し、カウンタ回路２４６に対して出力する。

【００６１】

基準発振器２４４は、一定周期の基準クロック信号を生成し、カウンタ回路２４６に対して出力する。
カウンタ回路２４６は、基準発振器２４４から入力される基準クロック信号、１周期ごとに、分周器２４２から入力される分周信号を計数して計数値を比較器２４８に対して出力する。
【００６２】
比較器２４８は、カウンタ回路２４６の計数値を所定の基準値S_1，S_2，S_3と比較し、カウンタ回路２４６の計数値が基準値S_1，S_2，S_3それぞれと所定の誤差範囲内にある場合、入出力ポート１２ａ～１２ｊから入力されるデータがそれぞれ伝送レート１５５Ｍｂｐｓ，５２Ｍｂｐｓ，２５．６Ｍｂｐｓであると判断し、判断結果を接続制御部３６に対して通知し、カウンタ回路２４６の計数値が基準値S_1，S_2，S_3それぞれと所定の誤差範囲外にある場合、その旨を接続制御部３６に通知する。
【００６３】
インターフェース部２８において、インターフェース回路３０ａ～３０ｊはそれぞれ、伝送レート２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，５２Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，１５５Ｍｂｐｓ，１５５ＭｂｐｓのＡＴＭ方式の、いわゆる伝送コンバージェンスサブレイヤを処理するデバイスである。インターフェース回路３０ａ～３０ｊは、例えば、接続スイッチ２６の入出力端子ｂ’～ｋ’と出力制御部３２および入力制御部３４との間で入出力されるＡＴＭセルに対する入出力処理を行い、シリアルビットストリームからＡＴＭセル単位のデータへの変換処理を行う。
【００６４】
つまり、インターフェース回路３０ａ～３０ｊはそれぞれ、入力制御部３４を介して交換部４２から入力されるセル単位のＡＴＭセルを、伝送レート２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，５２Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，１５５Ｍｂｐｓ，１５５Ｍｂｐｓのシリアル形式のＡＴＭデータに変換して、接続スイッチ２６の入出力端子ｂ’～ｋ’に対して出力する。
【００６５】
また、インターフェース回路３０ａ～３０ｊはそれぞれ、接続スイッチ２６の入出力端子ｂ’～ｋ’から、それぞれ伝送レート２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，５２Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，１５５Ｍｂｐｓ，１５５Ｍｂｐｓで入力されるシリアル形式のＡＴＭセルを、セル単位のＡＴＭセルに変換し、出力制御部３２を介して交換部４３に対して出力する。
【００６６】
非ＡＴＭ端末４０は、例えは、ＩＥＥ１３９４方式の端末装置であって、ＡＴＭ以外の通信方式でデータ伝送を行う。
非ＡＴＭ入出力ポート３８は、入出力ポート１２ａ～１２ｊと同様に、非ＡＴＭ端末４０と接続スイッチ２６の入出力端子ａ’との間でインターフェース処理を行い、非ＡＴＭの伝送データを入出力する。
【００６７】
接続スイッチ２６は、接続制御部３６の制御に従って、入出力端子ａ～ｊと入出力端子ａ’～ｊ’との間を接続し、入出力端子ａ～ｊと入出力端子ａ’～ｊ’ＡＴＭセルおよび非ＡＴＭ方式の伝送データを双方向に伝送する。
接続制御部３６は、伝送レート検出回路２４ａ～２４ｊからそれぞれ通知された、入出力ポート１２ａ～１２ｊから入力されるデータの伝送レートおよび通信方式に基づいて、接続スイッチ２６を制御して入出力ポート１２ａ～１２ｊとインターフェース回路３０ａ～３０ｊとを接続させる。
【００６８】
なお、図１０に示した例においては、入出力ポート１２ａ～１２ｊにはそれぞれ、伝送レ

ート２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，１５５Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６ＭｂｐｓのＡＴＭ端末、ＩＥＥＥ１３９４方式の非ＡＴＭ端末、および、伝送レート１５５Ｍｂｐｓ，１５５Ｍｂｐｓ，２５．６Ｍｂｐｓ，５２ＭｂｐｓのＡＴＭ端末が接続されているので、接続制御部３６は接続スイッチ２６を制御し、入出力端子ａ～ｊと入出力端子ｂ’，ｃ’，ｊ’，ｄ’，ｅ’，ａ’，ｋ’，ＮＣ，ｆ’，ｇ’とを接続させる〔但し、ＮＣ(no contact)は、どこにも接続されていないことを示す〕。

【００６９】

入出力ポート１２ａ～１２ｊに接続される端末装置と適合するインターフェース回路３０ａ～３０ｊが存在しない（入出力ポート１２ｈを参照）あるいは故障して使用できない場合には、接続制御部３６は、その旨を交換部４３の制御部４３６に通知し、さらに、例えば、ＡＴＭ交換機４に接続された操作用端末（図示せず）に表示する、あるいは、ＡＴＭ交換機４の筐体に設けられた警告ランプ（図示せず）を点灯する等により、ＡＴＭ交換機４の利用者に通知する。

【００７０】

出力制御部３２は、インターフェース回路３０ａ～３０ｊから入力されたＡＴＭセルを多重化して交換部４３に対して出力し、さらに、インターフェース回路３０ａ～３０ｊからのＡＴＭセルを出力する旨を交換部４３の入力コントロール部４２０（図１２）に対して通知する。

入力制御部３４は、交換部４３の出力コントロール部４２６からＡＴＭセルを出力する旨の通知があった場合に、出力コントロール部４２６により多重化され、出力バッファ４３８を介して入力されたＡＴＭセルを分離して、インターフェース回路３０ａ～３０ｊに対して出力する。

【００７１】

交換部４３（図１２）において、入力コントロール部４２０は、入出力制御部２０の出力制御部３２（図１０）からＡＴＭセルを出力する旨の通知があった場合に、出力制御部３２により多重化されたＡＴＭセルを分離してバッファリングし、分離したＡＴＭセルを受け入れた入出力ポート１２ａ～１２ｊを示す識別子（ＩＦ識別子）とともに、ヘッダー抽出・アドレス変換メモリインターフェース部４２２に対して出力する。なお、ＡＴＭ交換機４におけるＩＦ識別子は、第２の実施形態および第３の実施形態に示したＡＴＭ交換機２，３（図４，図６）における入力ポート識別子に対応する。

【００７２】

ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、入力コントロール部４２０から入力されたＡＴＭセルのヘッダ部分に含まれる仮想パス識別子（ＶＰＩ；virtual path identifier）、仮想チャネル識別子（ＶＣＩ；virtual channel identifier）およびＩＦ識別子を抽出し、アドレス翻訳メモリ部４２４に対して出力する。また、ヘッダー抽出・アドレス変換メモリインターフェース部４２２は、アドレス翻訳メモリ部４２４から入力される新たな仮想パス識別子および仮想チャネル識別子（ＶＰＩ’／ＶＣＩ’）を元のＶＰＩ／ＶＣＩと入れ替え、さらに、ルーティング情報および優先制御の識別子等を例えば、ＡＴＭセルのヘッダのヘッダ誤り制御情報(HEC ; headder error control)として付加して、出力コントロール部４２６に対して出力する。

【００７３】

アドレス翻訳メモリ部４２４は、ＡＴＭ交換機３（図６）においてと同様に、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から入力されたＶＰＩ／ＶＣＩとＩＦ識別子とを翻訳し、新たなＶＰＩ’／ＶＣＩ’およびルーティング情報を生成し、ヘッダー抽出・アドレス変換メモリインターフェース部４２２に対して出力する。

【００７４】

また、アドレス翻訳メモリ部４２４は、必要に応じて、ＣＰＵインターフェース４３２を介して制御部４３６から入力され、ＡＴＭセルに対する優先制御および輻輳制御に用いられる識別子、および、ＡＴＭセルを受け入れた入出力ポート１２ａ～１２ｊを示す識別子等を生成し、ヘッダー抽出・アドレス変換メモリインターフェース部４２２に対して出力

する。
なお、アドレス翻訳メモリ部４２４は、入出力制御部２０から呼設定処理に用いられるシグナリングセルが入力された場合には、シグナリングセルがシグナリングセルバッファ４３０にルーティングされるようにＶＰＩ’／ＶＣＩ’を生成する。
【００７５】
出力コントロール部４２６は、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から入力されたＡＴＭセルを、ルーティング情報に基づいて入出力ポート１２ａ～１２ｊに割り当て、さらに、ＡＴＭセルに付加された識別子に基づいて優先制御および輻輳制御を行い、多重化して、出力バッファ４３８を介して入出力制御部２０の入力制御部３４に対して出力する。
なお、ヘッダー抽出・アドレス変換メモリインターフェース部４２２から呼設定処理用のシグナリングセルが入力された場合には、出力コントロール部４２６は、シグナリングセルをシグナリングセルバッファ４３０およびＣＰＵインターフェース４３２を介して制御部４３６に対して出力する。
【００７６】
制御部４３６は、シグナリングセルバッファ４３０およびＣＰＵインターフェース４３２を介して入力されたシグナリングセルに含まれる呼設定情報に基づいて、アドレス翻訳メモリ部４２４の記憶内容（エントリー）の追加、削除および更新を行う。
また、制御部４３６は、必要に応じて、呼設定用のシグナリングセルを生成し、ＣＰＵインターフェース４３２およびシグナリングセルバッファ４３４を介して出力コントロール部４２６に対して出力する。
【００７７】
以下、ＡＴＭ交換機４の動作を説明する。
入出力ポート部１０（図１０）の入出力ポート１２ａ～１２ｊに、ＵＴＰあるいはＰＯＦを介して、例えば、伝送レート２５．６Ｍｂｐｓ，２５．６Ｍｂｐｓ，１５５Ｍｂｐｓ，２５．６Ｍｂｐｓ，２５．６ＭｂｐｓのＡＴＭ端末、ＩＥＥＥ１３９４方式の非ＡＴＭ端末、および、伝送レート１５５Ｍｂｐｓ，１５５Ｍｂｐｓ，２５．６Ｍｂｐｓ，５２ＭｂｐｓのＡＴＭ端末がそれぞれ接続されると、入出力制御部２０の伝送レート検出回路２４ａ～２４ｊはそれぞれ、入出力ポート１２ａ～１２ｊを介して端末装置からのデータを受け、各端末装置の伝送レートを検出する。
【００７８】
接続制御部３６は、伝送レート検出回路２４ａ～２４ｊが検出した各端末装置の伝送レートに基づいて接続スイッチ２６を制御し、図１０中に示したように、各端末装置を伝送レートが適合するインターフェース回路３０ａ～３０ｊおよび非ＡＴＭ入出力ポート３８に接続する。
インターフェース回路３０ａ～３０ｊはそれぞれ、入出力ポート１２ａ～１２ｊから入力されるＡＴＭセルを受け入れ、出力制御部３２を介して交換部４３（図１２）に対して出力する。
交換部４３は、ＡＴＭセルのヘッダのＶＰＩ／ＶＣＩとＩＦ識別子とに基づいてルーティング情報を生成し、ＡＴＭセルをインターフェース回路３０ａ～３０ｊに割り当てて交換処理を行い、入出力制御部２０の入力制御部３４に対して出力する。
【００７９】
入力制御部３４（図１０）は、交換部４３から入力されたＡＴＭセルを分離して、インターフェース回路３０ａ～３０ｊに対して出力する。
インターフェース回路３０ａ～３０ｊは、入力制御部３４から入力されたＡＴＭセルを接続スイッチ２６および入出力ポート１２ａ～１２ｊを介して各ＡＴＭ端末に対して送出する。
一方、入出力ポート１２ｆに接続された非ＡＴＭ端末は、入出力ポート１２ｈ、接続スイッチ２６および非ＡＴＭ入出力ポート３８を介して非ＡＴＭ端末４０との間で伝送データを送受信する。

【００８０】
以上説明したように、本発明に係るＡＴＭ交換装置１は、伝送レートが異なる複数の端末を接続しても、交換機側の配線を変える必要がない。
また、本発明に係るＡＴＭ交換機４は、接続される端末装置に適合したインターフェース回路３０ａ～３０ｊが使用できない場合には、使用者にその旨を通知し、速やかな対応を促すことができる。
また、本発明に係るＡＴＭ交換機４に、通信方式が異なる端末装置を接続しても、ＡＴＭ交換機４内部の配線を変更する必要がない。
【００８１】
なお、伝送レート検出回路２４ａ～２４ｊにおいては、各端末装置の伝送レートの差が充分にある場合、伝送レートの検出処理に高い精度は要らないので、ＰＬＬ回路２４０に代えて、より簡便なｆ－Ｖ変換回路等の他の回路を用いることができる。
また、ＡＴＭ交換機４においては、通信端末を入出力ポートに接続したが、例えば、図１３に示すＡＴＭ交換機５のように、入出力ポート部５０の入力ポート５２ａ～５２ｊを出力ポートと別に設け、さらに、インターフェース回路３０ａ～３０ｊを入力用と出力用とに別々に設けて構成してもよい。また、この場合、入力ポートの数と出力ポートの数とが異なっていてもよい。
【００８２】
また、入出力ポート１２ａ～１２ｊの数（ｎ）とインターフェース回路３０ａ～３０ｊの数（ｍ）は必ずしも同じでなくともよく、入出力ポート数を増やすために、同時にはすべてのポートが動作しないという前提の下、ｎ＞ｍとすることができる。反対に、全ての入出力ポートがいろいろな伝送レートに対応可能とするため、ｎ＜ｍとすることもできる。
また、公衆網に接続されるインターフェース回路等、予め定まった目的に用いられるインターフェース回路は、接続スイッチ２６を経由しない専用のパスを設け、直接接続可能に構成してもよい。
【００８３】
また、ＡＴＭ交換機１（図１）と同様に、入出力ポート１２ａ～１２ｊそれぞれに対応する翻訳メモリを設けてルーティングを行うようにＡＴＭ交換機４を構成してもよい。
また、第４の実施形態に示したように、入力ポート識別子等をＨＥＣとしてＡＴＭセルのヘッダに付加するようにＡＴＭ交換機４を構成してもよい。
【００８４】
第６実施形態
以下、本発明の第６の実施形態を説明する。
第５の実施形態に示したＡＴＭ交換機４，５（図９，図１３）によれば、複数の通信方式（ＡＴＭ方式およびＩＥＥＥ１３９４方式）および伝送レートが異なる複数の端末を接続しても、交換機側の配線を変える必要がなく、また、ＡＴＭ交換機４内部の配線を変更する必要がない。
【００８５】
しかしながら、例えば、バス型トポロジーのＩＥＥＥ１３９４方式のネットワークを、ＡＴＭ方式のネットワークに変更するといったように、ネットワーク構成を変更したい場合がある。しかしながら、一度、バス型トポロジーのネットワークに適するように配線した伝送路を、スター型トポロジーのネットワークの伝送路として用いることは難しい。
第６の実施形態に示す通信システム７は、かかる観点から考えだされたものであり、ネットワークの接続トポロジーの変更が必要になった場合であっても、変更前の伝送路の流用が可能で、伝送路の敷設のやり直しが不要であるように構成されている。
【００８６】
図１４は、第６の実施形態における本発明に係る第１の通信システム7_1の構成例を示す図である。
図１５は、第６の実施形態における本発明に係る第２の通信システム7_2の構成例を示す図である。

図１４および図１５に示すように、通信システム7_1は、集線装置７０と、建物内の部屋78_1～78_8に置かれ、伝送路744_1～744_8、および、部屋78_1～78_8それぞれの内壁に配設されたコネクタ746_1～746_8を介して集線装置７０と接続された通信ノード80_1～80_8から構成される。

【００８７】

集線装置７０は、接続端子742_1～742_8を有し、第１の収容部分(BOX B)72_1、第２の収容部分72_2および第３の収容部分(BOX C)72_3を有し、図１４に示す第１の構成例においては、収容部分72_1にはリピータ装置７４が収容され、リピータ装置７４は接続端子740_1～740_3を有している。

また、図１５に示す第２の構成例においては、集線装置７０の収容部分72_1および収容部分72_3にはそれぞれ、ＡＴＭ交換機４またはＡＴＭ交換機５、および、プロトコル変換装置７６が収容され、ＡＴＭ交換機４，５は、入出力ポート１２ａ～１２ｅ，５２ａ～５２ｅ（図１０，図１３）と接続された接続端子720_1～720_5、および、入出力ポート１２ｇ，５２ｇと接続された接続端子720_6を有しており、プロトコル変換装置７６は、接続端子760_1，760_2を有している。

【００８８】

これらの通信システム7_1，7_2の構成部分の内、伝送路744_1～744_8は、例えば、全てプラスティック光ファイバ(POF;plastic optical fiber)であって、通信ノード80_1～80_8と接続端子742_1～742_8との間で光学的な伝送信号を伝送する。なお、少なくとも、伝送路744_1～744_8の接続端子742_1～742_8側には、接続端子742_1～742_8に適合する物理的条件を満たすコネクタが設けられている。

【００８９】

接続端子742_1～742_8は、例えば、同一形式のコネクタにより、伝送路744_1～744_8の接続端子742_1～742_8側のコネクタと接続され、通信ノード80_1～80_8から伝送されてきた光学的な伝送信号を電気的な信号に変換してリピータ装置７４およびＡＴＭ交換機４，５に対して出力する。

また、逆に、接続端子742_1～742_8は、リピータ装置７４は、リピータ装置７４およびＡＴＭ交換機４，５から入力された電気的な伝送信号を光学的な伝送信号に変換し、通信ノード80_1～80_8に対して出力する。

【００９０】

コネクタ746_1～746_8は、全て同一形式であって、伝送路744_1～744_8を介して接続端子742_1～742_8から伝送されてきた光学的な伝送信号を通信ノード80_1～80_8に対して出力する。

また、逆に、コネクタ746_1～746_8は、通信ノード80_1～80_8から入力される光学的な伝送信号を伝送路744_1～744_8を介して接続端子742_1～742_8に対して出力する。

【００９１】

リピータ装置７４は、接続端子740_1～740_3に接続される通信ノードをバス接続し、ＩＥＥＥ１３９４方式による通信制御を行う。

プロトコル変換装置７６は、リピータ装置７４から接続端子760_1を介して入力されるＩＥＥＥ１３９４方式のデータのプロトコルをＡＴＭ交換機４，５におけるＡＴＭ方式に適合するように変換して、ＡＴＭ交換機４，５に対して接続端子760_2を介して出力する。

また、逆に、プロトコル変換装置７６は、ＡＴＭ交換機４，５から入力されるＡＴＭ方式のデータ（ＡＴＭセル）のプロトコルをリピータ装置７４におけるＩＥＥＥ１３９４方式に適合するように変換にてリピータ装置７４に対して出力する。

【００９２】

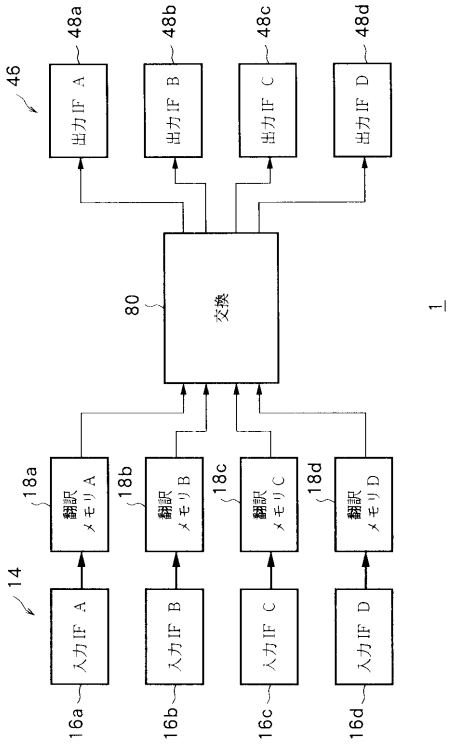
通信ノード80_1～80_8は、例えば、図１４および図１５に示すように、ビデオカメラ、ディジタルＶＴＲ装置、パーソナルコンピュータ、レーザープリンタおよびＡＶ端末等であって、ＰＯＦ等によりコネクタ746_1～746_8に接続され、ＡＴＭ交換機４，５

およびリピータ装置７４との間で、光学的な伝送信号を伝送する。
【００９３】
なお、図１４においては、通信ノード８０$_1$，８０$_2$，８０$_6$～８０$_8$は存在せず、通信ノード８０$_3$～８０$_5$は、ＩＥＥＥ１３９４方式によりデータを伝送するように構成されている。
また、図１５においては、通信ノード８０$_2$は存在せず、通信ノード８０$_3$，８０$_4$は、ＩＥＥＥ１３９４方式によりデータを伝送するように構成され、通信ノード８０$_1$，８０$_5$～８０$_8$は、ＡＴＭ方式によりデータを伝送するように構成されている。
【００９４】
まず、図１４を参照して、第１の通信システム７$_1$を説明する。
通信システム７$_1$は、リピータ装置７４および集線装置７０を用いたＩＥＥＥ１３９４方式のネットワークである。
ＩＥＥＥ１３９４方式の通信ノード８０$_3$～８０$_5$は、コネクタ７４６$_3$～７４６$_5$、伝送路７４４$_3$～７４４$_5$、接続端子７４２$_3$～７４２$_5$および接続端子７４０$_3$～７４０$_5$を介してリピータ装置７４に接続され、リピータ装置７４内部でバス接続され、相互にデータの伝送を行う。
【００９５】
つぎに、図１５および図１６を参照して、通信システム７$_2$を説明する。
通信システム７$_2$は、通信システム７$_1$（図１４）にＡＴＭ交換機４，５、プロトコル変換装置７６、および、ＡＴＭ方式の通信ノード８０$_1$，８０$_6$～８０$_8$を追加し、ＩＥＥＥ１３９４方式の通信ノード８０$_3$をＡＴＭ方式の通信ノード８０$_3$に変更した構成を採る。
【００９６】
通信システム７$_2$において、通信ノード８０$_1$，８０$_5$～８０$_8$はそれぞれ、コネクタ７４６$_1$，７４６$_5$～７４６$_8$、伝送路７４４$_1$，７４４$_5$～７４４$_8$、接続端子７４２$_1$，７４２$_5$～７４２$_8$および接続端子７２０$_1$～７２０$_5$を介してＡＴＭ交換機４，５に接続され、ＡＴＭ交換機４の接続端子７２０$_6$は伝送路８６を介してプロトコル変換装置７６の接続端子７６０$_2$に接続され、リピータ装置７４の接続端子７４０$_3$は、伝送路８４を介してプロトコル変換装置７６の接続端子７６０$_1$に接続される。
【００９７】
図１６は、図１５に示した通信システム７$_2$の構成部分の接続関係を示す図である。
図１６に示すように、　通信システム７$_1$（図１４）と同様に、通信ノード８０$_3$～８０$_4$は、リピータ装置７４内部でバス接続され、ＩＥＥＥ１３９４方式により、相互に通信を行うＩＥＥＥ１３９４方式のネットワークを構成する。
また、通信ノード８０$_1$，８０$_5$～８０$_8$は、ＡＴＭ交換機４，５を介してスター型トポロジーに接続され、ＡＴＭ方式により相互に通信を行うＡＴＭ通信ネットワークを構成する。
これらのネットワークは、プロトコル変換装置７６を介して接続され、相互にデータの伝送を行う。
【００９８】
以上説明したように、通信システム７$_1$，７$_2$においては、接続端子７４２$_1$～７４２$_8$の物理的条件、および、コネクタ７４６$_1$～７４６$_8$の物理的条件がそれぞれ全て同一であるため、通信ノード８０$_1$～８０$_8$の増設および変更が容易である。
また、通信ノードが置かれていない部屋〔通信システム７$_1$（図１４）においては、部屋７８$_1$，７８$_2$，７８$_5$～７８$_8$、通信システム７$_2$（図１５）においては、部屋７８$_1$〕にもコネクタ〔同じく、通信システム７$_1$においてはコネクタ７４６$_1$，７４６$_2$，７４６$_5$～７４６$_8$（図１４）、通信システム７$_2$においては、コネクタ７４６$_1$〕が既に用意され、伝送路により集線装置７０と接続されているので、これらの部屋に通信ノードを増設する際のコネクタ設置工事および配線工事が不要である。
【００９９】

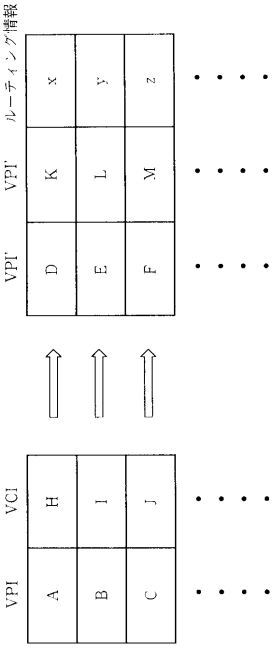
また、バス型トポロジーのＩＥＥＥ１３９４方式のネットワークと、スター型トポロジーのＡＴＭ方式のネットワークとを、リピータ装置７４が接続しているので、これらの間でデータ伝送を行うことができ、種々の方式のネットワークを同一システム内に共存させることができる。
また、ＡＴＭ交換機としてＡＴＭ交換機４，５（図９，図１３）を用いているので、種々の伝送レートの通信ノードを集線装置７０に接続しても、伝送レートの変更に応じた交換機の設定変更を自動的に行うことができる。
【０１００】
なお、通信システム7_1，7_2においては、各部屋にコネクタを１つずつ設ける場合を示したが、各部屋にコネクタを複数、設けてもよい。このように、通信システム7_1，7_2の構成は例示であり、収容部分72_1～72_3、リピータ装置７４、ＡＴＭ交換機４，５およびプロトコル変換装置７６の接続端子数等は増減可能である。
【０１０１】
また、ＡＴＭ交換機４，５の代わりに、第１の実施形態等に示したＡＴＭ交換機１～３を用いてもよい。
また、収容部分72_1～72_3の寸法を標準化すると、各種機器の収容に便利である。逆に、収容部分72_1～72_3の寸法をＡＴＭ交換機４，５、リピータ装置７４およびプロトコル変換装置７６ぞれぞれに合わせると、集線装置７０を小型にすることができる。
【０１０２】
また、接続端子742_1～742_8と、ＡＴＭ交換機４，５、リピータ装置７４およびプロトコル変換装置７６との間の配線の変更は、人手によって配線を変更することによって行ってもよく、計算機等による制御により自動的に行ってもよい。
また、集線装置７０には、ＡＴＭ方式のＡＴＭ交換機４，５およびＩＥＥＥ１３９４方式のリピータ装置７４の他、他の通信方式のネットワークを収容することも可能である。
【０１０３】
【発明の効果】
以上説明したように、本発明に係る情報処理装置、通信システムおよびその方法によれば、ネットワークの接続トポロジーの変更が必要になった場合であっても、変更前の伝送路をそのまま利用することができ、伝送路の敷設のやり直しが不要となる。
また、本発明に係る情報処理装置、通信システムおよびその方法は、それぞれ異なる接続トポロジーおよび通信プロトコルを有するネットワークが内部に存在しても、これらのネットワーク間のデータ伝送が容易で、しかも、端末装置のネットワーク間の移動が容易であり、システム構成に柔軟性が高い。
また、本発明に係る情報処理装置、通信システムおよびその方法は、ネットワークの接続トポロジーの変更の際の伝送路の敷設のやり直しが不要で、端末装置をネットワーク間で共有することができ、システムの管理費用が安価で、しかも、システムの管理に手間がかからない。
【図面の簡単な説明】
【図１】第１の実施形態における本発明に係るＡＴＭ交換機の構成を示す図である。
【図２】翻訳メモリ（図１）にエントリされるＶＰＩ／ＶＣＩとＶＰＩ’／ＶＣＩ’とを対応付けたテーブルを示す図である。
【図３】翻訳メモリ（図１）によるＶＰＩ’／ＶＣＩ’とＶＰＩ／ＶＣＩとの入れ替え処理を示す図である。
【図４】第２の実施形態における本発明に係るＡＴＭ交換機の構成を示す図である。
【図５】翻訳メモリ（図４）にエントリされるＶＰＩ／ＶＣＩおよび入力ポート識別子と、ＶＰＩ’／ＶＣＩ’およびルーティング情報とを対応付けたテーブルを示す図である。
【図６】第３の実施形態における本発明に係るＡＴＭ交換機の構成を示す図である。
【図７】ＡＴＭセルの構成を示す図である。
【図８】（Ａ）～（Ｃ）は、連続的なＡＴＭセル、および、ＡＴＭセルに制御用のデータを付加する方法を示す図である。

【図９】本発明に係るＡＴＭ交換装置の構成を示す図である。
【図１０】図９に示したＡＴＭ交換機の入出力ポート部および入出力制御部の構成を例示する図である。
【図１１】図１０に示した伝送レート検出回路の内、伝送レートを検出する部分の構成を示す図である。
【図１２】図９に示したＡＴＭ交換機の交換部の構成を示す図である。
【図１３】本発明に係るＡＴＭ交換機の変形例を示す図である。
【図１４】第６の実施形態における本発明に係る第１の通信システムの構成例を示す図である。
【図１５】第６の実施形態における本発明に係る第２の通信システムの構成例を示す図である。
【図１６】図１５に示した通信システムの構成部分の接続関係を示す図である。
【符号の説明】
１，２，３，４，５…ＡＴＭ交換機、１４，６０…入力ポート部、１６ａ～１６ｄ，６２ａ～６２ｄ…入力インターフェース、１８ａ～１８ｄ，６４…翻訳メモリ、８０…交換部、４６…出力ポート部、４８ａ～４８ｄ…出力インターフェース、４４…入出力ポート部４４、４４０ａ～４４０ｄ…入出力インターフェース、４４２…物理メディアデバイス、４４４…物理層デバイス、４２，４３…交換部、４２０…入力コントロール部、４２２…ヘッダー抽出・アドレス変換メモリインターフェース部、４２４…アドレス翻訳メモリ部、４２６…出力コントロール部、４２８…輻輳処理・優先処理部、４３０，４３４…シグナリングセルバッファ、４３２…ＣＰＵインターフェース、４３６…制御部、４３８…出力バッファ、１０…入出力ポート部、１２ａ～１２ｊ…入出力ポート、２０…入出力制御部、２２…伝送レート検出部、２４ａ～２４ｊ…伝送レート検出回路、２４０…ＰＬＬ回路、２４２…分周器、２４４…基準発振器、２４６…カウンタ回路、２４８…比較器、２６…接続スイッチ、２８…インターフェース部、３０ａ～３０ｊ…インターフェース回路、３２…出力制御部、３４…入力制御部、３６…接続制御部、３８…非ＡＴＭ入出力ポート、４０…非ＡＴＭ端末、7_1，7_2…通信システム、７０…集線装置、72_1～72_3…収容部分、７４…リピータ装置、７６…プロトコル変換装置、78_1～78_8…部屋、80_1～80_8…通信ノード、740_1～740_3，720_1～720_6，760_1，760_2…接続端子、746_1～746_8…コネクタ、744_1～744_8，８４，８６…伝送路。

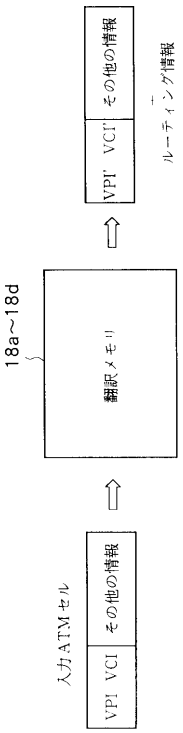
【図１】


46
48a
48b
48c
48d
出力IF A
出力IF B
出力IF C
出力IF D
80
交換
1
18a
18b
18c
18d
翻訳メモリA
翻訳メモリB
翻訳メモリC
翻訳メモリD
14
入力IF A
入力IF B
入力IF C
入力IF D
16a
16b
16c
16d

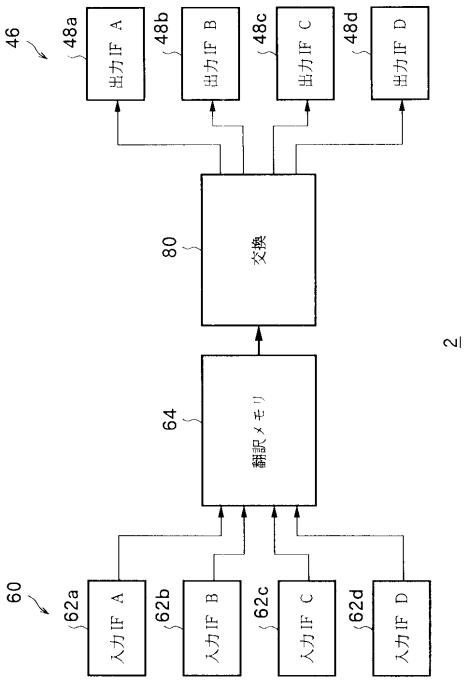
【図２】


ルーティング情報
VPI'
VPI'
VCI
VPI
D
E
F
K
L
M
x
y
z
H
I
J
A
B
C

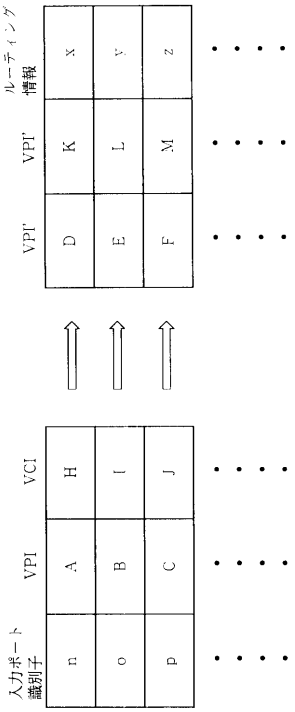
【図３】


入力ATMセル
VPI
VCI
その他の情報
18a～18d
翻訳メモリ
VPI'
VCI'
その他の情報
ルーティング情報

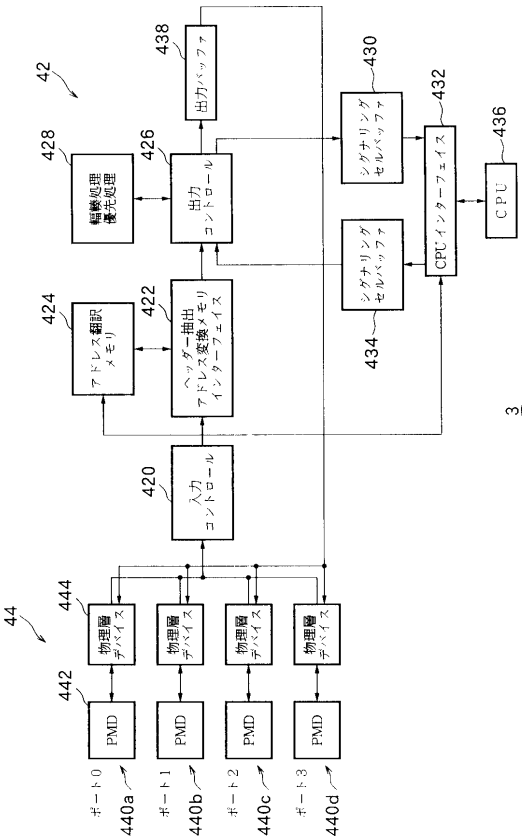
【図４】


46
48a
48b
48c
48d
出力IF A
出力IF B
出力IF C
出力IF D
80
交換
64
翻訳メモリ
2
60
62a
62b
62c
62d
入力IF A
入力IF B
入力IF C
入力IF D

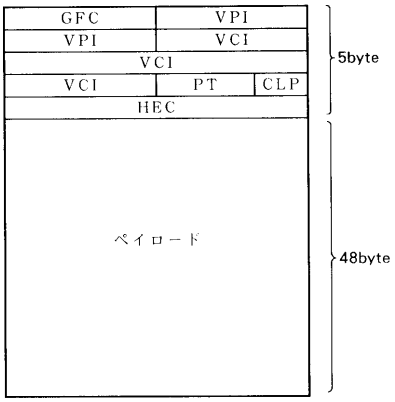
【図５】


ルーティング情報
VPI'
VPI
VCI
入力ポート識別子
D
E
F
K
L
M
X
Y
Z
A
B
C
H
I
J
n
o
p

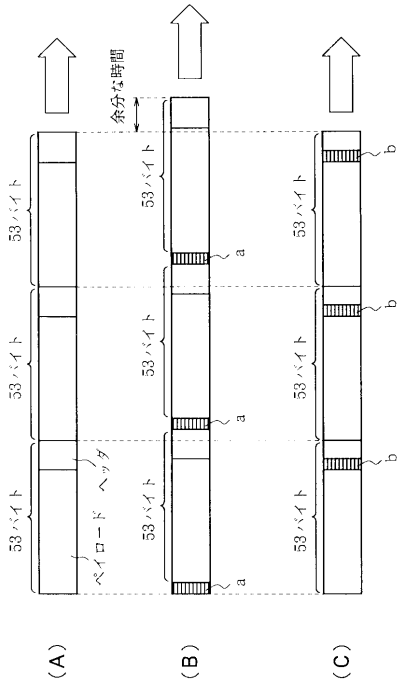
【図６】


42
438
出力バッファ
428
輻輳処理優先処理
426
出力コントロール
430
シグナリングセルバッファ
432
CPUインターフェイス
436
CPU
424
アドレス翻訳メモリ
422
ヘッダー抽出アドレス変換メモリインターフェイス
434
シグナリングセルバッファ
420
入力コントロール
44
444
物理層デバイス
442
PMD
ポート0
440a
ポート1
440b
ポート2
440c
ポート3
440d
3

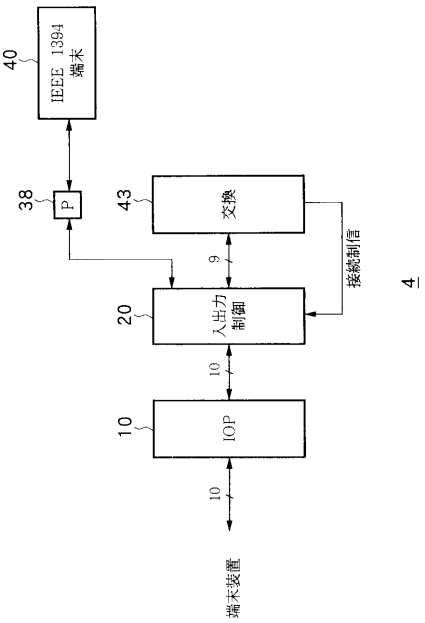
【図７】


GFC
VPI
VPI
VCI
VCI
VCI
PT
CLP
HEC
ペイロード
5byte
48byte

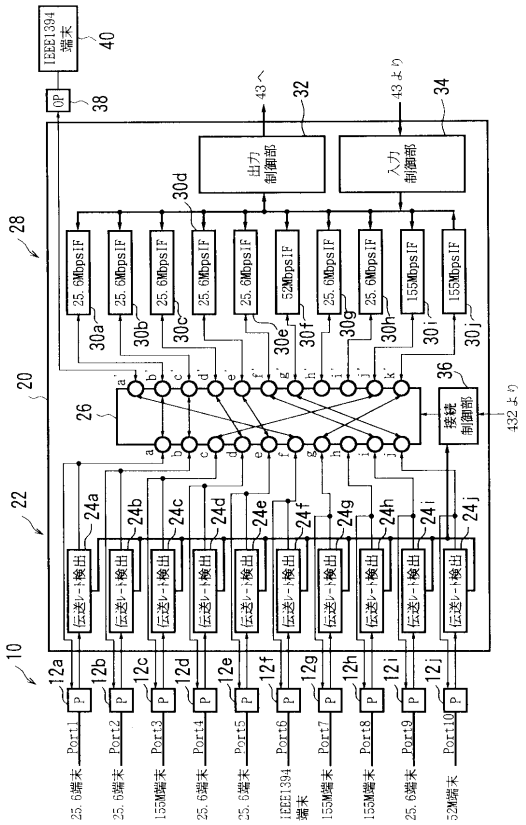
【図８】


余分な時間
53バイト
ペイロード
ヘッダ
a
b
(A)
(B)
(C)

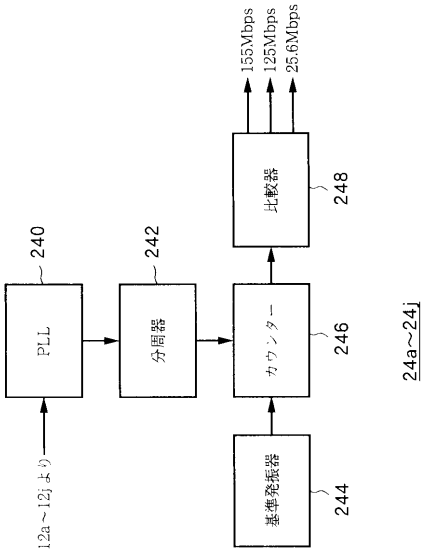
【図９】



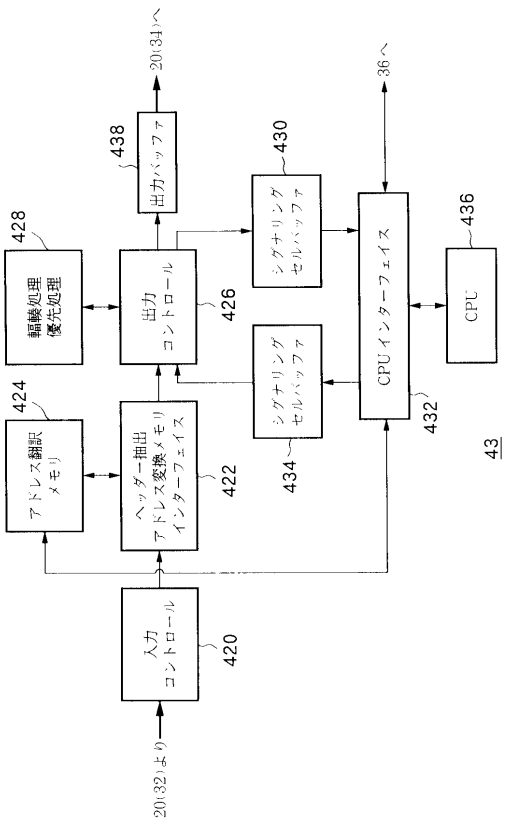
【図１０】



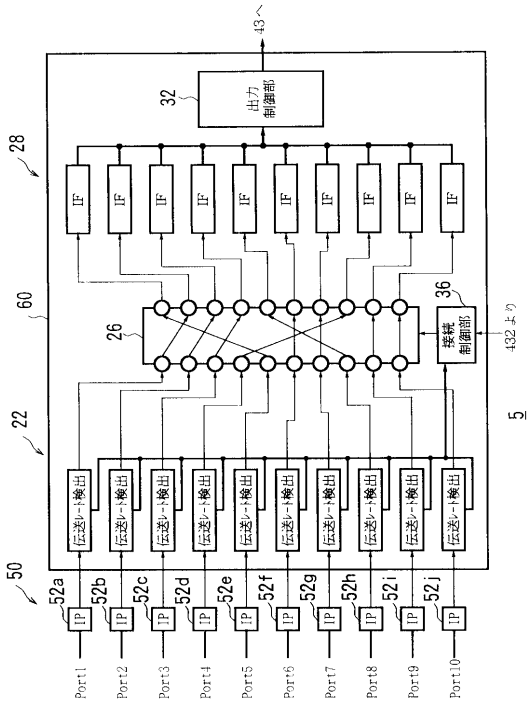
【図１１】



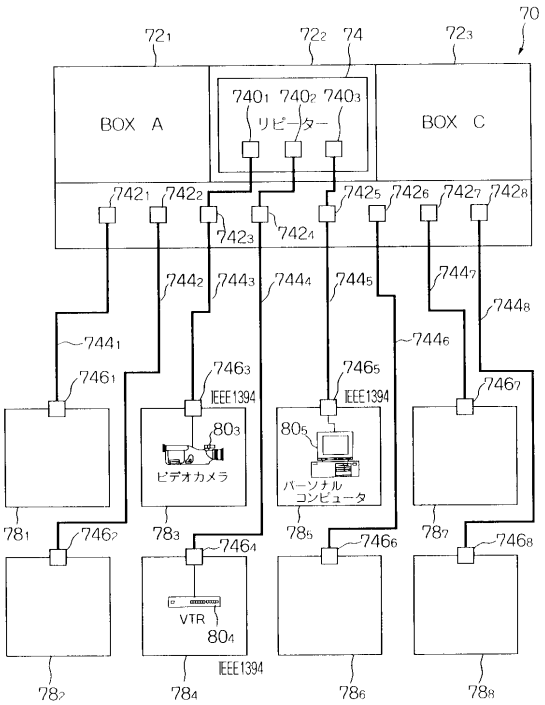
【図１２】



【図１３】

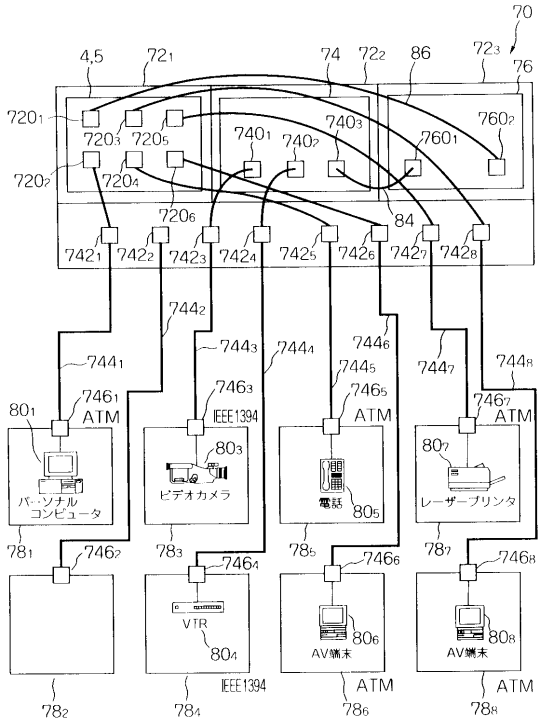


【図１４】



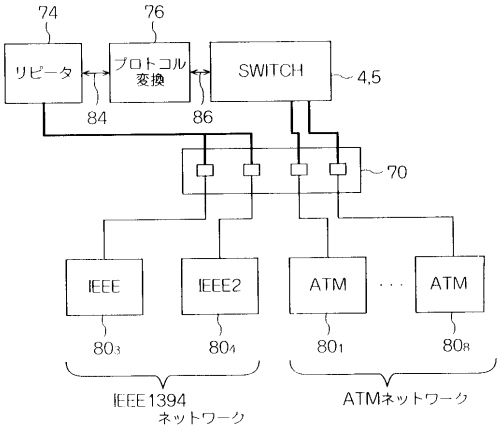
71

【図１５】



72

【図１６】



72