

(21)申請案號：099143440

(22)申請日：中華民國 99 (2010) 年 12 月 13 日

(51)Int. Cl.：

H01L27/088 (2006.01)

H01L29/78 (2006.01)

H01L21/8234(2006.01)

H01L21/336 (2006.01)

(71)申請人：大中積體電路股份有限公司 (中華民國) SINOPOWER SEMICONDUCTOR INC.
(TW)

新竹市新竹科學工業園區篤行一路 6 號 7 樓

(72)發明人：林偉捷 LIN, WEI CHIEH (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：21 項 圖式數：13 共 37 頁

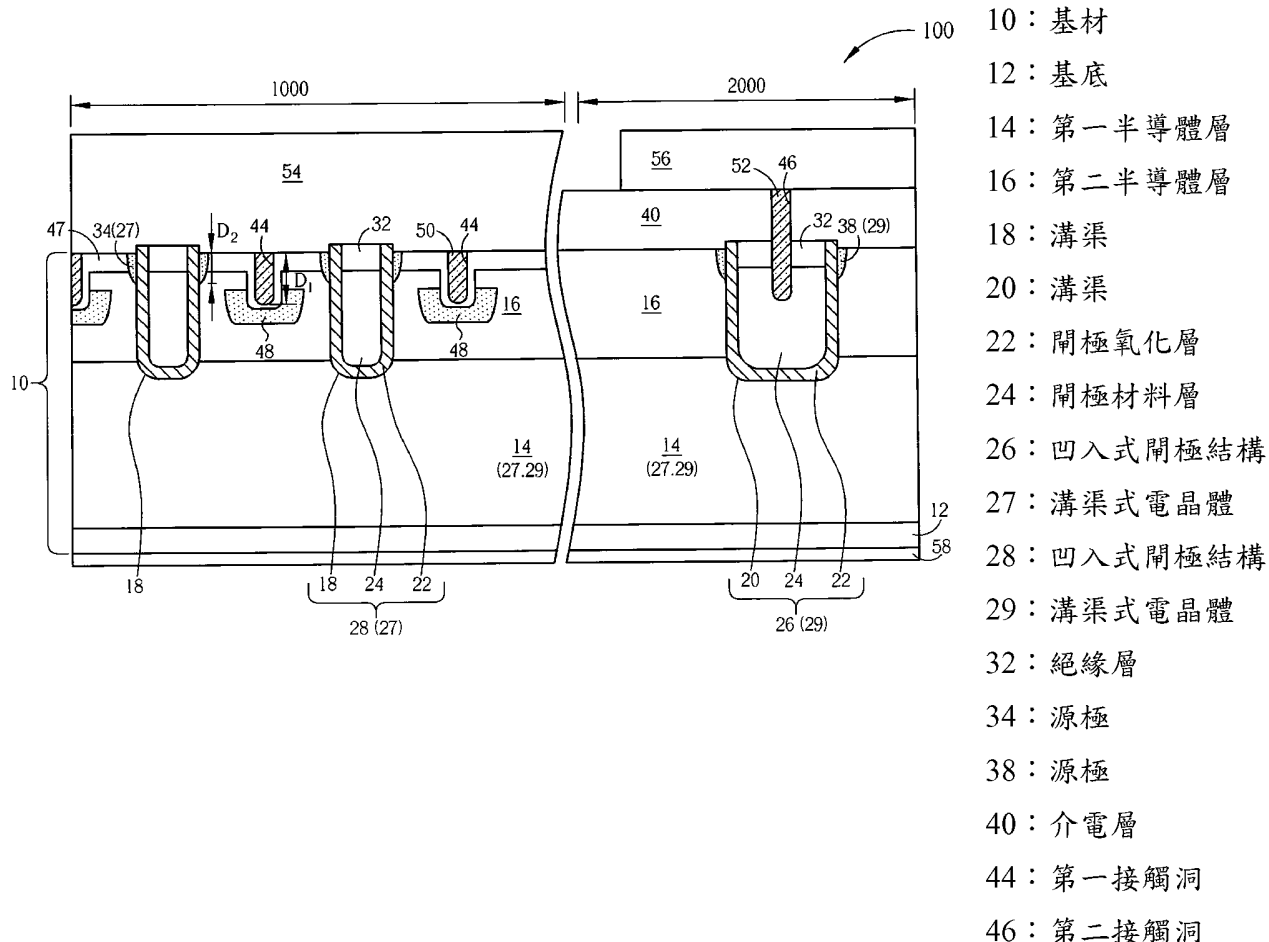
(54)名稱

降低寄生電晶體導通之功率元件及其製作方法

POWER DEVICE WITH LOW PARASTITIC TRANSISTOR AND METHOD OF MAKING THE SAME

(57)摘要

本發明之低寄生電晶體導通之功率元件，包含溝渠式電晶體和一設置在溝渠電晶體之一源極之一側的重摻雜區，重摻雜區的導電型態和源極相異，另外，一接觸插塞接觸並且電連結重摻雜區，一源極導線覆蓋溝渠電晶體之源極以及前述之接觸插塞，使得源極和重摻雜區形成等電位。



47：P⁺摻雜區

48：重摻雜區

50：第一接觸插塞

52：第二接觸插塞

54：源極導線

56：閘極導線

58：汲極導線

100：低寄生電晶體導
通之功率元件

1000：主動區域

2000：週邊區域

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種功率元件之製作方法，尤指一種降低寄生電晶體導通之功率元件及其製作方法。

【先前技術】

功率元件主要用於電源管理的部分，例如應用於切換式電源供應器、電腦中心或周邊電源管理 IC、背光板電源供應器以及馬達控制等用途，其種類包含有絕緣閘雙極性電晶體(insulated gate bipolar transistor, IGBT)、金氧半場效電晶體(metal-oxide-semiconductor thin film transistor, MOSFET)與雙載子接面電晶體(bipolar junction transistor, BJT)等元件。其中，由於 MOSFET 可節省電能且可提供較快的元件切換速度，因此被廣泛地應用各領域之中。

隨著電子產品日益朝向輕、薄、短、小發展，積體電路元件設計的尺寸與間距亦不斷縮小，以符合高積集度和高密度之潮流。然而，當元件之間的距離縮小之後，不同導電型態的半導體區域則更加容易形成寄生電晶體。另外，尺寸縮小後亦會造成功率元件中的電晶體之源極、汲極之間的距離變小，容易導致崩潰電壓下降和漏電流的發生。

因此，仍需要一種新穎的製造功率元件的方法及結構，以簡便及經濟的方式解決如崩潰電壓、漏電流和寄生電晶體的問題。

【發明內容】

本發明的一目的是提供一種製造功率半導體元件的方法和結構，簡便及經濟，可解決如上述的崩潰電壓、漏電流和寄生電晶體的問題。

依據本發明之低寄生電晶體導通之功率元件，其包含一種低寄生電晶體導通之功率元件，包含：一基材包含一基底、一第一半導體層和一第二半導體層依序覆蓋於基底上，基材劃分為一主動區域和一週邊區域，一溝渠式電晶體位於基材的主動區域中，溝渠式電晶體包含：一第一凹入式閘極結構埋入於第二半導體層並且延伸至第一半導體層以及一源極位於第一凹入式閘極結構之二側，其中第一半導體層作為溝渠式電晶體之一汲極，一第一重摻雜區位於主動區域中的第二半導體層，並且在源極之一側，其中第一重摻雜區之導電型態和該第二半導體層相同，一第一接觸插塞位於第二半導體層中，且接觸插塞之底部接觸第一重摻雜區以及一源極導線覆蓋於主動區域上的第二半導體層，源極導線接觸第一接觸插塞之頂部和源極。

依據本發明的低寄生電晶體導通之功率元件的製作方法，包括下列步驟。首先，提供一基材包含一基底、一第一半導體層和一第二半導體層依序覆蓋於基底上，至少一溝渠位於第一半導體層和第二半導體層中，一閘極氧化層位於溝渠之側壁以及第二半導體層之上表面，一閘極材料層位於溝渠中，其中閘極材料層之上表面較第二

半導體層之上表面低。然後，進行一第一離子佈植製程，以於第二半導體層中形成一第一重摻雜區，第一重摻雜區鄰接溝渠之部分側壁和鄰接位於第二半導體層之上表面的閘極氧化層，接著，全面形成一第一絕緣層於第二半導體層上，並填入溝渠中，之後進行一平坦化製程，移除部分位於第二半導體上的第一重摻雜區和部分之第一絕緣層，直到平坦化後的第二半導體層之上表面比位於溝渠中的第一絕緣層之上表面低，且使得位於溝渠旁之第一重摻雜區形成至少一源極，再形成一第一接觸洞於源極一側的第二半導體層中，然後，進行一第二離子佈植製程，以於第一接觸洞之底部週圍的第二半導體層中形成一第二重摻雜區，其中第二重摻雜區之導電型態與第二半導體層相同，接續形成一第一接觸插塞於第一接觸洞並且接觸第二重摻雜區，最後，形成一源極導線覆蓋於接觸插塞以及源極。

依據本發明另一低寄生電晶體導通之功率元件的製作方法，包括下列步驟。首先，提供一基材包含一基底、一第一半導體層和一第二半導體層依序覆蓋於基底上，基材劃分為一主動區域和一週邊區域，至少二溝渠分別位於主動區域和週邊區域內的第一半導體層和第二半導體層中，一閘極氧化層位於各個溝渠之側壁以及第二半導體層之上表面，一閘極材料層填入各個溝渠中，閘極材料層之上表面較第二半導體層之上表面低，然後進行一第一離子佈植製程，以於第二半導體層中形成一第一重摻雜區，第一重摻雜區鄰接各個溝渠之部分側壁和鄰接位於第二半導體層之上表面的閘極氧化層，之後，於第二半導體層上全面形成一第一絕緣層，並填入各個溝渠中，接著進行一平坦化製程，移除部分之第一絕緣層、閘極氧化層、

部分之第一重摻雜區和部分之第二半導體層，直到平坦化後的第二半導體層之上表面比位於各個溝渠中之第一絕緣層之上表面低，且使得位於各個溝渠旁之第一重摻雜區形成至少一源極，接著，形成一介電層、一第一接觸洞和一第二接觸洞，介電層覆蓋至少部分之第二半導體層，第一接觸洞位於源極一側的第二半導體層，第二接觸洞位於週邊區域內的介電層、第一絕緣層和閘極材料層中，進行一第二離子佈植製程，以於第一接觸洞之底部週圍的第二半導體層中形成一第二重摻雜區，其中第二重摻雜區之導電型態與第二半導體層相同，接續形成一第一接觸插塞於第一接觸洞並且接觸第二重摻雜區，形成一第二接觸插塞於該第二接觸洞並且接觸該閘極材料層，最後形成一源極導線與一閘極導線，源極導線覆蓋第一接觸插塞以及源極，閘極導線覆蓋第二接觸插塞和圖案化介電層。

本發明利用高濃度P型摻雜區防止耐壓時空乏區接觸到源極，可改善寄生電晶體的問題，並提高崩潰電壓而且避免漏電流，製程中並不需要增加光罩的使用，顯得經濟與便利。

【實施方式】

請參閱第1圖至第9圖，第1圖至第9圖繪示的是本發明第一較佳實施例之低寄生電晶體導通之功率元件的製作方法示意圖，而圖式中相同的元件或部位沿用相同的符號來表示。需注意的是圖式係以說明為目的，並未依照原尺寸作圖。

如第1圖所示，首先提供一基材10，其包含一基底12、一第一半導體層14和一第二半導體層16依序覆蓋於基底12上，基底12

可為矽基材，例如是具有 N^+ 型摻雜或 P^+ 型摻雜之基底，而第一半導體層 14 可利用磊晶製程形成，其導電型態和基底相同，而第一半導體層 14 在功率元件完成之後，可作為功率元件中的電晶體之汲極，第二半導體層 16 則可利用一離子佈植製程，形成於第一半導體層 14 中，第二半導體層 16 的導電型態和第一半導體層 14 相異。根據本發明之較佳實施例，基底 10 較佳為一 N^+ 型摻雜之基底，第一半導體層 14 為一 N^- 型磊晶層，而第二半導體 16 層為一 P 型摻雜區。另外，基材 10 可劃分為一主動區域 1000 和一週邊區域 2000。

接著，形成至少二溝渠 18、20 分別位於主動區域 1000 內和週邊區域 2000 內的第二半導體層 16，溝渠 18、20 由第二半導體層 16 延伸至第一半導體層 14，然後形成一閘極氧化層 22 於溝渠 18、20 之側壁和底部以及第二半導體層 16 之表面，隨後，於閘極氧化層 22 上形成一閘極材料層 24 填入溝渠 18、20 中，閘極材料層 24 之上表面低於第二導電層 16 之上表面。閘極氧化層 22 可包含氧矽化合物，而閘極材料層 24 可包含摻雜多晶矽(doped poly-silicon)。至此，各個溝渠 18、20 和其中的閘極氧化層 22 和閘極材料層 24，構成了數個凹入式閘極結構 26、28。

如第 2 圖所示，接著，進行至少一道離子佈植製程，以於第二半導體層 16 中形成一重摻雜區 30，例如 N 型重摻雜區。離子佈植製程可以是斜向離子佈植或是垂直離子佈植，也可以由多種不同植入方向組合而成。重摻雜區 30 係沿著第二半導體層 16 的上表面形成，並且鄰接溝渠 18、20 之部分側壁。

如第 3 圖所示，全面形成一絕緣層 32 於閘極氧化層上，並且絕

緣層 32 填入溝渠 18、20 中。其中，絕緣層 32 可包含有硼矽玻璃 (borosilicate glass, BSG)、磷矽玻璃、硼磷矽玻璃 (borophosphosilicate glass, BPSG)、未摻雜矽玻璃或氟矽玻璃等低介電材料。如第 4 圖和第 5 圖所示，進行一平坦化製程，平坦化製程包含一化學機械研磨步驟和一回蝕刻步驟，請參閱第 4 圖，首先利用化學機械研磨移除位於第二半導體層 16 之上表面上的絕緣層 32 以及閘極氧化層 22，使重摻雜區 30 之上表面與研磨後位於溝渠 18、20 中的絕緣層 32 之上表面切齊。

如第 5 圖所示，接著回蝕刻第二半導體層 16，去除位於第二半導體層 16 之上表面的之重摻雜區 30，較佳者，第二半導體層 16 被去除的深度約 0.05~0.2um 毫米，使得位於溝渠 18、20 旁之重摻雜區 30 形成至少一源極 34、38，而且回蝕刻後的第二半導體層 16 之上表面比位於溝渠 18、20 中的絕緣層 32 之上表面低。然後，利用一爐管或一快速加熱製程，加熱基材 10 使源極 34、38 擴散，此時，凹入式閘極結構 26、28、第一半導體層 14 和源極 34、38，構成了數個溝渠式電晶體 27、29。

如第 6 圖所示，全面形成一介電層 40 覆蓋第二半導體層 16。如第 7 圖所示，接著利用一第一光罩(圖未示)，進行一曝光顯影暨蝕刻製程，去除位在主動區域 1000 的內的介電層 40，使在主動區域 1000 的第二半導體層 16 曝露出來，之後形成一圖案化光阻 42 覆蓋第二半導體層 16 和介電層 40，然後再以圖案化光阻 42 為遮罩，以圖案化光阻 42 為遮罩，蝕刻主動區域 1000 內的第二半導體層 16，以在源極 34 的一側的第二半導體層 16 中形成一第一接觸洞

44，另外也蝕刻週邊區域 2000 內的介電層 40 和絕緣層 32 以及閘極材料層 24，以在介電層 40、絕緣層 32 以及閘極材料層 24 中形成一第二接觸洞 46。然後，進行一離子佈植製程，以於第一接觸洞 44 之底部週圍的第二半導體層 16 中形成一重摻雜區 48，重摻雜區 48 之導電型態與第二半導體層 16 相同，於本實施例中，較佳為 P 型，並且重摻雜區 48 的摻質濃度較第二半導體層 16 來得高。另外，第一接觸洞 44 的數量不限，基本上第一接觸洞 44 較佳會形成在主動區域 1000 內的各個溝渠 18 的兩側，由於重摻雜區 48 的位置是配合第一接觸洞 44 的位置，因此重摻雜區 48 也會在主動區域 1000 內的各個溝渠 18 的兩側。

如第 8 圖所示，以介電層 40 為遮罩，全面表面植入 P^+ 離子，以在主動區域 1000 內第二半導體層 16 表面及第一接觸洞 44 週邊形成一層 P^+ 摻雜區 47，但此 P^+ 摻雜區 47 的深度較源極 34 淺。

如第 9 圖所示，去除圖案化光阻 42，然後形成一金屬層填入第一接觸洞 44 和第二接觸洞 46，在第一接觸洞 44 和第二接觸洞 46 中的金屬層 48 則分別作為第一接觸插塞 50 和第二接觸插塞 52。第一接觸插塞 50 電連結重摻雜區 48，而第二接觸插塞 52 電連結閘極材料層 24。第一接觸插塞 50 具有一最大深度 D_1 ，源極 34 具有一最大深度 D_2 ，根據本發明的較佳實施例，最大深度 D_1 大於最大深度 D_2 。當然，依據不同的產品需求，最大深度 D_1 小於最大深度 D_2 也可以，舉例而言，最大深度 D_1 可以比最大深度 D_2 少 $0.2\mu m$ 。值得注意的是：第一接觸插塞 50 和源極 34 互不接觸。

如第 10 圖所示，形成一源極導線 54、一閘極導線 56 和一汲極

導線 58，源極導線 54 覆蓋主動區域 1000 內的第二半導體層 16，包括位於第二半導體層 16 中的第一接觸插塞 44、源極 34、38、閘極氧化層 22 和絕緣層 32。閘極導線 56 覆蓋於介電層 40 並且電連結接觸第二接觸插塞 44。汲極導線 58 則是位於基底 12 相對於第一半導體層 14 的另一表面上。另外，前述的 P^+ 摻雜區 47 可以使第二半導體層 16 跟第一接觸插塞 50 及源極導線 54 接觸的地方形成低阻值。至此，本發明之低寄生電晶體導通之功率元件業已完成 100。

於本發明之其他實施例中，前述製程順序可視情況而調整，第 11 圖至第 12 圖繪示本發明第二較佳實施例之低寄生電晶體導通之功率元件的製作方法示意圖，其教示了另一種製程順序。第 11 圖是接續第 6 圖之製程步驟，其中具有相同功能的元件將以相同的符號表示。

在全面形成介電層 40 覆蓋第二半導體層 16 後，如第 11 圖所示，形成一圖案化光阻 142 覆蓋部分介電層 40，再利用圖案化光阻 142 為遮罩，蝕刻主動區域 1000 內的第二半導體層 16，以分別在源極 34 的一側的介電層 40 和第二半導體層 16 中形成一第一接觸洞 44，同時亦在週邊區域 2000 內的介電層 40 和絕緣層 32 以及閘極材料層 24 中形成一第二接觸洞 46。如第 12 圖所示，移除圖案化光阻 142，再以一圖案化光阻 242 覆蓋週邊區域 2000 內的介電層 40，並且圖案化光阻 242 填入第二接觸洞 46，然後，移除位於主動區域 1000 內的介電層 40，然後以週邊區域 2000 內的介電層 40 為遮罩，全面植入 P^+ 離子，以在主動區域 1000 內第二半導體層 16 表面及第一接觸洞 44 週邊形成一層 P^+ 摻雜區 47，但此 P^+ 摻雜區 47 的深度較源

極 34 淺。再移除圖案化光阻 242。請重新參閱第 9 圖，形成一金屬層填入第一接觸洞 44 和第二接觸洞 46，在第一接觸洞 44 和第二接觸洞 46 中的金屬層則分別作為第一接觸插塞 50 和第二接觸插塞 52。如第 10 圖所示，形成一源極導線 54、一閘極導線 56 和一汲極導線 58，源極導線 54 覆蓋主動區域 1000 內的第二半導體層 16，包括位於第二半導體層 16 中的第一接觸插塞 50、源極 34、閘極氧化層 22 和絕緣層 32。閘極導線 56 覆蓋於介電層 40 並且電連結接觸第二接觸插塞 52。汲極導線 58 則是位於基底 12 相對於第一半導體層 14 的另一表面上。另外，前述的 P^+ 摻雜區 47 可以使第二半導體層 16 跟第一接觸插塞 50 及源極導線 54 接觸的地方形成低阻值。至此，本發明之低寄生電晶體導通之功率元件 100 業已完成。

根據本發明之另一較佳實施例，低寄生電晶體導通之功率元件位於週邊區域的凹入式閘極結構可以平坦式閘極結構來取代，其製作方式可以是在第 5 圖完成主動區域內的源極之後，在週邊區域內形成一平坦式閘極結構，然後再接續第 6 圖的步驟形成介電層。其餘製程大致與第 7 圖至第 10 圖相同。

本發明提供一種低寄生電晶體導通之功率元件，如第 10 圖所示，低寄生電晶體導通之功率元件 100 包含一基材 10，基材 10 包含一基底 12、一第一半導體層 14 和一第二半導體層 16 依序覆蓋於基底 12 上，基材 10 劃分為一主動區域 1000 和一週邊區域 2000，一溝渠式電晶 27 體設置於基材 10 的主動區域 1000 中，溝渠式電晶體 27 包含：一凹入式閘極結構 26 埋入於第二半導體層 16 並且延伸至第一半導體層 14 以及一源極 34 位於凹入式閘極結構 26 之二側，

凹入式閘極結構 26 包含一溝渠 18，一閘極氧化層 22 位於溝渠 18 側壁以及一閘極材料層 24 填入溝渠中。另外，前述之第一半導體層 14 係作為溝渠式電晶體 27 之一汲極。值得注意的是：本發明特別設置一重摻雜區 48 於主動區域 1000 中的第二半導體層 16，並且重摻雜區 48 在源極 34 之一側，一第一接觸插塞 50 位於第二半導體層 16 中，且第一接觸插塞 50 之底部接觸重摻雜區 48。又，一源極導線 54 覆蓋於主動區域 1000 上的第二半導體層 16、源極 34 和第一接觸插塞 50 之頂部，因此重摻雜區 48 和源極 34 會形成等電位。值得注意的是：第一接觸插塞 50 和源極 34 互不接觸。

基底 12 可為矽基材，例如是具有 N^+ 型摻雜或 P^+ 型摻雜之基底，而第一半導體層 14 較佳為磊晶層，其導電型態和基底相同，第二半導體層 16 和第一半導體層 14 之導電型態相異，於本發明中較佳的情況，基底 12 為 N^+ 型摻雜之基底，第一半導體層 14 為 N^- 型磊晶層，而第二半導體層 16 為 P 型摻雜區，源極 34 為一 N 型摻雜區，重摻雜區 48 中的 P 型摻質濃度大於第二半導體層 16 中的 P 型摻質濃度。另外，第一接觸插塞 50 具有一最大深度 D_1 ，源極 34 具有一最大深度 D_2 ，最大深度 D_1 大於最大深度 D_2 。一汲極導線 58 設於基底 12 相對於第一半導體層 14 一側之表面。另外，一 P^+ 摻雜區 47 位在主動區域 1000 內第二半導體層 16 表面及第一接觸插塞 50 週邊，但此 P^+ 摻雜區 47 的深度較源極 34 淺。

本發明之低寄生電晶體導通之功率元件，另包含一週邊閘極結構，例如一凹入式閘極結 28 構埋入於第二半導體層 16 中，凹入式閘極結構 28 包含一溝渠 20，一閘極氧化層 22 位於溝渠 20 側壁以

及一閘極材料層 24 填入溝渠中。一絕緣層 32 可選擇性地設於閘極材料層 24 上，一介電層 40 可覆蓋於週邊區域 2000 內的凹入式閘極結構 28，一第二接觸插塞 52 貫穿介電層 40 和絕緣層 32 以電連接該閘極材料層 34。介電層 40 上可設置一閘極導線 56 接觸第二接觸插塞 52。另外，凹入式閘極結構 28 兩側可選擇性地設置源極 38。

第 13 圖繪示的是根據本發明另一較佳實施例所繪示的一種低寄生電晶體導通之功率元件，第 13 圖和第 10 圖的功率元件主要的相異之處在於：第 13 圖中，位於週邊區域內的閘極結構為水平式閘極結構，其它元件位置和特性，大致與第 10 圖中所描述的功率元件相同，因此，下文僅針對水平式閘極結構作說明，其它元件之描述，請參閱第 10 圖之實施例。

如第 13 圖所示，週邊閘極結構可以為一水平式閘極結構 128，水平式閘極結構 128 設於第二半導體層 16 上，水平式閘極結構包含一閘極氧化層 122 和一閘極材料層 124，同樣的，介電層 40 覆蓋平式閘極結構，第二接觸插塞 52 貫穿介電層 40 並且接觸閘極材料層 124，另外，閘極導線 56 覆蓋於介電層 40 上，且電連接第二接觸插塞 52。

本發明利用高濃度 P 型摻雜區防止耐壓時空乏區接觸到源極，，如此可有效提升功率元件的崩潰電壓。另外，由高濃度 P 型摻雜區和源極皆是電連接源極導線，因此高濃度 P 型摻雜區和源極會形成等電位，如此可降低功率元件中的寄生電晶體導通之機率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍

所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖至第 10 圖繪示的是本發明第一較佳實施例之低寄生電晶體導通之功率元件的製作方法示意圖。

第 11 圖至第 12 圖繪示本發明第二較佳實施例之低寄生電晶體導通之功率元件的的製作方法示意圖。

第 13 圖繪示的是根據本發明另一較佳實施例所繪示的一種低寄生電晶體導通之功率元件。

【主要元件符號說明】

10	基材	12	基底
14	第一半導體層	16	第二半導體層
18、20	溝渠	22、122	閘極氧化層
24、124	閘極材料層	26、28	凹入式閘極結構
27、29	溝渠式電晶體	30	重摻雜區
32	絕緣層	34、38	源極
40	介電層	42、142、 242	圖案化光阻
44	第一接觸洞	46	第二接觸洞
47	P ⁺ 摻雜區	48	重摻雜區
50	第一接觸插塞	52	第二接觸插塞
54	源極導線	56	閘極導線

58	汲極導線	100	低寄生電晶體導通 之功率元件
128	水平式閘極結構	1000	主動區域
2000	週邊區域		

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99143440

H01L 27/088 (2006.01)

※ 申請日：

※IPC 分類：

H01L 29/78 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/8234 (2006.01)

H01L 21/336 (2006.01)

降低寄生電晶體導通之功率元件及其製作方法/POWER DEVICE WITH LOW PARASTITIC TRANSISTOR AND METHOD OF MAKING THE SAME

二、中文發明摘要：

本發明之低寄生電晶體導通之功率元件，包含溝渠式電晶體和一設置在溝渠電晶體之一源極之一側的重摻雜區，重摻雜區的導電型態和源極相異，另外，一接觸插塞接觸並且電連結重摻雜區，一源極導線覆蓋溝渠電晶體之源極以及前述之接觸插塞，使得源極和重摻雜區形成等電位。

三、英文發明摘要：

The power device with low parasitic transistor comprises a recessed transistor and a heavily doped region at a side of a source region of the recessed transistor. The conductive type of the heavily doped region is different from that of the source region. Besides, a contact plug contacts the heavily doped region and connects the heavily doped region electrically. A source wire covers and contacts the source region and the contact plug to make the source region and the heavily doped region have the same electrical potential.

七、申請專利範圍：

1. 一種低寄生電晶體導通之功率元件，包含：

一基材包含一基底、一第一半導體層和一第二半導體層依序覆蓋於該基底上，該基材劃分為一主動區域和一週邊區域；

一溝渠式電晶體位於該基材的該主動區域中，該溝渠式電晶體包含：

一第一凹入式閘極結構埋入於該第二半導體層並且延伸至該第一半導體層；以及

一源極位於該第一凹入式閘極結構之二側，其中該第一半導體層作為該溝渠式電晶體之一汲極；

一第一重摻雜區位於該主動區域中的該第二半導體層，並且在該源極之一側，其中該第一重摻雜區之導電型態和該第二半導體層相同；

一第一接觸插塞位於該第二半導體層中，且該接觸插塞之底部接觸該第一重摻雜區；以及

一源極導線接觸該主動區域上的該源極和該第一接觸插塞之頂部。

2. 如請求項 1 所述之低寄生電晶體導通之功率元件，其中該第一半導體層具有一第一導電型態，該第二半導體層具有一第二導電型態。

3. 如請求項 2 所述之低寄生電晶體導通之功率元件，其中該第一導電型態為 N 型，該第二導電型態為 P 型。

4. 如請求項 3 所述之低寄生電晶體導通之功率元件，其中該第一重摻雜區中的 P 型摻質濃度大於該第二半導體層中的 P 型摻質濃度。
5. 如請求項 1 所述之低寄生電晶體導通之功率元件，其中該源極之最大深度小於該接觸插塞的最大深度。
6. 如請求項 1 所述之低寄生電晶體導通之功率元件，另包含：
 - 一週邊閘極結構位於該週邊區域內；
 - 一介電層覆蓋於該週邊區域內的週邊閘極結構上；
 - 一第二接觸插塞貫穿該介電層並且電連接該週邊閘極結構；以及
 - 一閘極導線覆蓋該介電層並且接觸該第二接觸插塞。
7. 如請求項 6 所述之低寄生電晶體導通之功率元件，其中該週邊閘極結構包含一第二凹入式閘極結構，該第二凹入式閘極結構埋入於該第二半導體層中。
8. 如請求項 7 所述之低寄生電晶體導通之功率元件，另包含一第二重摻雜區位於該第二凹入式閘極結構之二側。
9. 如請求項 6 所述之低寄生電晶體導通之功率元件，其中該週邊閘極結構包含一水平式閘極結構，該水平式閘極結構位於該第二半導體層上。

10. 如請求項 1 所述之低寄生電晶體導通之功率元件，另包含：

一汲極導線位於該基底相對於該第一半導體層一側之表面。

11. 如請求項 1 所述之低寄生電晶體導通之功率元件，其中該第一接觸插塞不接觸該源極。

12. 一種低寄生電晶體導通之功率元件的製作方法，包含：

提供一基材包含一基底、一第一半導體層和一第二半導體層依序覆蓋於該基底上，至少一溝渠位於該第一半導體層和該第二半導體層中，一閘極氧化層位於該溝渠之側壁以及該第二半導體層之上表面，一閘極材料層位於該溝渠中，該閘極材料層之上表面較該第二半導體層之上表面低；

進行一第一離子佈植製程，以於該第二半導體層中形成一第一重摻雜區，該第一重摻雜區鄰接該溝渠之部分側壁和鄰接位於該第二半導體層之上表面的該閘極氧化層；

全面形成一第一絕緣層於該第二半導體層上，並填入該溝渠中；
進行一平坦化製程，移除部分位於該第二半導體上的第一重摻雜區和部分之該第一絕緣層，直到平坦化後的該第二半導體層之上表面比位於該溝渠中的該第一絕緣層之上表面低，且使得位於該溝渠旁之該第一重摻雜區形成至少一源極；

形成一第一接觸洞於該源極一側的該第二半導體層中；

進行一第二離子佈植製程，以於該第一接觸洞之底部週圍的該第二半導體層中形成一第二重摻雜區，其中該第二重摻雜區之導電型態與該第二半導體層相同；
形成一第一接觸插塞於該第一接觸洞並且接觸該第二重摻雜區；以及
形成一源極導線覆蓋於該接觸插塞以及該源極。

13. 如請求項 12 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該平坦化製程包含：

化學機械研磨移除位於該第二半導體層之上表面上的該第一絕緣層以及該閘極氧化層，使該第一重摻雜區之上表面與研磨後位於該溝渠中的該第一絕緣層之上表面切齊；以及
回蝕刻該第二半導體層，去除位於該第二半導體層之上表面的之該第一重摻雜區，以使回蝕刻後的該第二半導體層之上表面比位於溝渠中且研磨後的該第一絕緣層之上表面低。

14. 如請求項 12 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第一半導體層具有一第一導電型態，該第二半導體層具有一第二導電型態。

15. 如請求項 14 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第一導電型態為 N 型，該第二導電型態為 P 型。

16. 如請求項 14 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第二重摻雜區之第二導電型態之摻質濃度大於該第二半導體層之第二導電型態之摻質濃度。
17. 如請求項 12 所述之一種低寄生電晶體導通之功率元件的製作方法，其中第一離子佈植製程為一斜向離子佈植製程。
18. 一種低寄生電晶體導通之功率元件的製作方法，包含：
提供一基材包含一基底、一第一半導體層和一第二半導體層依序覆蓋於該基底上，該基材劃分為一主動區域和一週邊區域，至少二溝渠分別位於該主動區域和該週邊區域內的該第一半導體層和該第二半導體層中，一閘極氧化層位於各該溝渠之側壁以及該第二半導體層之上表面，一閘極材料層填入各該溝渠中，該閘極材料層之上表面較該第二半導體層之上表面低；
進行一第一離子佈植製程，以於該第二半導體層中形成一第一重摻雜區，該第一重摻雜區鄰接各該溝渠之部分側壁和鄰接位於該第二半導體層之上表面的該閘極氧化層；
於該第二半導體層上全面形成一第一絕緣層，並填入各該溝渠中；
進行一平坦化製程，移除部分之該第一絕緣層、閘極氧化層、部分之該第一重摻雜區和部分之該第二半導體層，直到平坦化後的該第二半導體層之上表面比位於各該溝渠中之該

第一絕緣層之上表面低，且使得位於各該溝渠旁之該第一重摻雜區形成至少一源極；

形成一介電層、一第一接觸洞和一第二接觸洞，該介電層覆蓋至少部分之該第二半導體層，該第一接觸洞位於該源極一側的該第二半導體層，該第二接觸洞位於該週邊區域內的該介電層、該第一絕緣層和該閘極材料層中；

進行一第二離子佈植製程，以於該第一接觸洞之底部週圍的該第二半導體層中形成一第二重摻雜區，其中該第二重摻雜區之導電型態與該第二半導體層相同；

形成一第一接觸插塞於該第一接觸洞並且接觸該第二重摻雜區；

形成一第二接觸插塞於該第二接觸洞並且接觸該閘極材料層；
以及

形成一源極導線與一閘極導線，該源極導線覆蓋該第一接觸插塞以及該源極，該閘極導線覆蓋該第二接觸插塞和該圖案化介電層。

19. 如請求項 18 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第一半導體層具有一第一導電型態，該第二半導體層具有一第二導電型態。

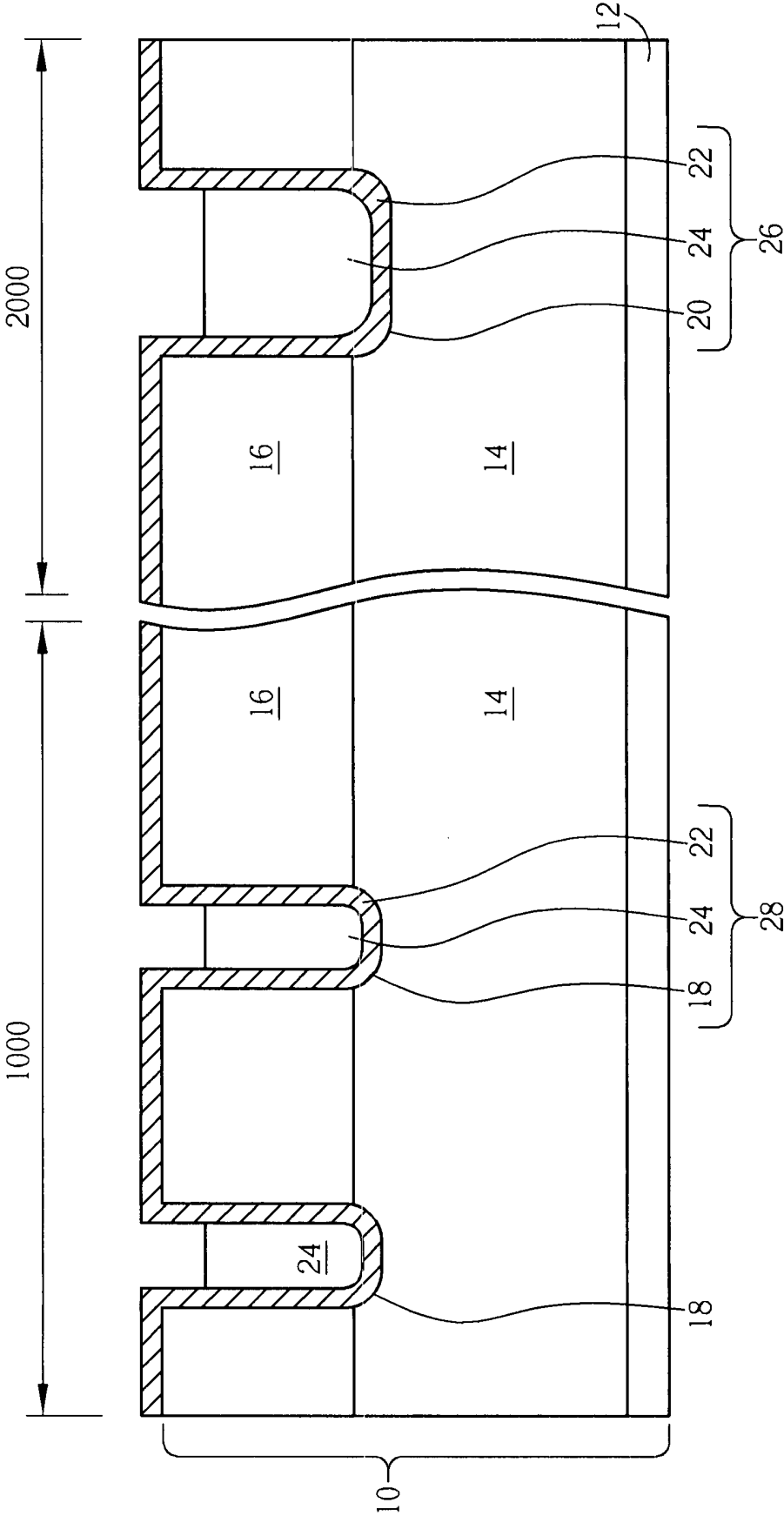
20. 如請求項 19 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第一導電型態為 N 型，該第二導電型態為 P 型。

21. 如請求項 19 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第二重摻雜區之第二導電型態之摻質濃度大於該第二半導體層之第二導電型態之摻質濃度。

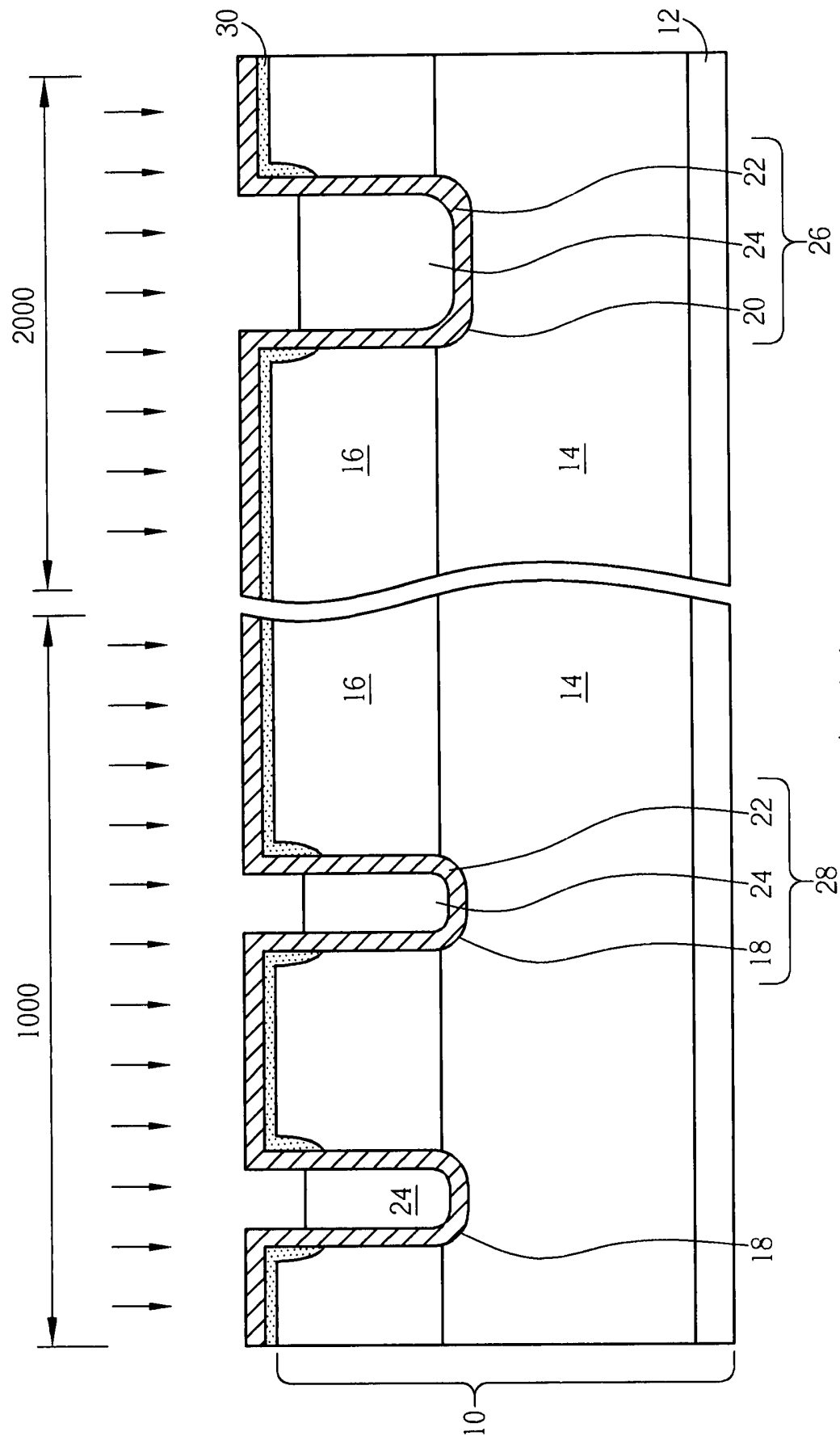
八、圖式：

21. 如請求項 19 所述之一種低寄生電晶體導通之功率元件的製作方法，其中該第二重摻雜區之第二導電型態之摻質濃度大於該第二半導體層之第二導電型態之摻質濃度。

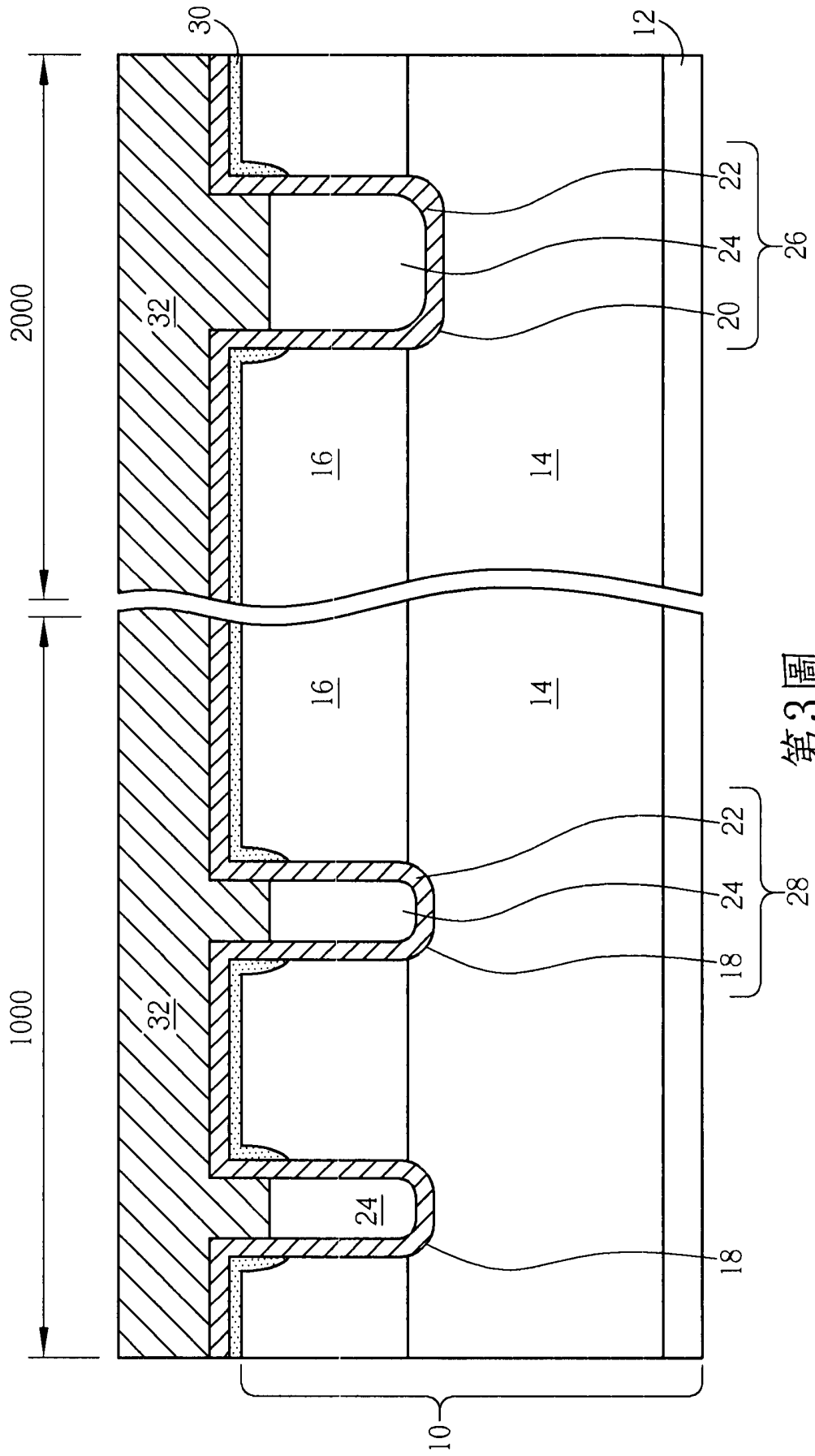
八、圖式：



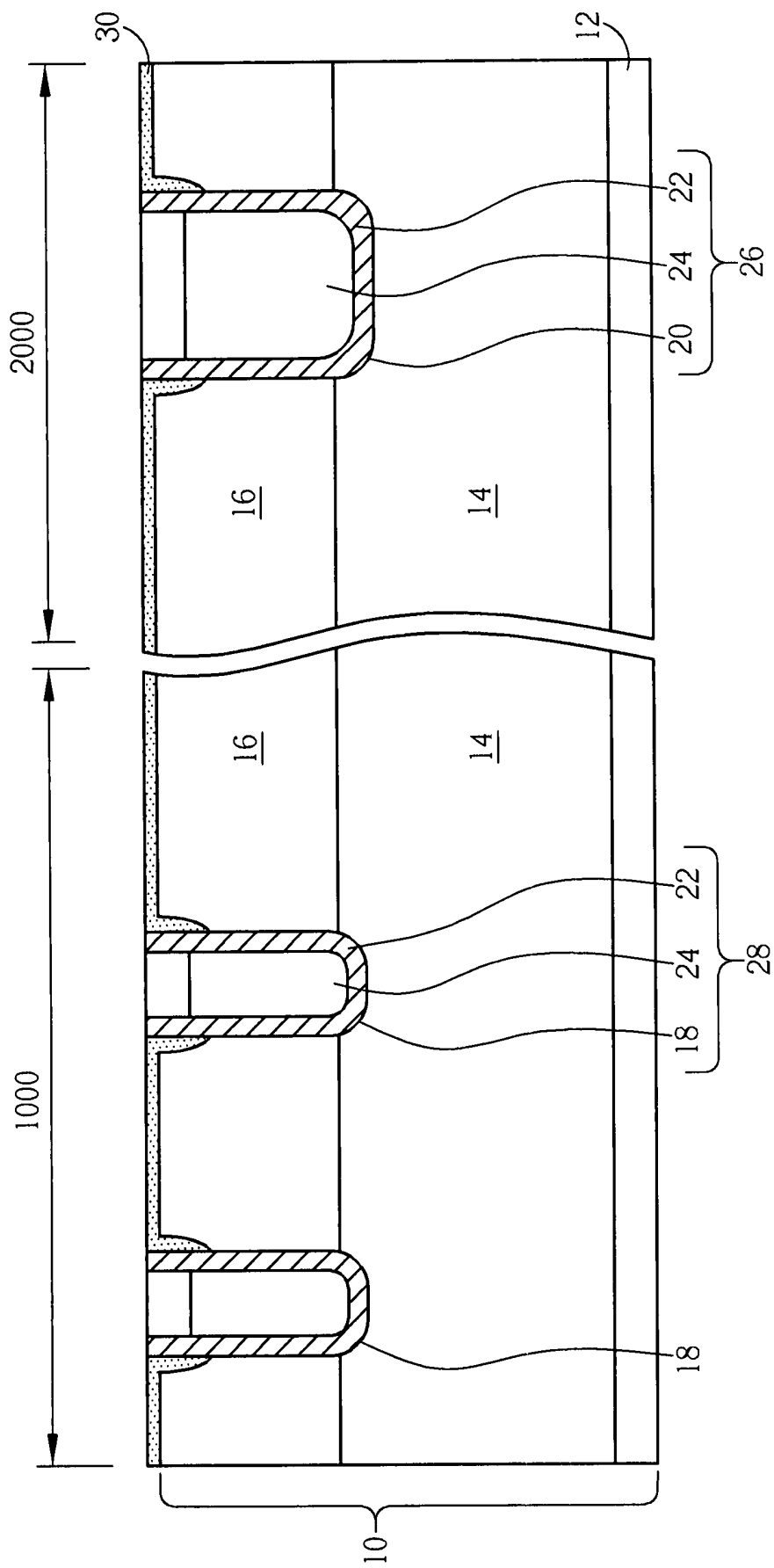
第1圖



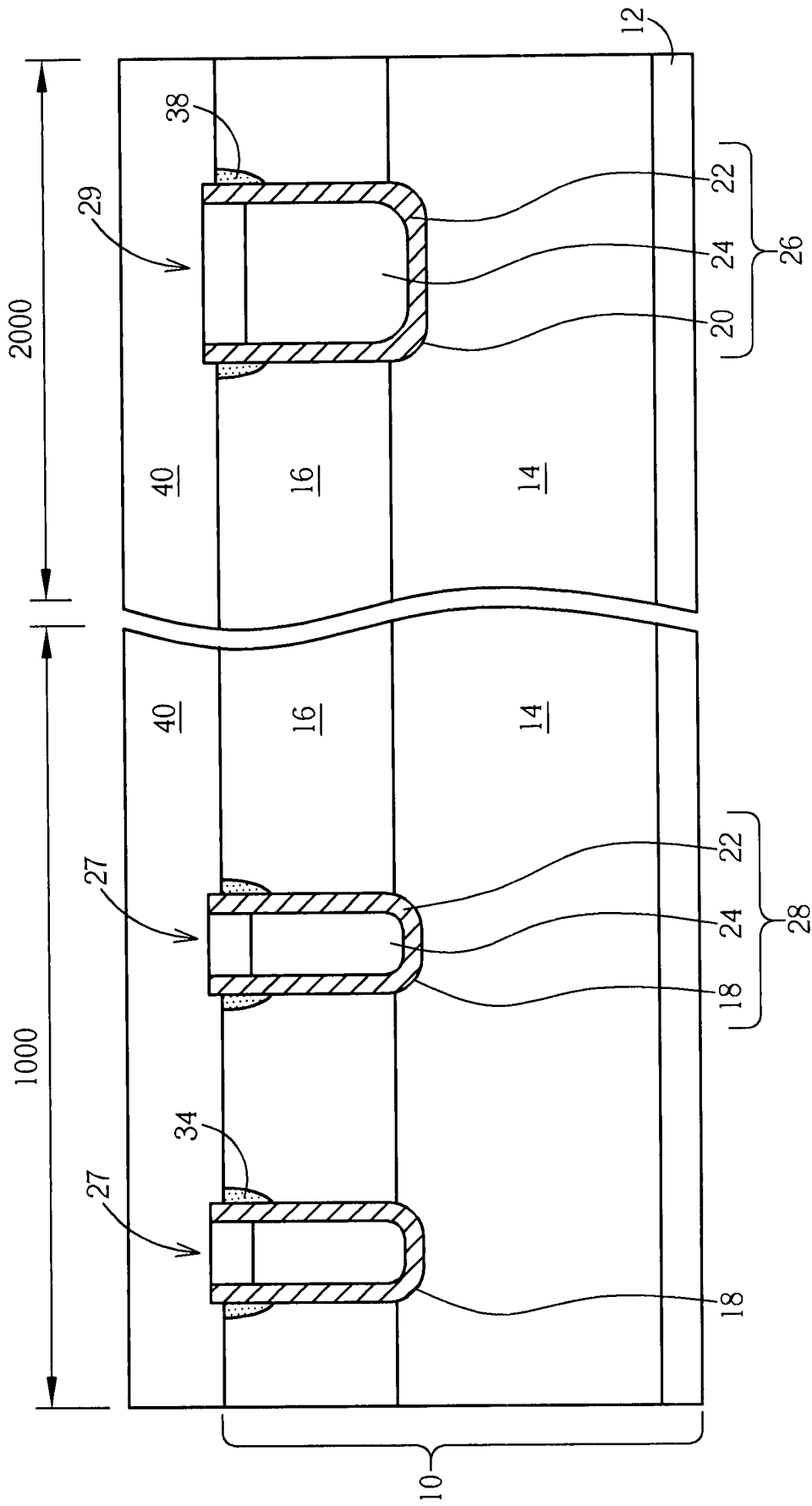
第2圖



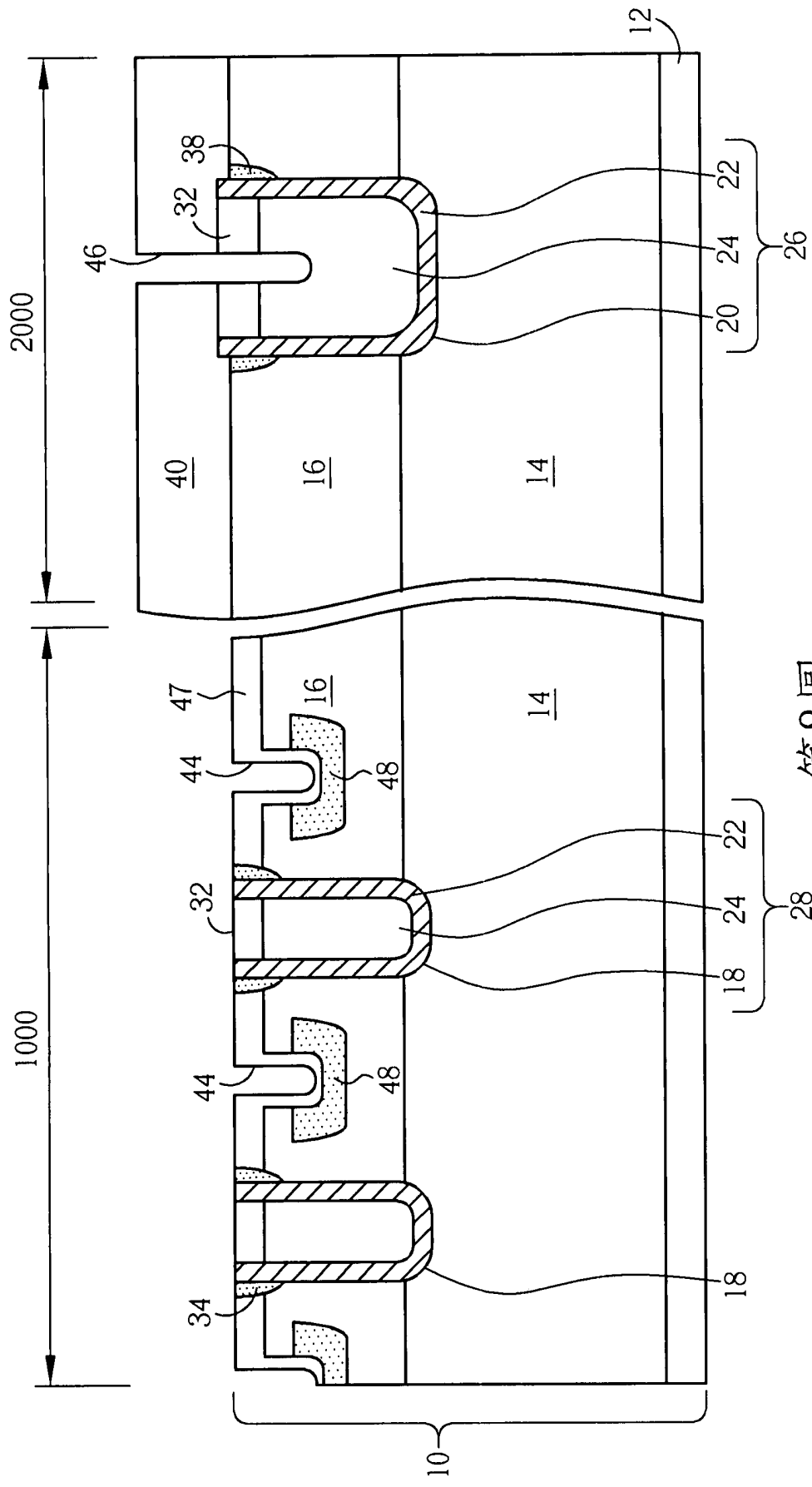
第3圖



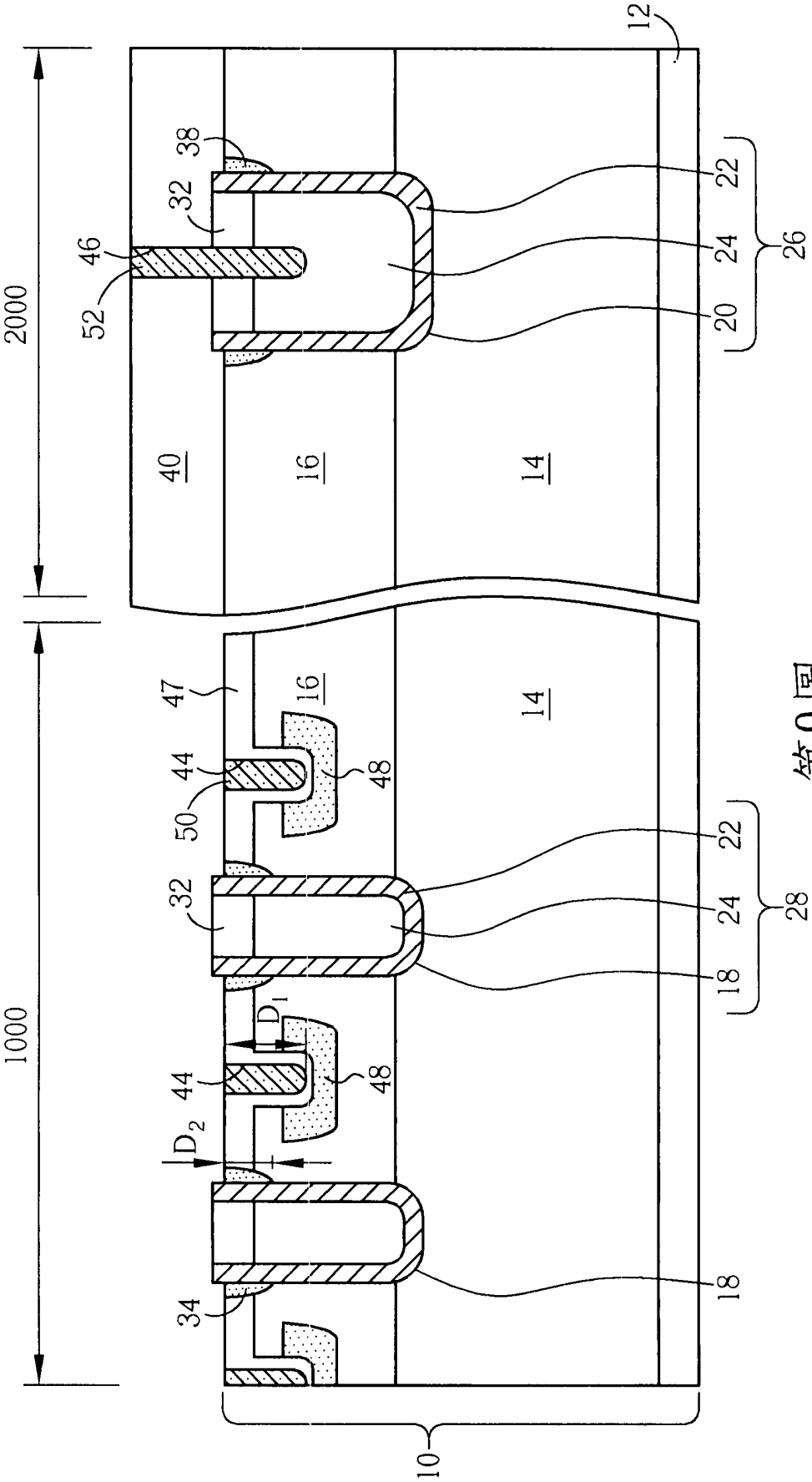
第4圖



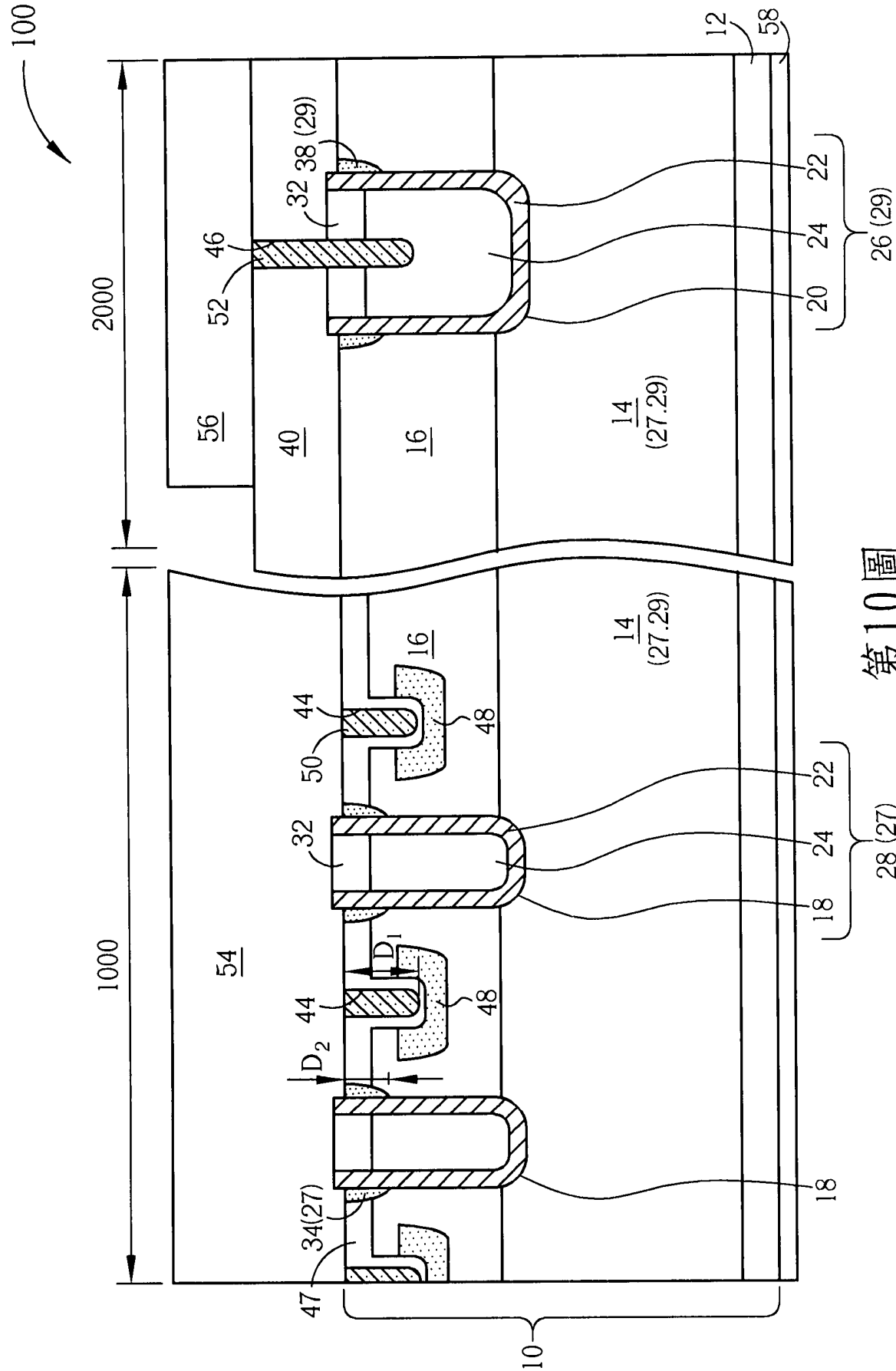
第6圖



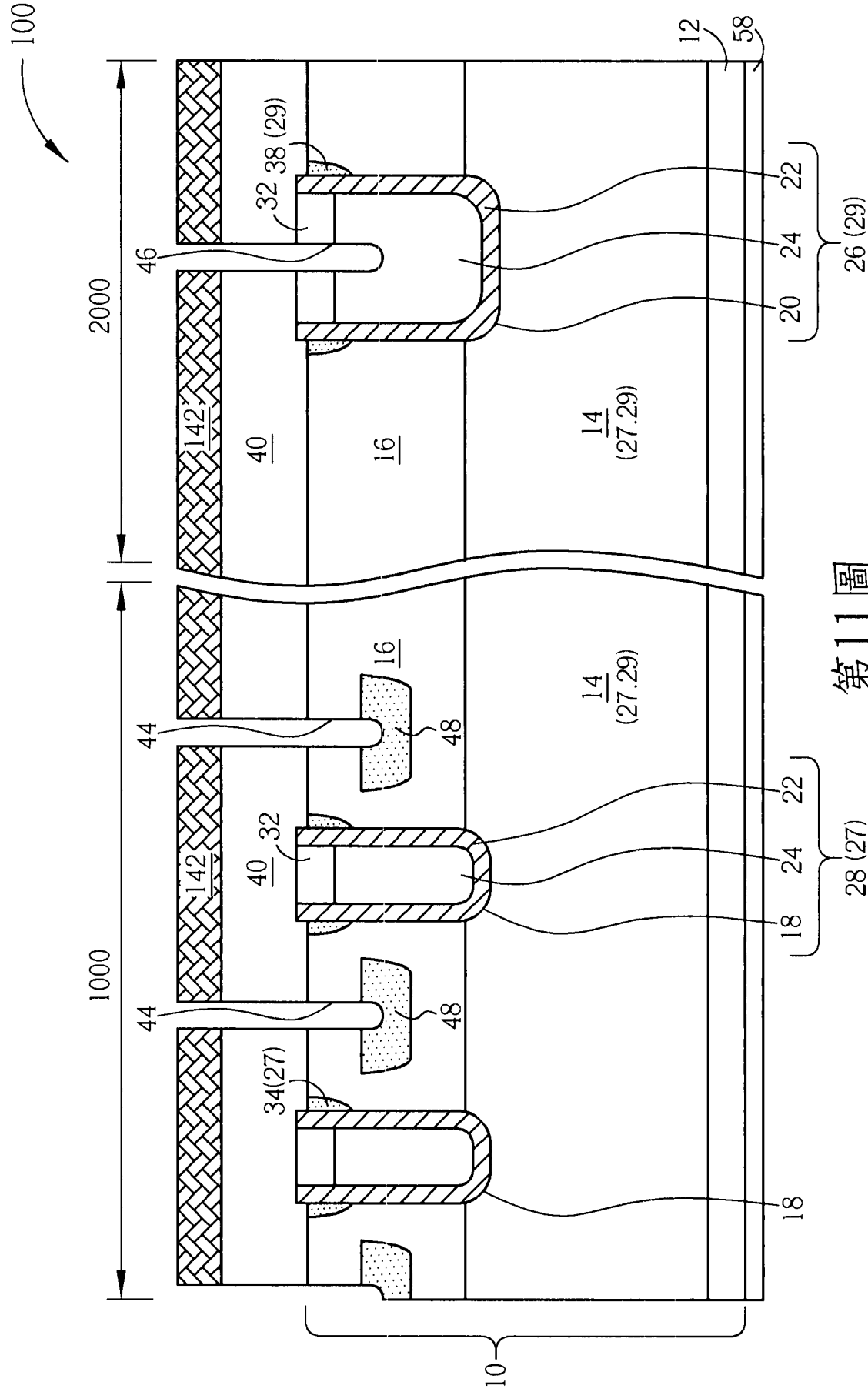
第8圖



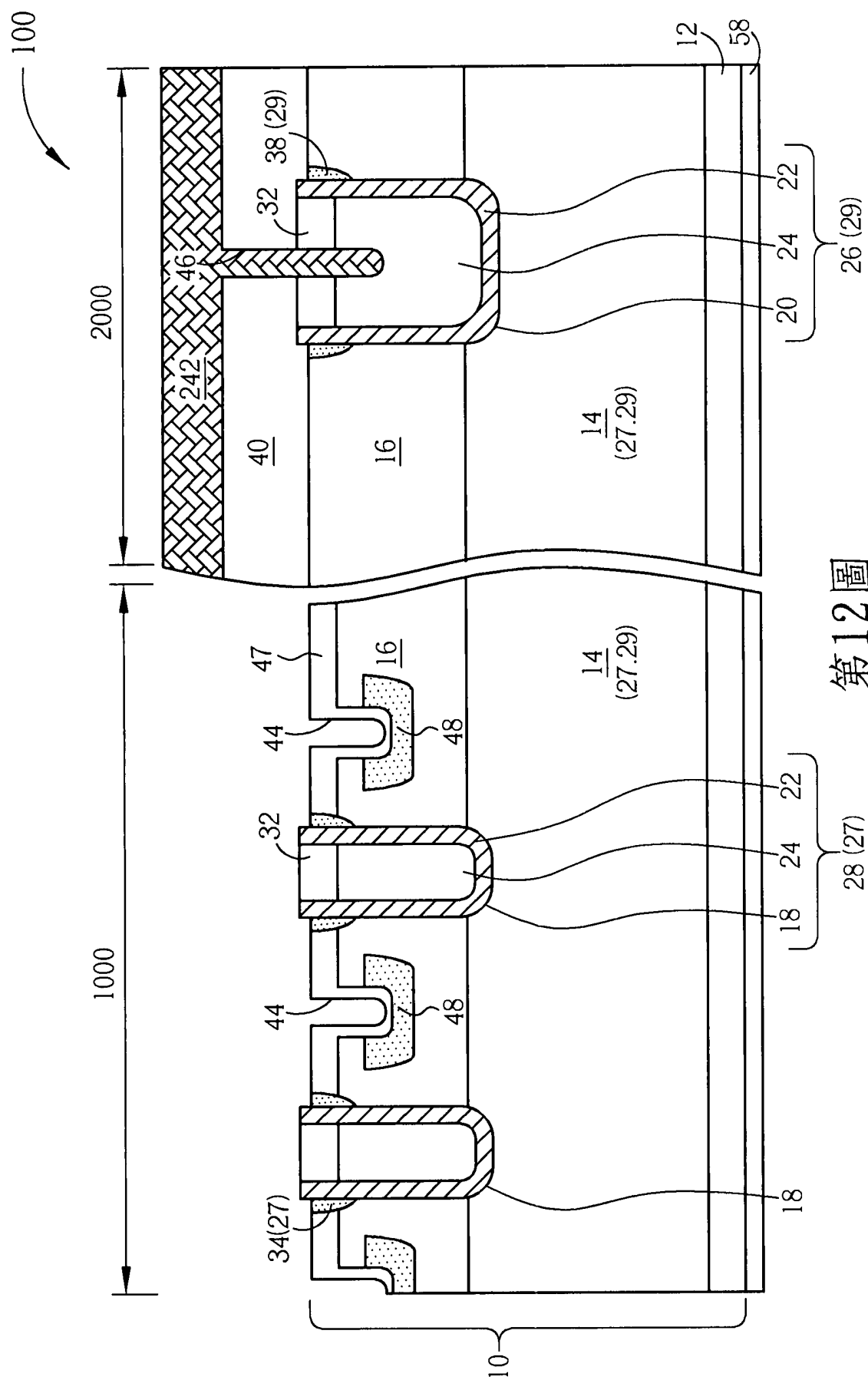
第9圖



第10圖



第11圖



第12圖

四、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

10	基材	12	基底
14	第一半導體層	16	第二半導體層
18、20	溝渠	22	閘極氧化層
24	閘極材料層	26、28	凹入式閘極結構
27、29	溝渠式電晶體	32	絕緣層
34、38	源極	40	介電層
44	第一接觸洞	46	第二接觸洞
47	P ⁺ 摻雜區	48	重摻雜區
50	第一接觸插塞	52	第二接觸插塞
54	源極導線	56	閘極導線
58	汲極導線	100	低寄生電晶體導通 之功率元件
1000	主動區域	2000	週邊區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無