(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/28

(45) 공고일자 2000년01월15일
(11) 등록번호 10-0237095
(24) 등록일자 1999년10월06일

(21) 출원번호 10-1992-0002630
(22) 출원일자 1992년02월21일
(65) 공개번호 특1993-0018657
(43) 공개일자 1993년09월22일

(30) 우선권주장 9100334 1991년02월26일 네덜란드(NL)
(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이. 요트.게.아. 롤페즈
네델란드왕국 아인드호펜 그로네보드스베그 1
(72) 발명자 요한 필리페 빌리암 두샤뜨
네델란드왕국 아인드호펜 그로네보드세베그 1
알렉 헤럴드 리더
네델란드왕국 아인드호펜 그로네보드세베그 1
게르리트 얀 반데르 콜크
네델란드왕국 아인드호펜 그로네보드세베그 1
(74) 대리인 이병호

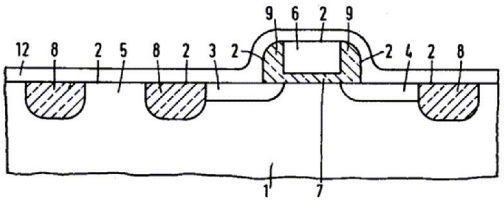
심사관 : 권인희

(54) 반도체 소자의 제조방법

요약

반도체 소자를 제조하는 방법에 있어서, Co 또는 Ni을 포함하는 층(12)이 절연물질의 영역(8, 9)과 실리콘 영역(3, 4, 5, 6)에 접하고 있는 반도체 몸체의 표면위에 침착되고, 그런후 반도체 몸체(1)가 열처리 동안 어떤 온도로 가열되는데, 그 온도에서 Co 또는 Ni은 절연물질(8, 9)과는 상관없이 실리콘(3, 4, 5, 6)과 금속 규화물을 형성한다. 본 발명에 따라, Co 또는 Ni을 포함하는 층(12)의 표면위에 Ti, Zr, Ta, Mo, Nb, Hf 및 W를 구비라는 그룹에서의 금속을 함께하는 이 금속의 비결정질 합금의 층이 퇴적된다. 이와같은 방법으로 해서 금속 규화물은 실리콘 영역(3, 4, 5, 6)위에서만이 형성되고 바로 그들에 인접하고 있는 절연물질의 영역위에서는 형성되지 않는 바, 다시 말해서, 본 방법은 자기-정돈 금속 규화물을 낳는다.

대표도



명세서

[발명의 명칭]

반도체 소자의 제조방법

[도면의 간단한 설명]

제1도 및 제2도는 본 발명에 따른 방법에 의해 만들어진 반도체 소자의 제조에서의 2단계.

제3도는 절연 물질의 영역위로 과도 성장하는 금속 규화물을 검파하는 시험소자.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체 몸체 2 : 표면

3, 4, 5, 6 : 실리콘 영역 8, 9 : 절연물질

[발명의 상세한 설명]

본 발명은 Co 또는 Ni을 구비하는 층을 실리콘 영역과 절연 물질의 영역으로 둘러싸인 반도체 몸체의 표면에 침착시키고, 그후 반도체 몸체를 열처리를 통해 Co 또는 Ni이 절연물질이 아닌 실리콘으로 금속 규화물을 형성할 수 있는 온도로 가열시키는 반도체 소자의 제조방법에 관한 것이다.

그 실리콘 영역은 마치 전계 효과 트랜지스터의 게이트 전극이나 소스와 드레인 지대와 같이 다결정 실리콘 및 단결정의 영역이 될 수 있다. 절연물질의 영역은 게이트 전극의 측면 절연이나 또는 전기장 효과 트랜지스터를 서로간에 절연시키기 위해 사용되어 질 수 있다. 그것들은 실리콘 산화물, 질화물 또는 산질화물로 만들어질 수 있다.

열처리후, 잔존하는 어떤 Co 또는 Ni도 절연물질과 형성된 규화물에 관련하여 선택적으로 에칭되어질 수 있다. 그러면 그 규화물은 실리콘위의 상부층으로 남게된다. 따라서, 상기 실리콘에는 자기-기록(self-registering) 방식으로 전도성이 양호한 상부층이 제공되게 된다.

Co와 Ni 규화물은 실제로 실리콘과 동일의 치수로 동일한 결정 구조를 가질 수 있다는 잇점을 가지며, 그래서 금속 규화물의 형성시에 단결정의 실리콘에서 기계적 응력은 거의 발생하지 않는다. 또한 이 금속 규화물은 실리콘 산화물을 부식시킬 수 있는 부식제에 매우 강한 저항력을 가진다. 그 결과로 이 금속 규화물의 상부층을 가지는 실리콘 영역은 이 영역들의 국부 접촉을 위한 접촉 홀이 있는 실리콘 산화물의 절연층을 쉽게 갖출 수 있다.

앞서 언급된 종류의 방법은, R.D.J. Verhaar 등의 Appl. Surf. Sci., 38(1989), pp. 458-466 에서 “초미크론 CMOS 처리에 있어 자기-정돈 $CoSi_2$와 TiW(N) 국부적 상호 접속”에 공지되어 있는데, 이에 따르면 Co 층은 단결정 실리콘, 다결정 실리콘 및 실리콘 산화물의 영역에 접하고 있는 표면을 가지고 있는 반도체 몸체위에 제공되어진다. 반도체 몸체에는 Co 층이 제공된후, 몇초안에 500 에서 900℃ 사이의 온도가 가해지고, 이 온도에서 30초 동안 유지된다. 그때 Co가 표면으로부터 부식되어지고, 700℃에서 두번째의 열처리가 30초 동안 수행된다.

상기 공지된 공정에 있어, “과도성장”의 발생이 없이 $CoSi_2$의 층을 제공하는 것은 실제 불가능한 것으로 밝혀진 바, 과도성장이라는 것은 금속 규화물의 성장이 실리콘 영역에 제한되는 것이 아니라 성장이 또한 실리콘 영역의 바로 다음에 위치한 실리콘 산화물 영역까지 확장된 것을 말한다. 그러한 과도성장은 반도체 소자에서 단락회로 상태를 야기할 수도 있다.

본 발명은 그 목적에 있어 특히 반도체 몸체의 표면에 있는 실리콘 영역이 Co 또는 Ni 규화물을 제공받을 수 있으며, 상기 과도성장을 실제로 피할 수 있는 방법을 제공하는 것이다.

이러한 목적을 이루기 위해, 본 발명에 따른 방법은 Co-또는 Ni-을 포함하는 층으로서 이 금속과 Ti, Zr, Ta, Mo, Nb, Hf와 W로 구성되는 그룹으로부터의 한 금속으로 된 비결정질 합금을 표면에 침착시키는 것과, 그리고 열처리동안 상기 비결정질 합금의 층이 비결정질로 유지되도록 온도를 알맞게 조정하는 것은 특징으로 한다.

이것에 의해서 상기 과도성장을 실제로 피할 수 있다. 그 짐작되는 원인은 Co 또는 Ni이 비결정질의 층에서 제공된다는 것이다. 기술된 알고 있는 방법에 따라, 그 금속은 오직 Co를 구비하고 있는 층에서 제공받는다. 그러한 층은 결정체이다. 만일 이층이 가열을 통해 반도체 몸체의 실리콘 영역과의 반응으로 만들어진다면, Si 원자가 열처리동안 결정경계를 따라 실리콘 영역에서 금속층으로 확산되어 거기에 규산염이 형성될 수 있기 때문에 과도성장이 있을 가능성이 있다. 반면에, 비결정질층은 결정 경계를 갖고 있지 않아서 반도체 영역에서 Co 또는 Ni을 구비하고 있는 층으로 실리콘 원자가 확산되는 것이 사실상 불가능하다. 본 발명에 따른 방법으로 사용된 비결정질 합금은 열처리동안 Co 또는 Ni을 산출하고 비결정질을 유지하여 열처리중내내 과도성장을 피하게 된다.

본 발명에 따른 방법은 Ti, Zr과 W 그룹의 금속과 Co의 비결정질 합금의 층이 표면에 침착되는 것으로 특징지워진다. Co 규화물은 Ni 규화물보다 아주 적은 전기 저항을(18-50 micro-ohms cm, 개별적으로) 가져서, 바라는 스퀘어 저항(square resistance)을 가지는 금속 규화물의 층을 얻기 위해 Ni-규화물층에 비교하여 얇은 Co 규화물층이 사용될 필요가 있다. Ti, Zr, W는 반도체 생산 과정에서 이 금속들의 쉽게 얻을 수 있는 유용성때문에 그 층을 위한 적당한 재료이며, 실재 이 금속들은 만족할만한 결과를 준다.

Co와 Ni 규화물의 형성이 대략 300℃ 이상에서 일어나긴 하지만, 열처리동안에 그 온도는 350과 600℃ 사이에서 적절히 선택될 수 있다. 600℃ 이상에서 Ti, Zr, Ta, Mo, Nb, Hf와 W를 가진 그룹의 금속의 규화물 형성이 일어난다. 그러한 형성은 실례로, 금속 규화물에서 발생하는 기계적 응력때문에 바람직하지 못하다. 350℃ - 600℃ 사이의 온도는 Co 또는 Ni과 실리콘 사이에 만족할만한 빠른 반응을 제공하며, 합금에서의 다른 금속과의 규화물의 형성은 일어나지 않는다.

Co 또는 Ni을 구비하는 층이 열처리동안 비결정질을 유지한다는 것은 중요한 것이다. 비결정질층은 결정화시키는 어떤 온도에서 결정화될 수도 있다. 이 온도는 그 그룹으로 된 금속에 대한 Co 또는 Ni의 비에 따라 결정된다. Co 또는 Ni은 바람직한 금속 규화물을 형성하기 위해 실리콘과 반응한다. Ti, Zr 또는 Ni는 합금을 비결정질로 만드는데 기여한다. 적절히, 약 50 내지 75%의 Co가 포함된 합금을 퇴적되게 한다. Co와 W의 경우에 있어서, 약 50 내지 75%의 Co가 포함된 합금의 결정화 온도는 족히 600℃ 이상이어서, 그 방법의 이행중에는 Co가 확산되더라도 결정화가 일어나지 않을 것이다.

매우 작은 세부 치수를 가리는 반도체 소자(VLSI)에 있어서, 도체는 절연 물질의 영역위에 직접 놓일 수 있는 잇점이 있다. 본 발명에 따른 방법에 있어서 실리콘의 금속 규화물을 형성하지 않은 비결정 합금층의 잔존하는 부분은 열처리후에 적절히 패턴화되어진다. 전도하는 비결정질 물질은 이 금속 규화물의 형성후에 절연 물질의 위나 형성된 금속 규화물위에 여전히 존재한다. 이어서, 도체 트랙이 형성되도록 하기 위해, 사진 석판술(photolitho graphy), 에칭(etching)등과 같이 일상적인 기술 수법으로 정확한 패턴화가 행해진다. 도체 트랙의 비교적 낮은 전기 저항을 얻기 위해 그 층의 잔존하는 부분은 이 부분이

패턴화된 후 적절히 질화 되어진다. 질화는 실례로 암모니아(NH_3) 또는 질소(N_2)의 대기(atmosphere) 안에서 장치의 가열에 의해 일어난다. 이렇게 낮은 저항의 도체 트랙은 이미 존재하고, 비결정질 금속을 구비하는 층에 의해 간단한 방법으로 절연물질의 영역위에 형성되어진다.

비결정질 합금의 층은 퇴적하는 동안에 붕소를 제공받게 되도록, 열처리는 질소를 포함하는 대기에서 일어나는 것이 바람직하다. 그 비결정질에서의 붕소 원자들은 열처리동안 실리콘 표면으로 확산되고 P-타입 도핑된 영역을 형성한다. 그 대기에서의 질소는 금속 질화물을 형성하기 위해 Ti, Zr, Ta, Mo, Nb, Hf와 W 그룹에서의 금속과 반응한다. 이 금속 질화물은 금속 규화물위에 층을 형성하여 붕소가 층의 표면을 통해 없어질 수 없게 한다. 이 방법으로 규화물과 P-타입 도핑된 영역이 동시에 자기 기록 수단으로 형성되어질 수 있다.

제1도 및 제2도는 반도체 소자의 단면도를 보여주며, 본 발명에 따른 방법에 의해 그 제조가 설명되어진다. 그 반도체 소자는 표면(2)을 갖는 반도체 몸체(1)를 구비하고 있으며, 상기 표면(2)은 실리콘 영역(3, 4, 5, 6)과 절연 물질의 영역(8, 9)(제1도 참고)으로 둘러싸여 있다. 영역(3, 4, 5)은 단결정의 실리콘으로 되어 있다. 이 예에서 영역(3, 4)은 전계 효과 트랜지스터의 드래인과 소스(drain and source) 지대를 형성한다. 반도체 몸체(1)는 이를테면 영역(5)과 접촉되어 있다. 실리콘 영역(6)은 다결정질의 실리콘으로 되어 있고, 전계 효과 트랜지스터의 게이트 전극을 형성하며, 소스와 드래인(3 과 4) 지역사이에 위치한 반도체 몸체(1)의 부분으로부터 게이트 산화물(7)의 층에 의해 절연되어진다. 이 예에서, 절연물질의 영역(8, 9)은 실리콘 산화물로 형성되지만, 대안적으로 실리콘 규화물, 실리콘 산질화물, 또는 알루미늄 산화물로도 형성시킬 수 있다. 절연영역(8)은 영역(5)의 소스와 드래인 지대(3, 4)를 절연시키데, 필드 산화물 영역으로서 기능을 한다. 절연영역(9)은 측면 방향에서 게이트 전극(6)을 소스와 드래인 지대(3, 4)로부터 절연시킨다.

Co 또는 Ni를 구비하는 층(12)을 반도체 몸체(1)의 표면(2)에 침착시키고, 그후 그 반도체 몸체(1)를 열처리를 통해 Co 또는 Ni이 그 실리콘(3, 4, 5, 6)과 함께 금속 규화물(10, 20, 30, 40)을 형성하지만은 절연물질(8, 9)과는 금속 규화물을 형성하지 않게되는 온도로 가열시키는데, 상기 온도는 또한 열처리시 비결정질 합금의 층이 열처리동안 비결정질로 유지되도록 알맞게 조정한다. 열처리후 잔존하는 Co 또는 Ni은 절연물질(8, 9)과 상기 형성된 금속 규화물(10, 20, 30, 40) (제2도 참조)에 관하여 층(12)으로부터 선택적으로 에칭될 수 있다. 이렇게 해서, 금속 규화물(10, 20, 30, 40)은 실리콘(3, 4, 5, 6)위의 상부층으로서 남게된다. 이와같은 식으로 하여, 단결정질 실리콘 영역(3, 4, 5)은 양호하게 접촉되어질 수 있고, 다결정질 영역(6)은 보다 낮은 전기 저항을 나타낸다.

Co와 Ni 규화물은 실질적으로 실리콘과 동일한 치수와 동일한 결정 구조를 가지는 잇점이 있어, 단결정질 실리콘에 있어 금속 규화물의 형성동안 기계적 응력이 거의 발생하지 않는다. 또한, 이 금속 규화물들은 실리콘 산화물이 부식될 수 있는 부식물에 강한 저항력을 가지고 있다. 결과적으로, 금속 규화물 상부층(10, 20, 30, 40)과 실리콘 영역(3, 4, 5, 6)에는 예컨데 알루미늄 층(16)으로 이들 영역을 국부적으로 접촉시키기 위한 접촉홀(16)을 갖는 실리콘 산화물의 절연층(14)이 간단히 제공되게 된다.

본 발명에 따라, Co 또는 Ni로 구성된 층(12)으로 Ti, Zr, Ta, Mo, Nb, Hf, W로 구성된 그룹의 금속과 더불어 Co 또는 Ni로 이루어진 비결정질 합금의 층은 Co 또는 Ni로 구성된 층(12)으로서 표면(2)위에 침착되고, 더우기 열처리동안 비결정질 합금의 층이 비결정질로 유지되도록 온도를 알맞게 조정한다. 소위 과도성장을 뜻하는 것으로, 실리콘 영역(8, 9)에 바로 인접하는 절연물질(8, 9) 영역 일부분에서의 금속 규화물의 형성이 본 발명에 따라 방지된다. 그 추정되는 원인은 Co 또는 Ni이 비결정질 층에 제공되어진다는 것이다. 비결정질층은 결정 경계가 없어, 반도체 영역에서 Co 또는 Ni을 구비하는 층으로 실리콘 원자의 확산이 불가능하고, 그래서 열처리중에 과도성장을 피할 수 있다.

Co, Ni, 그리고 Ti, Zr, Ta, Mo, Nb, Hf, W 그룹의 금속은 스퍼터링 또는 증기 퇴적에 의한 통상의 방법으로 도체의 몸체위에 퇴적될 수 있다. 후자의 경우에 있어서 금속은 전자빔으로 가열되어진다.

본 발명에 따른 방법은 Ti, Zr, W 그룹의 금속과의 Co의 비결정질 합금의 층이 그 표면에 퇴적된다는 점에서 특징지워진다. Co 규화물은 Ni 규화물(18-50 micro-ohms cm, 각각) 보다 낮은 전기 저항을 가지고 있어, 원하는 스퀘어 저항을 가지는 금속 규화물 층을 얻기 위해서 Ni 규화물의 층과 비교하여 보다 적은 두께의 층을 가진 Co 규화물이 사용될 필요가 있다. Ti, Zr, W는 그 층에 있어서 실제 적당한 금속들인데, 이것은 반도체 생산 과정에서 이 금속들의 손쉬운 유용성 때문이며, 이 금속들은 실제 만족할만한 결과를 준다.

반도체 몸체(1)는 비결정질 합금의 열처리동안 350℃ 내지 600℃ 사이의 온도로 가열되는 것이 바람직하다. 350℃ 아래에서 규화물의 형성은 충분히 빠르지 못하므로 오직 얇은 두께의 금속 규화물만이 오랜 공정 시간후에 생산되어지고, 600℃ 이상에서는 Co 또는 Ni 뿐만아니라 Ti, Zr, Ta, Mo, Nb, Hf, W를 구성하는 그룹의 금속까지 실리콘(3, 4)과 반응한다. 그러한 반응은 바람직하지 않은데, 이는 금속 규화물에서 발생할 수 있는 기계적 응력 때문이다. 350℃ 내지 600℃ 사이의 온도는 실리콘 영역(3, 4, 5, 6)과 함께 비결정질 Co 또는 Ni을 구비하는 층(12)의 충분히 빠른 반응을 주며, 상기 그룹의 금속과 규화물의 형성은 발생하지 않는다. 그래서, 그 온도는 열처리동안 350℃ 내지 600℃ 사이에서 취해진다.

열처리동안 Co 또는 Ni을 구비하는 층이 비결정질을 유지하는 것은 중요한 것이다. 그 비결정질 층은 결정화 온도인 어떤 온도에서 결정화될 수도 있다. 비결정질 합금의 결정화 온도는 본 발명에 따른 방법으로 수행되는 열처리 온도 이상에 있다. 그 결정화 온도는 그룹의 금속에 대한 Co 또는 Ni의 비에 따라 결정된다. 이 비는 R. de Reus 등의 Materials Letters에, vol.9, no.12, 1990. 8월, pp. 487-493.

"비결정질 전이-금속 합금의 결정화 온도"에 더욱 자세히 논의되어진다. 가능한 가장 두꺼운 금속 규화물 층을 얻기 위해 가장 많은 Co 또는 Ni을 포함하는 합금이 선택되어지는 것이 바람직하며, 그 결정화 온도는 열처리 온도보다 상당히 위에 있게 된다. 50% 내지 75% 사이의 Co를 구비하는 합금이 퇴적되는 것이 바람직하다. Co의 확산에 따라 그 합금의 Co 물질이 감소했을때도 마찬가지로 이 구성에서 결정화 온도는 600℃ 이상이다. Co 70%와 Ti 30%를 구성하는 합금 $Co_{70}Ti_{30}$ 에서와 CO 50% 내지 90% 사이를 가

진 CoZr에 대해서도 결정화 온도는 역시 600℃를 상회한다.

매우 작은 세밀한 치수를 가진 반도체 소자(VLSI)에 있어서, 실례로 금속 규화물 영역(20 과 40)처럼, 몇몇의 도체 트랙을 전기적으로 상호 연결하는 것이 종종 필요하다. 이들 커넥터 트랙들은 실례로 영역(8)인 절연물질의 영역에 의해 통상 전기적으로 절연되어 있고 물리적으로는 분리되어 있다. 도체 트랙(20 과 40)을 서로 연결하기 위해, 도체 트랙(50)이 절연물질(8)의 영역위에 놓여 있다. 본 발명에 따른 방법에 있어서, 실리콘으로 금속 규화물을 형성하지 않는 비결정질 합금(12)층의 잔존하는 부분이 열처리후에 패턴화되는 것이 바람직하다. 금속 규화물(10, 20, 30 및 40)의 형성후, 비결정질 홈(12)은 절연물질의 영역(8, 9)위와 형성된 금속 규화물위에 여전히 존재한다. 비결정질 층(12)은 도체 트랙(50)을 형성키 위해 사진 석판술이나 에칭 등의 통상 기술의 수단으로 패턴화 되어진다. 도체 트랙(50)의 비교적 낮은 전기 저항을 얻기 위해, 이 부분은 그 층의 잔존하는 부분이 패턴화된 후에 질화물이 되는 것이 바람직하다. 이 질화는 실례로 NH_3 또는 N_2의 대기에서 그 소자를 가열하는 것에 의해 일어난다. 이렇게 저-저항 도체 트랙(50)은 이미 존재하는 비결정질 금속을 구비하는 층(12)의 수단에 의한 간단한 방법으로 절연 물질의 영역(8)위에서 형성된다.

비결정질 합금 층(12)은 침착하는 동안 붕소를 제공받도록 활용되어 지는게 바람직하며, 그 열처리는 질소를 포함하는 대기내에서 일어난다. 그 비결정질 층(12)에서의 붕소 원자들은 열처리동안 실리콘 표면으로 확산하며, 이렇게 P-타입 도핑된 영역을 형성한다. 기체 대기에서의 질소는 금속 질화물을 형성하기 위해 Ti, Zr, Ta, Mo, Nb, Hf 및 W 그룹에서의 금속과 반응한다. 이 금속 질화물은 금속 규화물위에 층을 형성하여, 붕소가 층의 표면을 통해 사라지지 못하게 한다. 이런 방법으로 규화물(10, 20, 30 및 40)과 P-타입 도핑된 영역(3, 4)은 자기-정돈 방법으로 동시에 형성될 수 있다.

본 발명에 따른 방법의 몇가지 예가 아래에 부분적으로 주어질 것이다.

예 1 : 비결정질 $Co_{75}W_{25}$ 층으로 부터의 자기-기록 코발트 규화물의 형성.

반도체 몸체(1)는 실리콘 영역(3, 4, 5 및 6)과 절연 물질의 영역(8, 9)을 통상의 방법으로 제공받는다. 그다음 Co와 W가 스퍼터링에 의해 제공된다(진공도 7 x 10^{-7}torr, 스퍼터링 동안 압력 5 x 10^{-3}torr, deposition rate 0.84nm/s). 이것은 진공도 8 x 10^{-7}torr 로 제1 열처리에 따르며, 에칭이 2분동안 NH_3 : N_2O_2가 1 : 1 로 일어난다. 다음에 제2 열처리가 15분동안 750℃로 수행된다. 제1 열처리 동안의 온도와 처리시간, 측정된 층두께, 에칭 전후의 스퀘어 저항 R, 제2 열처리후 스퀘어 저항과 층두께가 표 1에 주어졌다. 그때 그 층은 전도 전자 현미경 검사(TEM), 러더퍼드 후방 산란(RBS)과 오오거 분광기 사용에 의해서 면밀히 조사된다. 절연물질의 영역위에 규화물의 과도 성장은 발견되지 않았다. 또한 과도 성장은 제3도에 그려진 특별한 시험 반도체 소자의 수단에 의해 조사되어졌고, 금속 규화물 층(10 과 20)은 반도체 몸체의 표면(2)위에 형성되며, 층들은 실리콘 산화물의 가는 영역(9)에 의해 격리된다. 그 두개의 금속 규화물 영역(10, 20)사이의 전기 저항은 과도 성장에 대한 하나의 평가 기준이 되는데 이 시험 소자에서도 과도 성장은 발견되지 않았다.

[표 1]

스퍼터링후의 층두께, 제 1 열처리의 처리

시간과 온도, 에칭 전후의 스퀘어 저항 R, $Co_{75}W_{25}$ 에 대한

제 2 열처리후의 층 두께와 스퀘어 저항.

제1열처리 [℃, min]	R■ 에칭후의 스퀘어 저항 [Ω/■]	R■ 에칭후의 스퀘어 저항 [Ω/■]	R■ 제2열처리후의 스퀘어 저항 [Ω/■]	제2열처리 후의 층두께 [nm]
500°C, 300'	7,6	18,6		
550°C, 30'	6,3	26	14	22
550°C 120'	5,5	13	4,6	51,5
600°C 15'	5,3	17	6,8	40,3
600°C 45'	6,0	11,2	2,9	77,2

예 2 : Zr, W, 또는 Ti을 구비한 Co 또는 Ni의 비결정질 층에서의 니켈 규화물 또는 코발트 규화물의 형성.

반도체 몸체(1)는 실리콘 영역(3, 4, 5 및 6)과 절연물질의 영역(8, 9)을 통상의 방법으로 제공받는다. 그때 비결정질 층은 증기 퇴적에 의해 제공받는다(진공도 7 x 10^{-7} torr). 다음 제1 열처리가 진공도 8 x 10^{-7} torr로 이어지며, 2분동안 에칭이 NH_3 : H_2O_2가 1 : 1 로서 일어난다. 필요하다면 그후 제2열처리가 수행된다. 증기 퇴적후의 층두께, 제1열처리 동안의 처리시간 및 온도, 에칭 전후의 스퀘어 저항 R, 제2열처리 시간 및 온도, 제2열처리 후의 층두께 및 스퀘어 저항의 구성이 표 2에 주어져 있다. 그때 그 층들은 전도 전자 현미경 검사(TEM), 러더퍼드 후방 산란(RBS) 및 오오거 분광기 사용의 수단에 의해 세밀히 조사되어진다. 절연물질의 영역위에 금속 규화물의 과도 성장은 발견되지 않았다. 또한 과도 성장은 제3도의 특별한 시험 반도체 소자로 조사되어졌다. 예 2에서 만들어진 금속 규화물 층에서 과도 성장은 이 시험 소자에서도 발견되지 않았다.

[표 2]

증기 퇴적후의 층두께, 제 1 열처리 동안의

처리시간 및 온도, 에칭 전후의 스퀘어 저항 R, (만약 있다면)

제 2 열처리 시간 및 온도, 제 1 또는 제 2 열처리 후의 층두께

및 스퀘어 저항 R

구성	층두께 [nm]	제1 열처리 [°C, min.]	$R_\square$ 에칭전의 스퀘어 [Ω/□]	$R_\square$ 에칭후의 스퀘어 저항 [Ω/□]	제2 열처리 [°C, min]	$R_\square$ 제2열처리 후의 스퀘어 저항 [Ω/□]	열처리 후의 층두께 [nm]
Co_{80}-Zr_{20}	50	500°C, 60'	7	9			50
Co_{65}-W_{35}	50	550°C, 15'	12	2,7			20
Co_{60}-W_{40}	50	500°C, 120'	12	25			8,5
Co_{60}-W_{40}	50	450°C, 1440'					15
Co_{60}-W_{40}	100	575°C, 60'		4,3			35
Co_{70}-Ti_{30}	50	500°C, 60'	6,5	9	600°C, 15'	6	31
Co_{70}-Ti_{30}	50	550°C, 60'	5.8	4,9	650°C, 15'	6,2	47
Ni_{40}-Zr_{60}	40	500°C, 120'	12.5				40

예 3 : Ti, Ta, Mo, Nb, Hf 및 W를 가진 Co 또는 Ni의 비결정질 합금에서의 니켈 규화물 또는 코발트 규화물의 형성.

비결정질 금속층은 예 1 및 예 2에서와 동일한 방법으로 이 예들에 있어서 반도체 몸체위에 제공되어졌다. 금속 규화물들은 표 1및 2에서 주어진 것들에 상대되는 조건하에 자기-정돈 방법으로 얻어졌다.

(57) 청구의 범위

청구항 1

Co 또는 Ni을 구비하는 층이 절연물질의 영역과 실리콘 영역에 접하고 있는 반도체 몸체의 표면상에 증착되고, 그후 Co 또는 Ni이 절연물질이 아닌 실리콘으로 금속 규화물을 형성하는 온도로 그 반도체 몸체가 열처리동안 가열되는 반도체 소자 제조방법에 있어서, Co 또는 Ni을 포함하는 층으로서, 상기 금속과 Ti, Zr, Ta, Mo, Nb, Hf 및 W로 구성되는 그룹의 한 금속의 비결정질 합금층이 상기 표면상에 증착되고, 열처리동안 비결정질 합금층이 비결정질로 남게되도록 열처리동안 온도가 조절되는 것을 특징으로 하는

반도체 소자 제조방법.

청구항 2

제1항에 있어서, 그룹 Ti, Zr 및 W 의 한 금속과 Co의 비결정질 합금층이 상기 표면상에 증착되는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 3

제1항에 있어서, 열처리동안에 온도는 350℃와 600℃ 사이가 되도록 선택되는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 4

제2항에 있어서, Co가 50 내지 75% 포함된 합금을 증착시키는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 5

제1항 내지 제4항중 어느 한 항에 있어서, 실리콘으로 금속 규화물을 형성하지 않는 비결정질 합금층의 잔존 부분이 열처리후에 패턴화되는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 6

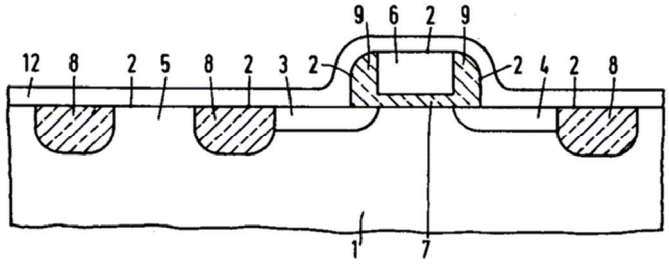
제5항에 있어서, 상기 층의 잔존 부분이 패턴화된후 이 부분이 질화물이 되는 것을 특징으로 하는 반도체 소자 제조방법.

청구항 7

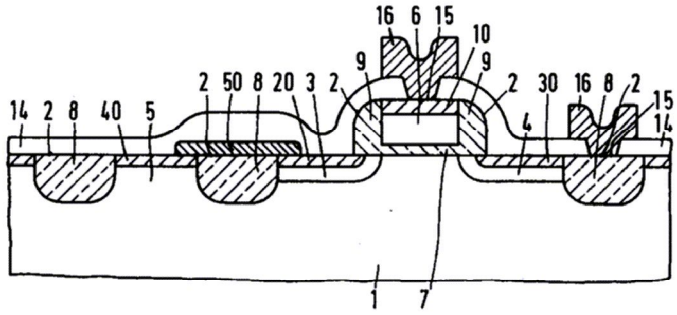
제1항 내지 제4항에 있어서, 증착하는 동안 붕소가 제공되는 비결정질 합금층이 활용되며, 열처리가 질소를 포함하는 대기에서 일어나는 것을 특징으로 하는 반도체 소자 제조방법.

도면

도면1



도면2



도면3

