

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5586312号
(P5586312)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl. F I
H O 2 P 6 / 0 8 (2 0 0 6 . 0 1) H O 2 P 6 / 0 2 3 5 1 J

請求項の数 3 (全 18 頁)

<p>(21) 出願番号 特願2010-99173 (P2010-99173) (22) 出願日 平成22年4月22日 (2010.4.22) (65) 公開番号 特開2011-229345 (P2011-229345A) (43) 公開日 平成23年11月10日 (2011.11.10) 審査請求日 平成25年2月22日 (2013.2.22)</p>	<p>(73) 特許権者 300057230 セミコンダクター・コンポーネンツ・イン ダストリーズ・リミテッド・ライアビリテ ィ・カンパニー アメリカ合衆国 アリゾナ州 85008 フェニックス イースト・マクドウェル ・ロード5005 (74) 代理人 110000176 一色国際特許業務法人 (72) 発明者 中畑 雅裕 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内 (72) 発明者 今井 敏行 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内 最終頁に続く</p>
--	--

(54) 【発明の名称】 モータ駆動回路

(57) 【特許請求の範囲】

【請求項1】

PWM信号のデューティ比に基づいてモータコイルを駆動するモータ駆動回路であって、

前記PWM信号が一方の論理レベルとなる期間の1/nの期間ごとに第1パルス信号を生成する第1パルス信号生成回路と、

前記第1パルス信号に基づいてカウント値を変化させるカウンタと、

前記カウント値が所定値でない場合、一方の論理レベルの駆動信号を出力し、前記カウント値が前記所定値となると他方の論理レベルの前記駆動信号を出力する駆動信号出力回路と、

前記駆動信号のデューティ比に応じて前記モータコイルをPWM駆動する駆動回路と、

前記モータコイルに流れる電流の向きを変化させる期間のうち、前記モータコイルに流れる電流を減少させる期間において、前記モータコイルに流れる電流を減少させるようなカウント値を前記PWM信号の周期ごとに前記カウンタに設定し、前記モータコイルに流れる電流を増加させる期間において、前記モータコイルに流れる電流を増加させるようなカウント値を前記PWM信号の周期ごとに前記カウンタに設定する設定回路と、

前記モータコイルに流れる電流の向きを変化させる期間の1/mの期間ごとに第2パルス信号を生成する第2パルス信号生成回路と、

を備え、

前記設定回路は、

前記モータコイルに流れる電流を減少させる期間において、時間の経過とともに前記所定値との差が前記 n を超えない範囲で小さくなるようなカウント値を生成し、前記モータコイルに流れる電流を増加させる期間において、時間の経過とともに前記所定値との差が前記 n を超えない範囲で大きくなるようなカウント値を生成する生成回路と、

前記 P W M 信号の周期ごとに前記生成回路が生成するカウント値を前記カウンタに設定するカウント値設定回路と、

を含み、

前記生成回路は、

前記モータコイルに流れる電流の向きを変化させる期間において、前記第 2 パルス信号が k 回入力されるまで、前記所定値との差が小さくなるようなカウント値を生成し、前記第 2 パルス信号が $k + 1$ 回から前記 m 回入力されるまで、前記所定値との差が大きくなるようなカウント値を生成すること、

を特徴とするモータ駆動回路。

【請求項 2】

請求項 1 に記載のモータ駆動回路であって、

前記生成回路は、

前記第 2 パルス信号が前記 k 回、または前記 $k + 1$ 回入力されると、前記所定値となるカウント値を生成すること、

を特徴とするモータ駆動回路。

【請求項 3】

請求項 1 または請求項 2 に記載のモータ駆動回路であって、

前記第 1 パルス信号生成回路は、

前記モータコイルに流れる電流の向きを変化させる期間において、前記 P W M 信号が前記一方の論理レベルとなる期間の前記 $1 / n$ の期間ごとに前記第 1 パルス信号を生成し、前記モータコイルに流れる電流の向きを変化させない期間において、前記 P W M 信号が前記一方の論理レベルから他方の論理レベルとなるごとに前記第 1 パルス信号を生成し、

前記設定回路は、

前記モータコイルに流れる電流の向きを変化させない期間において、前記第 1 パルス信号が前記カウンタに入力されると前記所定値となるカウント値を前記 P W M 信号の周期ごとに前記カウンタに設定すること、

を特徴とするモータ駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、モータ駆動回路に関する。

【背景技術】

【0002】

電子機器では、発熱部品を冷却するためにファンモータが用いられる。ファンモータを駆動する際には、例えばファンモータにおける騒音を低減させるため、モータコイルの駆動電流を徐々に変化させる、いわゆるソフトスイッチングを行うモータ駆動回路が用いられることがある（例えば、特許文献 1 参照）。特許文献 1 のモータ駆動回路は P W M (Pulse Width Modulation) 方式のモータ駆動回路であり、モータコイルは P W M 信号に基づいて駆動される。このようなモータ駆動回路では、P W M 信号のデューティ比を変化させることにより、モータコイルの駆動電流を変化させることができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2005 - 287196 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、特許文献1のモータ駆動回路では、コンデンサの充電電圧と、三角波とが比較されてPWM信号が生成されている。したがって、PWM信号のデューティ比を緩やかに変化させるためには、コンデンサの充電電圧を緩やかに変化させる必要がある。このため、このようなモータ駆動回路では、例えば容量の大きいコンデンサが必要となる。

【0005】

本発明は上記課題を鑑みてなされたものであり、コンデンサを用いることなくモータコイルの駆動電流を徐々に変化させることが可能なモータ駆動回路を提供することを目的とする。

【課題を解決するための手段】

10

【0006】

上記目的を達成するため、本発明の一つの側面に係る、PWM信号のデューティ比に基づいてモータコイルを駆動するモータ駆動回路は、前記PWM信号が一方の論理レベルとなる期間の $1/n$ の期間ごとに第1パルス信号を生成する第1パルス信号生成回路と、前記第1パルス信号に基づいてカウント値を変化させるカウンタと、前記カウンタ値が所定値でない場合、一方の論理レベルの駆動信号を出力し、前記カウンタ値が前記所定値となると他方の論理レベルの前記駆動信号を出力する駆動信号出力回路と、前記駆動信号のデューティ比に応じて前記モータコイルをPWM駆動する駆動回路と、前記モータコイルに流れる電流の向きを変化させる期間のうち、前記モータコイルに流れる電流を減少させる期間において、前記モータコイルに流れる電流を減少させるようなカウント値を前記PWM信号の周期ごとに前記カウンタに設定し、前記モータコイルに流れる電流を増加させる期間において、前記モータコイルに流れる電流を増加させるようなカウント値を前記PWM信号の周期ごとに前記カウンタに設定する設定回路と、前記モータコイルに流れる電流の向きを変化させる期間の $1/m$ の期間ごとに第2パルス信号を生成する第2パルス信号生成回路と、を備え、前記設定回路は、前記モータコイルに流れる電流を減少させる期間において、時間の経過とともに前記所定値との差が前記 n を超えない範囲で小さくなるようなカウント値を生成し、前記モータコイルに流れる電流を増加させる期間において、時間の経過とともに前記所定値との差が前記 n を超えない範囲で大きくなるようなカウント値を生成する生成回路と、前記PWM信号の周期ごとに前記生成回路が生成するカウント値を前記カウンタに設定するカウント値設定回路と、を含み、前記生成回路は、前記モータコイルに流れる電流の向きを変化させる期間において、前記第2パルス信号が k 回入力されるまで、前記所定値との差が小さくなるようなカウント値を生成し、前記第2パルス信号が $k+1$ 回から前記 m 回入力されるまで、前記所定値との差が大きくなるようなカウント値を生成すること、を特徴とする。

20

30

【発明の効果】

【0007】

コンデンサを用いることなくモータコイルの駆動電流を徐々に変化させることが可能なモータ駆動回路を提供することができる。

【図面の簡単な説明】

【0008】

40

【図1】本発明の一実施形態であるモータ駆動IC10の構成を示す図である。

【図2】ソフトスイッチ期間生成回路21の一実施形態を示す図である。

【図3】ソフトスイッチ期間生成回路21の動作を説明するための図である。

【図4】駆動信号生成回路23の一実施形態を示す図である。

【図5】パルス信号生成回路60の一実施形態を示す図である。

【図6】ダウンカウンタ74に記憶されるカウント値について説明するための図である。

【図7】信号 V_{ssw} がLレベルの際のパルス信号生成回路60の動作を説明するための図である。

【図8】信号 V_{ssw} がHレベルの際のパルス信号生成回路60の動作を説明するための図である。

50

【図 9】信号 V_{ssw} が L レベルの際の駆動信号 V_{dr} を説明するための図である。

【図 10】信号 V_{ssw} が H レベルの際の駆動信号 V_{dr} の変化について説明するための図である。

【図 11】カウント値出力回路 65 の一実施形態を示す図である。

【図 12】パルス信号生成回路 80 から出力されるパルス信号 V_{p3} を説明するための図である。

【図 13】アップカウンタ 81 の動作を説明するための図である。

【図 14】アップカウンタ 81 の出力と変換回路 82 の出力との関係を示す図である。

【図 15】駆動信号生成回路 23 の動作を説明するための図である。

【図 16】モータ駆動 IC 10 の動作を説明するための図である。

10

【発明を実施するための形態】

【0009】

本明細書および添付図面の記載により、少なくとも以下の事項が明らかとなる。

図 1 は、本発明の一実施形態であるモータ駆動 IC (Integrated Circuit) 10 の構成を示す図である。モータ駆動 IC 10 は、例えば、ノート型パーソナルコンピュータ等の電子機器において、プロセッサ等の発熱部品を冷却するためのファンモータに組み込まれている。

【0010】

モータ駆動 IC 10 は、マイコン (不図示) 等から出力される PWM 信号 V_{pwm} のデューティ比に応じて冷却用のファンを回転させるための単相モータ 11 を駆動する回路である。モータ駆動 IC 10 は、コンパレータ 20、ソフトスイッチ期間生成回路 21、クロック信号生成回路 22、駆動信号生成回路 23、スイッチング回路 24、NMOS トランジスタ 25A、25B、PMOS トランジスタ 26A、26B、及び端子 30~34 を含んで構成される。なお、モータ駆動 IC 10 は、PWM 信号 V_{pwm} の H レベルのデューティ比の増加に応じて単相モータ 11 の回転速度を上昇させる。

20

【0011】

ホール素子 12 は、単相モータ 11 におけるロータ (不図示) の回転位置に応じたホール信号 V_{H1} 、 V_{H2} を出力する。なお、ホール素子 12 は、周波数がファンモータの回転速度に応じて変化し、互いに逆相となるホール信号 V_{H1} 、 V_{H2} を出力する。また、ホール信号 V_{H1} 、 V_{H2} は、振幅のレベル及び、振幅の中心レベルが互いに等しい正弦波の信号であり、端子 30、31 に夫々出力される。

30

【0012】

コンパレータ 20 は、ホール信号 V_{H1} 、 V_{H2} のレベルを比較し、単相モータ 11 の回転速度に応じて周波数が変化する信号 V_{fg} を生成する。なお、信号 V_{fg} は、いわゆる FG 信号であり、ホール信号 V_{H1} のレベルがホール信号 V_{H2} のレベルより高くなるとローレベル (以下、L レベル) となり、ホール信号 V_{H1} のレベルがホール信号 V_{H2} のレベルより低くなるとハイレベル (以下、H レベル) となる。

【0013】

ソフトスイッチ期間生成回路 21 は、ソフトスイッチ期間、すなわち単相モータ 11 のモータコイル L に流れる駆動電流 I_{dr} の向きを緩やかに変化させるための期間を示す信号 V_{ssw} を生成する。図 2 は、ソフトスイッチ期間生成回路 21 の構成例を示す図である。ソフトスイッチ期間生成回路 21 は、ソフトスイッチ期間生成回路 21 の内部で生成される電圧 V_b と、ホール信号 V_{H1} 、 V_{H2} とに基づいて信号 V_{ssw} を生成し、コンパレータ 50、51、及び AND 回路 52 を含んで構成される。

40

【0014】

コンパレータ 50 は、ホール信号 V_{H1} のレベルと、所定の電圧 V_b のレベルとを比較する。具体的には、図 3 に示すように、コンパレータ 50 は、ホール信号 V_{H1} のレベルが電圧 V_b のレベルより高くなると L レベルの比較信号 V_{c1} を出力し、ホール信号 V_{H1} のレベルが電圧 V_b のレベルより低くなると H レベルの比較信号 V_{c1} を出力する。

【0015】

50

コンパレータ51は、ホール信号VH2のレベルと、所定の電圧Vbのレベルとを比較する。コンパレータ50は、ホール信号VH2のレベルが電圧Vbのレベルより高くなるとLレベルの比較信号Vc2を出力し、ホール信号VH2のレベルが電圧Vbのレベルより低くなるとHレベルの比較信号Vc2を出力する。

【0016】

AND回路52は、比較信号Vc1及び比較信号Vc2の論理積を演算し、演算結果を信号Vsswとして出力する。このため、ソフトスイッチ期間生成回路21では、ホール信号VH1, VH2が交差するタイミングの前後の期間において、Hレベルとなる信号Vsswが生成される。本実施形態では、信号VsswがHレベルとなる期間がソフトスイッチ期間である。なお、前述のように正弦波状に変化するホール信号VH1, VH2の夫々の振幅の中心の直流レベルは等しい。このため、信号VsswがHレベルとなる期間のうち、ホール信号VH1, VH2が交差するタイミングの前の期間と、後の期間とは等しくなる。

10

【0017】

クロック信号生成回路22は、所定周期のクロック信号Vck1を生成する。なお、クロック信号Vck1の周波数は、PWM信号Vpwmの周波数より十分高くなるよう設計されている。

【0018】

駆動信号生成回路23は、スイッチング回路24にNMOSトランジスタ25A等をPWM駆動させるための駆動信号Vdrを生成する。駆動信号生成回路23は、信号VsswがLレベル場合、すなわちソフトスイッチ期間でない場合、PWM信号Vpwmのデューティ比と一致するようなデューティ比の駆動信号Vdrを生成する。一方、駆動信号生成回路23は、信号VsswがHレベルの場合、すなわちソフトスイッチ期間の場合、デューティ比が徐々に低下した後に徐々に増加するような駆動信号Vdrを生成する。なお、駆動信号生成回路23の詳細については後述する。

20

【0019】

スイッチング回路24は、信号Vfg、駆動信号Vdrに基づいて、いわゆるHブリッジ回路を構成するNMOSトランジスタ25A, 25B、PMOSトランジスタ26A, 26Bを駆動する。具体的には、スイッチング回路24は、Hブリッジ回路の各MOSトランジスタのオンオフを制御し、モータコイルLを駆動する駆動電流Idrを変化させる。スイッチング回路24は、信号VfgがHレベルの場合、例えば、PMOSトランジスタ26Aをオンし、NMOSトランジスタ25A、及びPMOSトランジスタ26Bをオフするとともに、NMOSトランジスタ25Bを駆動信号Vdrのデューティ比に応じてスイッチングする。このため、単相モータ11のモータコイルLには、端子33から端子34方向へと駆動電流Idrが流れる。また、スイッチング回路24は、信号VfgがLレベルの場合、例えば、PMOSトランジスタ26Bをオンし、NMOSトランジスタ25B、及びPMOSトランジスタ26Aをオフするとともに、NMOSトランジスタ25Aを駆動信号Vdrのデューティ比に応じてスイッチングする。このため、モータコイルLには、端子34から端子33方向へと駆動電流Idrが流れる。

30

【0020】

なお、スイッチング回路24、及びHブリッジ回路を構成するNMOSトランジスタ25A, 25B、PMOSトランジスタ26A, 26Bが駆動回路に相当する。

40

【0021】

= = 駆動信号生成回路23の詳細 = =

ここで、図4を参照しつつ、駆動信号生成回路23の詳細について説明する。駆動信号生成回路23は、パルス信号生成回路60, 61、カウンタ62、駆動信号出力回路63、カウント値設定回路64、及びカウント値出力回路65を含んで構成される。なお、カウント値設定回路64、及びカウント値出力回路65が設定回路に相当する。

【0022】

パルス信号生成回路60(第1パルス信号生成回路)は、信号VsswがLレベルの場

50

合、すなわちソフトスイッチ期間でない場合、PWM信号 V_{pwm} がHレベルからLレベルに変化するとともにHレベルとなるパルス信号 V_{p1} (第1パルス信号) を生成する。また、パルス信号生成回路60は、信号 V_{ssw} がHレベルの場合、すなわちソフトスイッチ期間の場合、PWM信号 V_{pwm} がHレベルとなる期間の例えば、 $1/8$ の期間ごとにパルス信号 V_{p1} を生成する。

【0023】

パルス信号生成回路60は、図5に示すように、エッジ検出回路70、遅延回路71、アップカウンタ72、レジスタ73、ダウンカウンタ74、及びパルス信号出力回路75を含んで構成される。

【0024】

エッジ検出回路70は、PWM信号 V_{pwm} の立ち上がりエッジを検出し、エッジパルス V_{e1} を出力する。

【0025】

遅延回路71は、所定時間だけエッジパルス V_{e1} を遅延させ、エッジパルス V_{e2} として出力する。なお、遅延回路71における遅延時間は、クロック信号 V_{ck1} の周期より十分短くなるよう設計されている。

【0026】

アップカウンタ72は、PWM信号 V_{pwm} のHレベルとなる期間をクロック信号 V_{ck1} に基づいてアップカウントする。また、アップカウンタ72は、例えば8ビットのカウンタであり、アップカウンタ72のカウント値は、エッジパルス V_{e2} が入力されるとリセットされる。

【0027】

レジスタ73は、例えば図6に示すような11ビットのレジスタであり、エッジパルス V_{e1} が入力されると、アップカウンタ72のカウント値、すなわちPWM信号 V_{pwm} のHレベルの期間を示すカウント値を取得して下位8ビットに記憶する。また、レジスタ73の上位3ビットには、“0”(2進数)が夫々記憶されている。なお、以下、特に“2進数”と明記しない限り、カウント値等は10進数で示された値であることとする。

【0028】

ダウンカウンタ74は、信号 V_{ssw} がLレベルの場合、エッジパルス V_{e2} が入力されると、レジスタ73の下位8ビットのデータを読み出して初期値として記憶する。そして、ダウンカウンタ74は、クロック信号 V_{ck1} に基づいて初期値をダウンカウントし続ける。具体的には、例えば、レジスタ73の下位8ビットに“160”が記憶されている場合、初期値は“160”となる。そして、ダウンカウンタ74は、“160”をクロック信号 V_{ck1} に基づいてダウンカウントする。ダウンカウンタ74は、カウント値が“0”となると、再度、初期値として設定された“160”をダウンカウントする。

【0029】

一方、ダウンカウンタ74は、信号 V_{ssw} がHレベルの場合、エッジパルス V_{e2} が入力されると、レジスタ73の上位8ビットのデータを読み出して初期値として記憶する。前述のように、レジスタ73の上位3ビットは何れも“0”である。このため、レジスタ73に記憶されていたカウント値は3ビット右シフトされることになる。例えば、レジスタ73の下位8ビットに“160”が記憶されている場合、“160”が8(2の3乗)で除算されたカウント値“20”が初期値となる。信号 V_{ssw} がHレベルの際のダウンカウンタ74は、信号 V_{ssw} がLレベルの際と同様に、初期値をクロック信号 V_{ck1} に基づいてダウンカウントする。そして、カウント値が“0”となると、ダウンカウンタ74は、再度初期値として設定された“20”をダウンカウントする。

【0030】

パルス信号出力回路75は、ダウンカウンタ74のカウント値が“0”となるたびにHレベルのパルス信号 V_{p1} を出力する。

【0031】

ここで、図7を参照しつつ、信号 V_{ssw} がLレベルの場合におけるパルス信号生成回

10

20

30

40

50

路60の動作について説明する。なお、実際にはエッジパルス V_{e1} が出力されてから、エッジパルス V_{e2} が出力されるが、遅延回路71の遅延時間は、クロック信号 V_{ck1} の周期よりも十分短くなるように設計されている。このため、図7においては、便宜上、エッジパルス V_{e1} 、 V_{e2} を同じ時刻に描いている。

【0032】

まず、時刻 t_0 においてPWM信号 V_{pwm} がHレベルとなると、Hレベルのエッジパルス V_{e1} が出力され、その後Hレベルのエッジパルス V_{e2} が出力される。このため、アップカウンタ72のカウンタ値はリセットされる。その後アップカウンタ72は、PWM信号 V_{pwm} がLレベルとなる時刻 t_1 まで、クロック信号 V_{ck1} に基づいてアップカウントする。なお、時刻 $t_0 \sim t_1$ までの期間TAにおいてアップカウンタ72でカ

10

【0033】

つぎに、時刻 t_0 からPWM信号 V_{pwm} の1周期後の時刻 t_2 となると、エッジパルス V_{e1} が出力されるため、アップカウンタ72が時刻 $t_0 \sim t_1$ の間にカウントしたカウンタ値“160”は、レジスタ73に格納される。また、ダウンカウンタ74に入力される信号 V_{ssw} はHレベルであるため、ダウンカウンタ74は、パルス信号 V_{p2} に基づいて、レジスタ73に記憶された“160”を初期値として記憶する。そして、ダウンカウンタ74は、クロック信号 V_{ck1} に基づいてダウンカウントを開始する。ダウンカウンタ74がダウンカウントする際のクロック信号 V_{ck1} と、アップカウンタ72がアップカウントする際のクロック信号 V_{ck1} とは同じである。このため、時刻 t_2 から、

20

期間TAだけ経過した時刻 t_3 にダウンカウンタ74のカウンタ値は“0”となる。この結果、時刻 t_3 にパルス信号 V_{p1} が出力される。

【0034】

このように、パルス信号生成回路60は、信号 V_{ssw} がLレベルの場合、すなわちソフトスイッチ期間でない場合、PWM信号 V_{pwm} がHレベルからLレベルに変化するごとにHレベルとなるパルス信号 V_{p1} を生成する。

【0035】

ここでは、信号 V_{ssw} がLレベルの場合のパルス信号生成回路60の動作を説明したが、信号 V_{ssw} がHレベルの場合もダウンカウンタ74の初期値が $1/8$ になる以外は同様である。例えば、PWM信号 V_{pwm} のHレベルの期間におけるアップカウンタ72のカウンタ値が“160”であり、レジスタ73に“160”が記憶される場合、ダウンカウンタ74には、初期値として“20”($20 = 160 / 8$)記憶される。そして、ダウンカウンタ74は、クロック信号 V_{ck1} に基づいて初期値である“20”をダウンカウントする。このため、PWM信号 V_{pwm} のHレベルの期間、すなわち、クロック信号 V_{ck1} に基づいて“160”がカウントされるまでの期間の $1/8$ の期間ごとにダウンカウンタ74のカウンタ値は“0”となる。したがって、図8に示すように、信号 V_{ssw} がHレベルの場合、パルス信号生成回路60は、PWM信号 V_{pwm} がHレベルとなる期間の $1/8$ の期間ごとにパルス信号 V_{p1} を生成する。

30

【0036】

図4に示すパルス信号生成回路61は、PWM信号 V_{pwm} がLレベルからHレベルに変化するごとにHレベルとなるパルス信号 V_{p2} を生成する。つまり、パルス信号生成回路61は、PWM信号 V_{pwm} の立ち上がりを検出し、PWM信号 V_{pwm} の1周期ごと

40

にパルス信号 V_{p2} を生成する。

【0037】

カウンタ62は、パルス信号 V_{p1} が入力される度にカウンタ値CNT1を“1”インクリメントする。また、カウンタ62は、例えば3ビットのアップカウンタであり、カウンタ値CNT1が最大値である“7”となると、カウンタ値CNT1の変化を停止させる。

【0038】

駆動信号出力回路63は、カウンタ値CNT1が“7”(所定値)の場合、Lレベルの

50

駆動信号 V_{dr} を出力し、カウント値 $CNT1$ が “ 7 ” で無い場合、Hレベルの駆動信号 V_{dr} を出力する。

【 0 0 3 9 】

カウント値設定回路 6 4 は、パルス信号 V_{p2} が出力される度に、カウント値出力回路 6 5 から出力されるカウント値 $CNT2$ をカウンタ 6 2 に設定する。

【 0 0 4 0 】

カウント値出力回路 6 5 (生成回路) は、カウンタ 6 2 に設定するための初期値をカウント値 $CNT2$ として出力する。カウント値出力回路 6 5 は、信号 V_{ssw} が Lレベルの場合、駆動信号 V_{dr} の Hレベルのデューティ比が、PWM信号 V_{pwm} のデューティ比と一致するようなカウント値 $CNT2$ を出力する。具体的には、カウント値出力回路 6 5 はカウント値 $CNT2$ として “ 6 ” を出力する。一方、カウント値出力回路 6 5 は、信号 V_{ssw} が Hレベルの場合、駆動信号 V_{dr} の Hレベルのデューティ比が減少した後に増加するようなカウント値 $CNT2$ を出力する。

【 0 0 4 1 】

ここで、カウンタ 6 2 に設定される初期値に応じて、駆動信号 V_{dr} のデューティ比がどのように変化するかを説明する。なお、カウント値出力回路 6 5 の詳細については後述する。

【 0 0 4 2 】

まず、図 4、図 9 を参照しつつ、信号 V_{ssw} が Lレベルの際に、カウント値 $CNT1$ の初期値が “ 6 ” の場合について説明する。時刻 t_{10} に PWM信号 V_{pwm} が Hレベルとなると、パルス信号 V_{p2} が出力される。このため、カウンタ 6 2 には “ 6 ” がカウント値 $CNT1$ として設定される。この際、カウント値 $CNT1$ は “ 7 ” でない場合ため、駆動信号 V_{dr} は Hレベルとなる。そして、時刻 t_{11} に PWM信号 V_{pwm} が Lレベルとなると、パルス信号 V_{p1} が出力される。このため、カウント値 $CNT1$ は “ 6 ” から “ 7 ” へと変化し、駆動信号 V_{dr} は Hレベルから Lレベルへと変化する。このように、信号 V_{ssw} が Lレベルの場合、駆動信号出力回路 6 3 は、PWM信号 V_{pwm} のデューティ比と一致するようなデューティ比の駆動信号 V_{dr} を出力する。

【 0 0 4 3 】

つぎに、信号 V_{ssw} が Hレベルの際に、カウント値 $CNT1$ の初期値が “ 0 ” の場合の駆動信号 V_{dr} について図 10 を参照しつつ説明する。なお、前述のように、信号 V_{ssw} が Hレベルの際には、PWM信号 V_{pwm} の Hレベルの期間の $1/8$ の期間ごとにパルス信号 V_{p1} が出力される。

【 0 0 4 4 】

時刻 t_{20} に PWM信号 V_{pwm} が Hレベルとなり、パルス信号 V_{p2} が出力されると、“ 0 ” が、カウンタ 6 2 に設定される。その後、パルス信号 V_{p1} が出力される度にカウンタ 6 2 はアップカウントする。そして、時刻 t_{20} から 7 回パルス信号 V_{p1} が出力される時刻 t_{21} となると、カウント値 $CNT1$ は “ 7 ” となる。この結果、時刻 t_{21} に駆動信号 V_{dr} は、Hレベルから Lレベルへと変化する。なお、駆動信号 V_{dr} が Hレベルとなる期間 (時刻 $t_{20} \sim t_{21}$) は、PWM信号 V_{pwm} が Hレベルとなる期間 T_B の $7/8$ の長さとなる。

【 0 0 4 5 】

また、例えば、カウント値 $CNT1$ の初期値が “ 1 ” の場合も、前述のカウント値 $CNT1$ の初期値が “ 0 ” の場合と同様である。ただし、この場合は、時刻 t_{20} にカウンタ 6 2 に “ 1 ” が設定されるため、時刻 t_{20} から 6 回パルス信号 V_{p1} が出力されると、カウント値 $CNT1$ は “ 7 ” となる。したがって、カウント値 $CNT1$ の初期値が “ 1 ” の場合、駆動信号 V_{dr} が Hレベルとなる期間は、期間 T_B の $6/8$ の長さとなる。このように、カウント値 $CNT1$ の初期値が “ 1 ” 増加すると、駆動信号 V_{dr} が Hレベルとなる期間は “ 期間 T_B の $1/8$ の期間 ” 短くなる。そして、例えば、カウント値 $CNT1$ の初期値が “ 7 ” の場合、カウンタ 6 2 には最大値の “ 7 ” が設定されるため、駆動信号 V_{dr} は常に Lレベルとなる。

10

20

30

40

50

【 0 0 4 6 】

= = カウント値出力回路 6 5 の詳細 = =

ここで、図 1 1 を参照しつつ、カウント値出力回路 6 5 の詳細について説明する。なお、カウント値出力回路 6 5 は、信号 V_{ssw} が L レベルの場合、カウント値 CNT_2 として “ 6 ” を出力し、信号 V_{ssw} が H レベルの際、カウント値 CNT_2 を例えば “ 0 ” から “ 7 ” へと増加させた後に “ 7 ” から “ 0 ” へと減少させる。

【 0 0 4 7 】

カウント値出力回路 6 5 は、パルス信号生成回路 8 0、アップカウンタ 8 1、変換回路 8 2、記憶回路 8 3、及びセレクタ 8 4 を含んで構成される。

【 0 0 4 8 】

パルス信号生成回路 8 0 (第 2 パルス信号生成回路) は、信号 V_{ssw} が H レベルとなる期間の例えば、 $1 / 16$ の期間ごとにパルス信号 V_{p3} (第 2 パルス信号) を生成する回路である。パルス信号生成回路 8 0 は、逡倍回路 1 0 0、エッジ検出回路 1 0 1、遅延回路 1 0 2、アップカウンタ 1 0 3、レジスタ 1 0 4、ダウンカウンタ 1 0 5、及びパルス信号出力回路 1 0 6 を含んで構成される。

【 0 0 4 9 】

逡倍回路 1 0 0 は、クロック信号 V_{ck1} に基づいて、クロック信号 V_{ck1} の周波数の 16 倍の周波数のクロック信号 V_{ck2} を出力する。

【 0 0 5 0 】

エッジ検出回路 1 0 1 は、信号 V_{ssw} の立ち上がりエッジを検出し、エッジパルス V_{e3} を出力する。

【 0 0 5 1 】

遅延回路 1 0 2 は、所定時間だけエッジパルス V_{e2} を遅延させ、エッジパルス V_{e4} として出力する。なお、遅延回路 1 0 2 における遅延時間は、クロック信号 V_{ck2} の周期より十分短い時間であることとする。

【 0 0 5 2 】

アップカウンタ 1 0 3 は、信号 V_{ssw} の H レベルとなる期間をクロック信号 V_{ck1} に基づいてアップカウントする。また、アップカウンタ 1 0 3 は、例えば 9 ビットのカウンタであり、アップカウンタ 1 0 3 のカウント値は、エッジパルス V_{e4} が入力されるとリセットされる。

【 0 0 5 3 】

レジスタ 1 0 4 は、例えば 9 ビットのレジスタであり、エッジパルス V_{e3} が入力されると、アップカウンタ 1 0 3 のカウント値、すなわち信号 V_{ssw} の H レベルの期間を示すカウント値を取得して記憶する。

【 0 0 5 4 】

ダウンカウンタ 1 0 5 は、エッジパルス V_{e4} が入力されると、レジスタ 1 0 4 に記憶されたカウント値を読み出して初期値として記憶する。そして、ダウンカウンタ 1 0 5 は、クロック信号 V_{ck2} に基づいて初期値をダウンカウントし続ける。具体的には、例えば、アップカウンタ 1 0 3 がクロック信号 V_{ck1} に基づいてアップカウントしたカウント値が “ 480 ” で、レジスタ 1 0 4 に “ 480 ” が記憶されている場合、初期値は “ 480 ” となる。そして、ダウンカウンタ 1 0 5 は、“ 480 ” をクロック信号 V_{ck2} に基づいてダウンカウントする。また、ダウンカウンタ 1 0 5 は、カウント値が “ 0 ” となると、再度、初期値として設定された “ 480 ” をダウンカウントする。なお、クロック信号 V_{ck2} の周波数は、クロック信号 V_{ck1} の周波数の 16 倍である。このため、ダウンカウンタ 1 0 5 のカウント値は、アップカウンタ 1 0 3 が “ 480 ” をカウントした期間 T_C の $1 / 16$ の期間ごとに “ 0 ” となる。

【 0 0 5 5 】

パルス信号出力回路 1 0 6 は、ダウンカウンタ 1 0 5 のカウント値が “ 0 ” となるたびに H レベルのパルス信号 V_{p3} を出力する。したがって、パルス信号生成回路 8 0 は、図 1 2 に示すように、信号 V_{ssw} が H レベルとなる期間の $1 / 16$ の期間ごとにパルス信

10

20

30

40

50

号 V p 3 を生成する。

【 0 0 5 6 】

アップカウンタ 8 1 は、パルス信号 V p 3 に基づいてアップカウントする 4 ビットのカウンタである。また、アップカウンタ 8 1 のカウント値 C N T 3 はエッジパルス V e 3 が入力されると、すなわち、信号 V s s w の立ち上がりを検出されるとリセットされる。このため、アップカウンタ 8 1 のカウント値 C N T 3 は、例えば、図 1 3 に示すように “ 0 ” から “ 1 5 ” まで変化する。なお、カウント値 C N T 3 は、4 ビットの信号を信号 A 0 ~ A 3 として出力され、ビットの信号 A 0 ~ A 3 のうち、信号 A 0 が最上位ビットの信号に相当し、信号 A 3 が最下位ビットの信号に相当する。

【 0 0 5 7 】

変換回路 8 2 は、アップカウンタ 8 1 から出力される 4 ビットのカウント値を 3 ビットの値に変換して出力する回路であり、E O R 回路 1 2 0 ~ 1 2 2 を含んで構成される。E O R 回路 1 2 0 には、信号 A 0 , A 1 が入力され、E O R 回路 1 2 1 には、信号 A 0 , A 2 が入力され、E O R 回路 1 2 2 には、信号 A 0 , A 3 が入力される。このため、信号 A 0 が “ 0 ” (2 進数) の場合、信号 A 1 ~ A 3 の夫々が、E O R 回路 1 2 0 ~ 1 2 2 から信号 B 0 ~ B 2 として出力される。一方、信号 A 0 が “ 1 ” (2 進数) の場合、信号 A 1 ~ A 3 の論理レベルが反転された信号の夫々が、信号 B 0 ~ B 2 として出力される。このため、変換回路 8 2 は、図 1 4 に示すように、カウント値 C N T 3 が “ 0 ” から “ 1 5 ” まで増加すると、“ 0 ” ~ “ 7 ” まで増加した後に “ 7 ” ~ “ 0 ” に低下するような値を出力する。

【 0 0 5 8 】

記憶回路 8 3 は、“ 6 ” の値を示す 3 ビットのデータを記憶するとともに、“ 6 ” の値を示す 3 ビットの信号 C 0 ~ C 2 を出力する。

【 0 0 5 9 】

セレクタ 8 4 は、信号 V s s w が L レベルの場合、信号 B 0 ~ B 2 をカウント値 C N T 2 として出力し、信号 V s s w が H レベルの場合、信号 C 0 ~ C 2 をカウント値 C N T 2 として出力する。

【 0 0 6 0 】

このように、カウント値出力回路 6 5 は、信号 V s s w が L レベルの場合、カウント値 C N T 2 として “ 6 ” を出力し、信号 V s s w が H レベルの場合、カウント値 C N T 2 を “ 0 ” から “ 7 ” へと増加させた後に “ 7 ” から “ 0 ” へと減少させる。

【 0 0 6 1 】

= = 駆動信号生成回路 2 3 の動作 = =

ここで、図 4、図 1 5 を参照しつつ、駆動信号生成回路 2 3 の動作の一例を説明する。

まず、信号 V s s w が L レベルであると、カウント値出力回路 6 5 はカウント値 C N T 2 として “ 6 ” を出力し続ける。そして、時刻 t 3 0 において、PWM 信号 V p w m が H となると、カウンタ 6 2 の初期値として “ 6 ” が設定される。その後、PWM 信号 V p w m が H レベルから L レベルとなるとパルス信号 V p 1 が出力されるため、カウンタ 6 2 のカウント値 C N T 1 は “ 7 ” となる。このため、駆動信号生成回路 2 3 からは、PWM 信号 V p w m のデューティ比と一致するようなデューティ比の駆動信号 V d r が出力される。なお、信号 V s s w が L レベルの間は、PWM 信号 V p w m のデューティ比と一致するようなデューティ比の駆動信号 V d r が出力され続ける。

【 0 0 6 2 】

つぎに、時刻 t 3 1 に信号 V s s w が H レベルとなると、前述のようにカウント値出力回路 6 5 は、カウント値 C N T 2 として “ 0 ” を出力する。そして、時刻 t 3 2 に PWM 信号 V p w m が H レベルとなるとパルス信号 V p 2 が発生するため、カウンタ 6 2 に “ 0 ” が設定される。信号 V s s w が H レベルの際にカウンタ 6 2 のカウント値 C N T 1 の初期値が “ 0 ” であると、図 1 0 で示したように、駆動信号 V d r が H レベルとなる期間は、PWM 信号 V p w m が H レベルとなる期間 T B の 7 / 8 の長さとなる。このため、時刻

10

20

30

40

50

t 3 2 において発生する駆動信号 V d r のデューティ比は、P W M 信号 V p w m のデューティ比より低下する。

【 0 0 6 3 】

時刻 t 3 3 に P W M 信号 V p w m が H レベルとなると、パルス信号 V p 2 が発生し、カウンタ 6 2 に “ 1 ” が設定される。前述のように、初期のカウント値 C N T 1 が “ 1 ” であると、駆動信号 V d r が H レベルとなる期間は、P W M 信号 V p w m が H レベルとなる期間 T B の 6 / 8 の長さとなる。また、時刻 t 3 4 ~ 時刻 t 3 8 までは、カウンタ 6 2 に設定される初期のカウント値 C N T 1 が “ 2 ” ~ “ 6 ” と増加する。このため、時刻 t 3 4 ~ 時刻 t 3 8 においては、駆動信号 V d r が H レベルとなる期間は、期間 T B の長さの “ 5 / 8 ” ~ “ 1 / 8 ” に低下する。

10

【 0 0 6 4 】

また、時刻 t 3 9 , t 4 0 のタイミングでは、カウンタ 6 2 に設定されるカウント値は “ 7 ” である。このため、時刻 t 4 1 に、カウンタ 6 2 にカウント値 “ 6 ” が設定されるまで、駆動信号 V d r は L レベルのままとなる。時刻 t 4 1 ~ t 4 7 までは、カウンタ 6 2 に設定される初期のカウント値 C N T 1 は “ 6 ” ~ “ 0 ” と低下する。このため、駆動信号 V d r が H レベルとなる期間は、期間 T B の長さの “ 1 / 8 ” ~ “ 7 / 8 ” に増加する。そして、信号 V s s w が再び L レベルとなると、時刻 t 3 0 ~ 時刻 3 1 までの間と同様に、P W M 信号 V p w m のデューティ比と一致するようなデューティ比の駆動信号 V d r が出力されることになる。

【 0 0 6 5 】

20

このように、信号 V s s w が H レベルの際には、駆動信号 V d r のデューティ比は徐々に低下してゼロとなった後に徐々に増加する。なお、この際、駆動信号 V d r のデューティ比は、P W M 信号 V p w m のデューティ比を超えることは無い。

【 0 0 6 6 】

= = モータ駆動 I C 1 0 の動作 = =

ここで、図 1、図 1 6 を参照しつつモータ駆動 I C 1 0 の動作について説明する。なお、ここでは、N M O S トランジスタ 2 5 B のゲート電圧を電圧 V g 1 とし、N M O S トランジスタ 2 5 A のゲート電圧を電圧 V g 2 とする。また、モータ駆動 I C 1 0 には、所定のデューティ比 D 1 の P W M 信号 V p w m が入力されていることとする。さらに、デューティ比 D 1 の P W M 信号 V p w m に基づいて N M O S トランジスタ 2 5 B がスイッチングされている際の駆動電流 I d r の電流値を I x とし、N M O S トランジスタ 2 5 A がスイッチングされている際の駆動電流 I d r の電流値を - I x とする。

30

【 0 0 6 7 】

モータ駆動 I C 1 0 に単相モータ 1 1 の回転速度に応じた周波数のホール信号 V H 1 , V H 2 が入力されると、前述のように、信号 V f g の論理レベルが変化するタイミングの前後で信号 V s s w が H レベルとなる。信号 V s s w が L レベルの際には、駆動信号生成回路 2 3 から出力される駆動信号 V d r のデューティ比もデューティ比 D 1 となる。このため、スイッチング回路 2 4 は、デューティ比 D 1 で N M O S トランジスタ 2 5 B を P W M 駆動する。したがって、この間における駆動電流 I d r の電流値は I x となる。

【 0 0 6 8 】

40

信号 V s s w が H レベルとなりソフトスイッチの期間が開始されると、駆動信号 V d r のデューティ比は低下される。このため、電圧 V g 1 が H レベルとなる期間も短くなり、駆動電流 I d r の電流値は徐々に減少する。なお、信号 V f g が H レベルの期間においては、駆動電流 I d r の電流値は減少するものの、駆動電流 I d r は端子 3 3 から端子 3 4 の方向に流れる。

【 0 0 6 9 】

そして、信号 V f g が L レベルとなると、駆動電流 I d r の流れる方向は、端子 3 4 から端子 3 3 の方向となるようスイッチング回路 2 4 は、N M O S トランジスタ 2 5 A を駆動信号 V d r のデューティ比に応じて P W M 駆動する。この際に、駆動信号 V d r のデューティ比は増加するため、電圧 V g 2 が H レベルとなる期間は徐々に長くなる。したがっ

50

て、端子34から端子33の方向に流れる駆動電流 I_{dr} の電流値も徐々に増加する。そして、信号 V_{ssw} がLレベルとなり、ソフトスイッチの期間が終了した後は、駆動信号 V_{dr} のデューティ比は所定の値となる。この結果、駆動電流 I_{dr} の電流値は $-I_x$ となる。以降、モータ駆動IC10では、同様の動作が繰り返される。

【0070】

以上、本実施形態のモータ駆動IC10について説明した。カウント値設定回路64はソフトスイッチの期間のうち、駆動電流 I_{dr} を減少させる期間には、PWM信号 V_{pwm} の周期ごとに初期値“0”～“7”をカウンタ62に設定している。また、カウント値設定回路64は、駆動電流 I_{dr} を増加させる期間では、PWM信号 V_{pwm} の周期ごとに初期値“7”～“0”をカウンタ62に設定している。この結果、ソフトスイッチの期間において、駆動信号 V_{dr} のデューティ比は減少した後に増加するため、駆動電流 I_{dr} の電流値は $+I_x$ から $-I_x$ へと緩やかに変化する。このように、モータ駆動IC10では、コンデンサを用いることなく駆動信号 V_{dr} のデューティ比を変更可能である。

10

【0071】

また、例えば、ソフトスイッチ期間にカウンタ62に設定されるカウント値の全てをメモリ等に記憶させておいても良いが、設定すべきカウント値のデータ量が大きくなると、容量の大きいメモリ等が必要となる。本実施形態では、ソフトスイッチの期間にカウンタ62に初期に設定するためのカウント値は、カウント値出力回路65の内部において生成される。このため、例えば、設定すべきカウント値のデータ量が大きくなる場合であっても、チップ面積を小さくできる。

20

【0072】

一般にソフトスイッチの期間、すなわち信号 V_{ssw} がHレベルとなる期間は、単相モータ11の回転速度等によって変化する。このため、異なるソフトスイッチの期間に対し、駆動信号 V_{dr} のデューティ比を同じ様に変化させることは難しい。しかしながら、本実施形態では、信号 V_{ssw} がHレベルとなる期間の $1/16$ の期間ごと発生するパルス信号 V_{p3} の回数に基づいて駆動信号 V_{dr} のデューティ比を変化させている。具体的には、アップカウンタ81にパルス信号 V_{p3} が8回入力されるまで、駆動信号 V_{dr} のデューティ比を減少させている。また、アップカウンタ81にパルス信号 V_{p3} が9回入力されてから16回入力されるまで、駆動信号 V_{dr} のデューティ比を増加させている。このため、信号 V_{ssw} Hレベルとなる期間によらず、駆動信号 V_{dr} のデューティ比を同じ様に変化させることが可能となる。

30

【0073】

また、本実施形態では、アップカウンタ81にパルス信号 V_{p3} が8回、9回入力されると、駆動信号 V_{dr} のデューティ比をゼロとしている。このため、例えば、駆動信号 V_{dr} のデューティ比をゼロとしない場合と比較すると、駆動電流 I_{dr} をより緩やかに変化させることができる。

【0074】

また、信号 V_{ssw} がLレベルの場合、すなわち、ソフトスイッチの期間でない場合、カウンタ62には、カウント値CNT1として“6”が設定される。そして、PWM信号 V_{pwm} がLレベルに変化するタイミングでカウント値CNT1は“7”となるため、駆動信号生成回路23からの駆動信号 V_{dr} もLレベルとなる。このように、駆動信号生成回路23は、デューティ比が変化する駆動信号 V_{dr} のみならず、PWM信号 V_{pwm} のデューティ比に一致するようなデューティ比の駆動信号 V_{dr} も生成可能である。

40

【0075】

なお、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

【符号の説明】

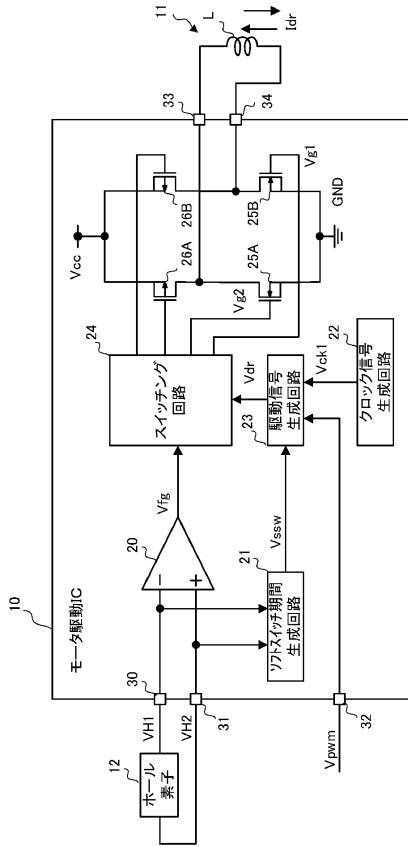
【0076】

10 モータ駆動IC

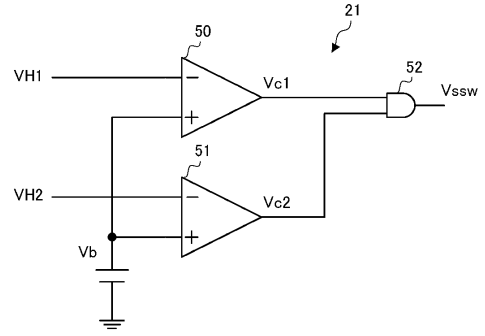
50

1 1	単相モータ	
1 2	ホール素子	
2 0 , 5 0 , 5 1	コンパレータ	
2 1	ソフトスイッチ期間生成回路	
2 2	クロック信号生成回路	
2 3	駆動信号生成回路	
2 4	スイッチング回路	
2 5 A , 2 5 B	N M O S トランジスタ	
2 6 A , 2 6 B	P M O S トランジスタ	
3 0 ~ 3 4	端子	10
5 2	A N D 回路	
6 0 , 6 1 , 8 0	パルス信号生成回路	
6 2	カウンタ	
6 3	駆動信号出力回路	
6 4	カウント値設定回路	
6 5	カウント値出力回路	
7 0 , 1 0 1	エッジ検出回路	
7 1 , 1 0 2	遅延回路	
7 2 , 8 1 , 1 0 3	アップカウンタ	
7 3 , 1 0 4	レジスタ	20
7 4 , 1 0 5	ダウンカウンタ	
7 5 , 1 0 6	パルス信号出力回路	
8 2	変換回路	
8 3	記憶回路	
8 4	セレクタ	
1 0 0	逡倍回路	
1 2 0 ~ 1 2 2	E O R 回路	

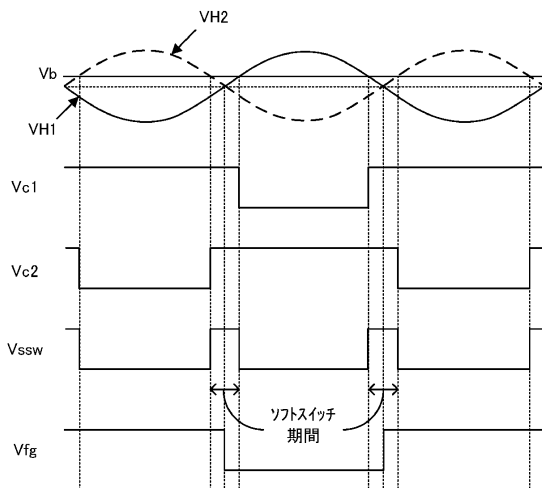
【図1】



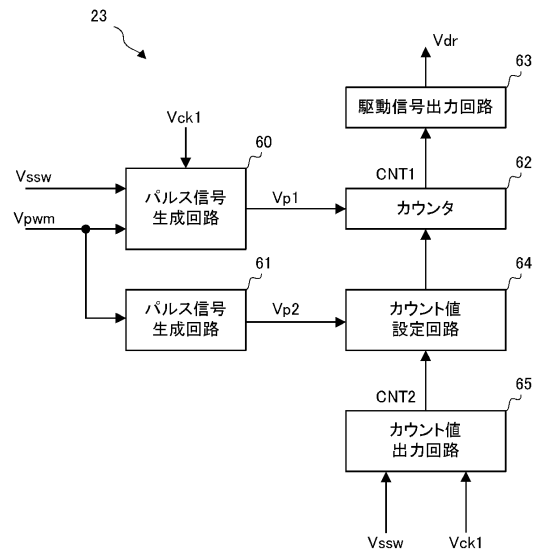
【図2】



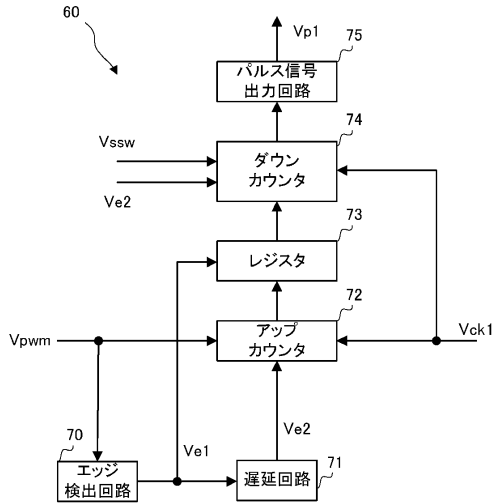
【図3】



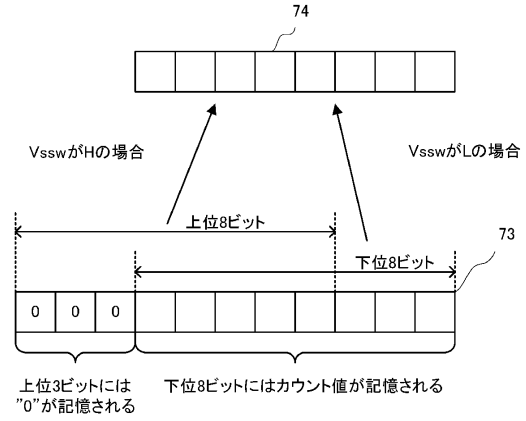
【図4】



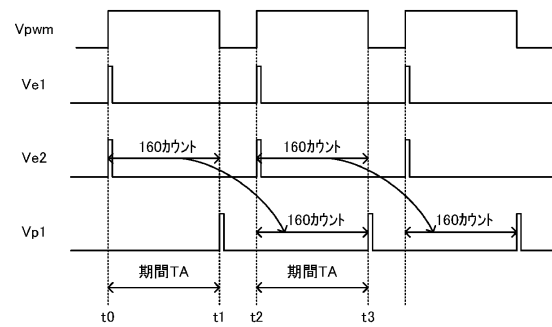
【図5】



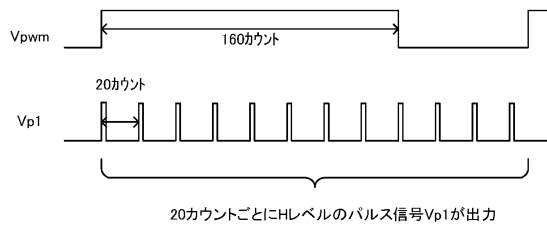
【図6】



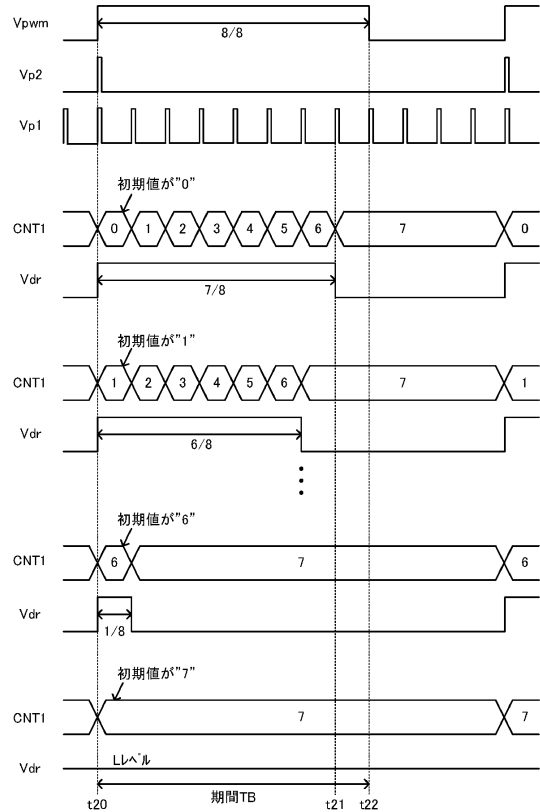
【図7】



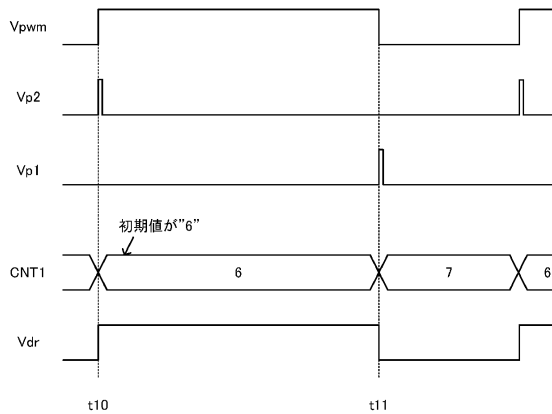
【図8】



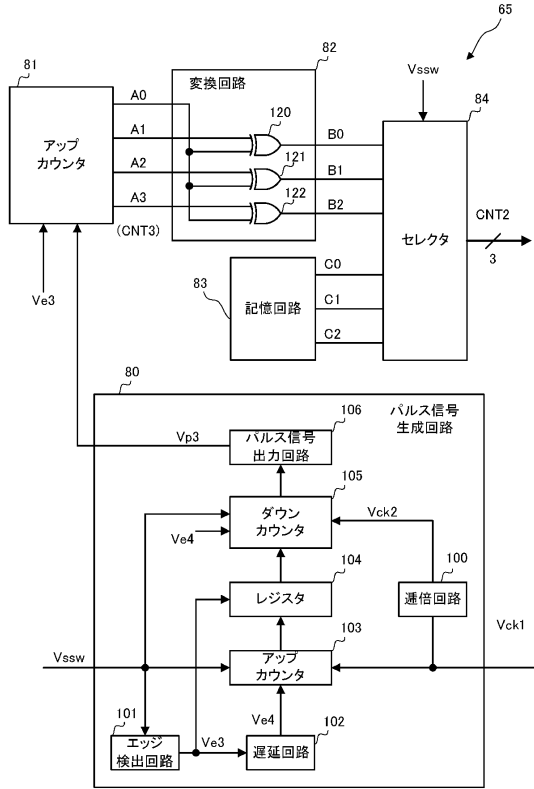
【図10】



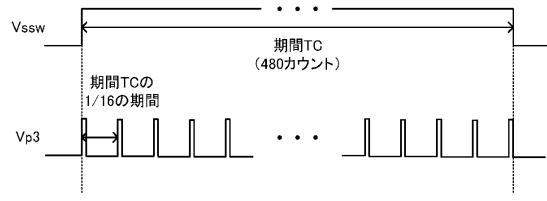
【図9】



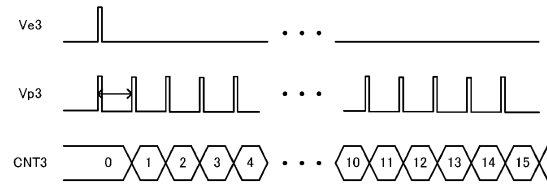
【図11】



【図12】



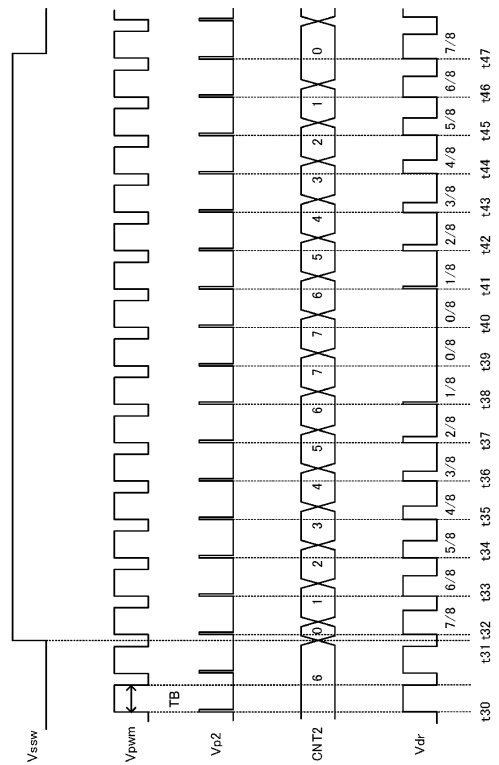
【図13】



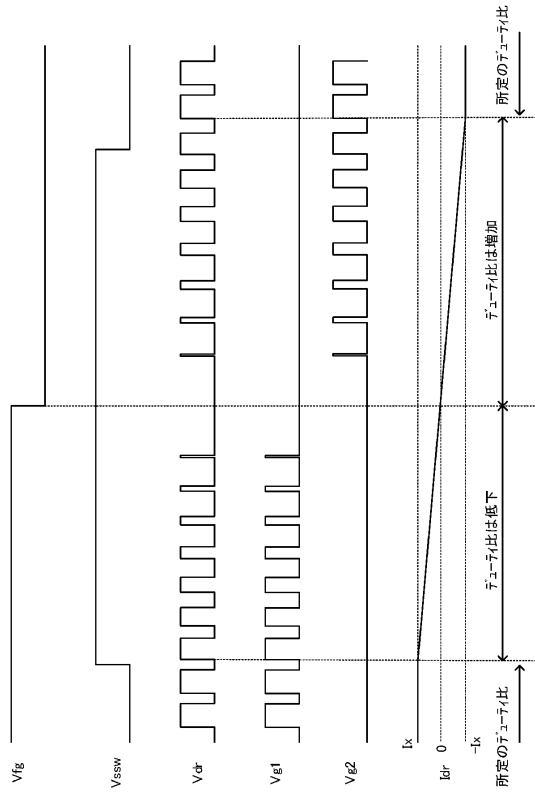
【図14】

アップカウンタ81の出力 (4ビット)					変換回路82の出力 (3ビット)			
10進数	A0	A1	A2	A3	10進数	B0	B1	B2
0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	1
2	0	0	1	0	2	0	1	0
3	0	0	1	1	3	0	1	1
4	0	1	0	0	4	1	0	0
5	0	1	0	1	5	1	0	1
6	0	1	1	0	6	1	1	0
7	0	1	1	1	7	1	1	1
8	1	0	0	0	7	1	1	1
9	1	0	0	1	6	1	1	0
10	1	0	1	0	5	1	0	1
11	1	0	1	1	4	1	0	0
12	1	1	0	0	3	0	1	1
13	1	1	0	1	2	0	1	0
14	1	1	1	0	1	0	0	1
15	1	1	1	1	0	0	0	0

【図15】



【図16】



フロントページの続き

審査官 田村 耕作

- (56)参考文献 特開2006-288055(JP,A)
特開2005-354878(JP,A)
特開2007-174778(JP,A)
特開2005-295769(JP,A)
特開2006-115585(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02P 6/08