(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 339 504**

(51) Int. Cl.:
H03K 19/003 (2006.01)
H02H 11/00 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Número de solicitud europea: **07822087 .8**
(96) Fecha de presentación : **31.10.2007**
(97) Número de publicación de la solicitud: **2087592**
(97) Fecha de publicación de la solicitud: **12.08.2009**

(54) Título: **Etapa de salida lógica de circuito integrado protegida contra una inversión de batería.**

(30) Prioridad: **10.11.2006 FR 06 09842**

(45) Fecha de publicación de la mención BOPI:
20.05.2010

(45) Fecha de la publicación del folleto de la patente:
20.05.2010

(73) Titular/es: **E2V Semiconductors**
avenue de Rochepleine
38120 Saint Egreve, FR

(72) Inventor/es: **Masson, Thierry y**
Coquille, Pierre

(74) Agente: **Justo Bailey, Mario de**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

Venta de fascículos: Oficina Española de Patentes y Marcas. Pº de la Castellana, 75 – 28071 Madrid

DESCRIPCIÓN

Etapa de salida lógica de circuito integrado protegida contra una inversión de batería.

La invención se refiere a los circuitos electrónicos integrados de tecnología MOS que deben alimentarse mediante una pila o una batería que puede tener una tensión relativamente elevada susceptible de destruir el circuito en caso de error de conexión de la batería. El error considerado en este caso es concretamente una conexión equivocada de una tensión negativa en una salida del circuito integrado cuyo sustrato está a un potencial más positivo (una referencia de masa por ejemplo).

A modo de ejemplo, en las aplicaciones para automóviles, la tensión clásica de alimentación la proporciona una batería de 12 voltios que se recarga de manera permanente a través de un regulador. En caso de error de derivación de la batería en el vehículo (conexión del terminal negativo en una salida de circuito integrado no destinada a recibir esta conexión) se puede admitir, como mucho, que las diversas instalaciones electrónicas dejan de funcionar, pero no puede admitirse que estén destruidas. Se ve no solamente que resisten a -12 voltios sino incluso por seguridad hasta -16 voltios (normalmente).

Un terminal de salida lógica comprende a menudo una etapa de salida push-pull que comprende un transistor PMOS y un transistor NMOS en serie, estando conectada la salida de la etapa al punto de unión de los dos transistores. Por etapa push-pull, se entiende un montaje de dos transistores en serie entre los terminales de alimentación, haciendo que uno de los transistores sea conductor mientras que el otro está bloqueado y viceversa, en función del estado lógico de la entrada de la etapa.

Por tanto, en este tipo de etapa, la salida está conectada al drenador del transistor MOS de canal N; o este drenador es una zona semiconductora dopada de tipo N que forma con el sustrato de tipo P (o con una cavidad de tipo P al potencial del sustrato) una unión NP.

Esta unión se polariza de manera directa si se aplica una tensión de alimentación negativa por error en la salida, mientras que el sustrato está a una tensión más positiva (cero). La unión se parte y se destruye el circuito integrado.

Las soluciones existentes para evitar este riesgo consisten esencialmente en prever un diodo en serie con la salida lógica, en el sentido inverso de la unión mencionada anteriormente. Este diodo impide el paso de corriente inversa en caso de conexión equivocada del terminal negativo de la batería en esta entrada. Pero este diodo no es fácil de integrar en el sustrato del circuito integrado y además introduce una caída de tensión de aproximadamente 0,7 voltios en la conexión de salida en régimen normal, lo que es perjudicial ya que la salida debe estar a un nivel lógico bajo. Además, es necesario polarizar el diodo en el sentido directo para estar seguro de que no introduce una caída de tensión incluso superior, por tanto, un consumo indeseable de corriente.

Asimismo se ha propuesto utilizar no un diodo en serie sino una resistencia en serie. Siguen existiendo los mismos inconvenientes: por ejemplo, con una corriente de salida nominal de 10 mA y una resistencia de limitación de corriente de al menos 50 ohmios (para evitar la destrucción de la unión en caso de conexión incorrecta), se produce una caída de tensión de 0,5 voltios en régimen normal, degradando el nivel lógico bajo que puede proporcionar la salida del circuito integrado.

Para resolver este problema, la invención propone modificar la etapa de salida para sustituir el conjunto en serie de un transistor NMOS y de un transistor PMOS por un conjunto en serie de dos transistores PMOS, controlados por niveles lógicos invertidos, teniendo el transistor PMOS conectado al potencial más bajo de la alimentación su puerta controlada por un circuito (una especie de bomba de carga) que proporciona una tensión inferior al potencial más bajo cuando el transistor debe hacerse conductor.

Dicho de otro modo, la invención propuesta es una etapa de salida lógica de un circuito integrado de tecnología CMOS, que comprende una entrada para una señal lógica de entrada, dos transistores en serie que funcionan en push-pull bajo el control de la señal lógica de entrada, estando conectado un primer transistor a un terminal de alimentación alta y el segundo a un terminal de alimentación baja, y una salida conectada al punto de unión de los dos transistores, caracterizada porque los dos transistores son transistores PMOS y porque un circuito de control de conducción, adecuado para aplicar a la puerta del segundo transistor una tensión negativa con respecto al terminal de alimentación baja cuando la señal lógica de entrada pasa a un nivel que tiende a bloquear el primer transistor, se interpone entre la entrada y la puerta del segundo transistor.

Preferiblemente, el circuito de control de conducción comprende un tercer y un cuarto transistor PMOS en serie, estando el tercer transistor conectado al terminal de alimentación alta y el cuarto al terminal de alimentación baja, y estando conectado el punto de unión de los transistores tercero y cuarto a la puerta del segundo transistor, estando controlada la puerta del cuarto transistor por una señal lógica inversa de la señal de entrada, comprendiendo el circuito además un condensador cuyo primer terminal está conectado al punto de unión de los transistores tercero y cuarto y un segundo terminal recibe una señal correspondiente a la señal de control del cuarto transistor retardada por un elemento de retardo.

Se prevé preferiblemente que un quinto transistor PMOS esté colocado en paralelo con el segundo, estando controlada la puerta del quinto transistor por un segundo circuito de control de conducción idéntico al primero, estando accionados los dos circuitos alternativamente bajo el control de un reloj que permite el funcionamiento de uno mientras que impide el funcionamiento del otro y viceversa.

El segundo y el quinto transistor están colocados ventajosamente en una misma cavidad de tipo opuesto al sustrato del circuito integrado.

En un perfeccionamiento, el segundo transistor está colocado en una cavidad de tipo N cuyo potencial se fija, mediante un circuito de polarización de cavidad, al valor del potencial de la salida si este potencial es positivo con respecto al sustrato y a un valor de potencial próximo al del sustrato si un potencial negativo con respecto al sustrato se aplica a la salida.

La etapa de salida según la invención es particularmente ventajosa cuando la salida está directamente conectada a un terminal de conexión exterior del circuito integrado.

Otras características y ventajas de la invención resultarán de la lectura de la descripción detallada que sigue, realizada en referencia a los dibujos adjuntos en los que:

- la figura 1 representa el principio de partida de una etapa de salida según la presente invención;

- la figura 2 representa la etapa de salida con su circuito de control de conducción;

- la figura 3 representa la etapa de salida con el detalle del circuito de control de conducción;

- la figura 4 representa el cronograma de las señales del circuito de la figura 3;

- la figura 5 ilustra el cronograma en el caso en el que la entrada permanece durante mucho tiempo al nivel alto;

- la figura 6 representa una modificación de la etapa de salida para permitir que la entrada permanezca durante mucho tiempo al nivel alto;

- la figura 7 representa un cronograma del circuito de la figura 6;

- la figura 8 representa un circuito de polarización de la cavidad del segundo transistor del conjunto push-pull conectado a la salida.

En la figura 1, se representa de forma simplificada el principio básico de una etapa de salida lógica según la invención.

El circuito integrado en sí mismo, con sus diferentes funcionalidades, no se representa y se supone que debe proporcionar a un terminal B de salida exterior una señal Vout lógica de nivel alto o bajo según el nivel lógico Vin bajo o alto que esta etapa recibe en una entrada E.

La etapa de salida comprende dos transistores PMOS T1 y T2 en serie entre los terminales de alimentación alta y baja, A y M, del circuito integrado. Estos terminales están destinados a recibir respectivamente un potencial de referencia nulo (terminal M) y un potencial de alimentación positivo Vdd (terminal A), por ejemplo de 12 voltios en una aplicación para automóvil. Los transistores están montados en lógica push-pull, en este sentido uno de ellos está controlado para ser conductor mientras que el otro está controlado para estar bloqueado y viceversa. La fuente del transistor T1 está al potencial de alimentación alto Vdd; el drenador de T1 y la fuente de T2 están conectados conjuntamente al terminal B de salida para proporciona una señal de salida Vout; el drenador de T2 está conectado al potencial de alimentación baja (masa M).

La entrada E de la etapa está conectada directamente a la puerta del transistor T1 y conectada por medio de un inversor I1 a la puerta del transistor T2.

Cuando la señal de entrada Vin está al nivel bajo (potencial de M), el transistor T1 es conductor y el transistor T2 está bloqueado; la salida proporciona un nivel lógico Vout alto (al potencial Vdd de A). Por el contrario, si la señal de entrada Vin está al nivel alto, es el transistor T2 el que es conductor y el transistor T1 está bloqueado; la salida proporciona un nivel lógico Vout bajo (potencial de M).

No obstante, el nivel lógico bajo así obtenido no es un buen nivel bajo. Llevando la puerta del transistor T2 a la masa M, apenas es posible hacer que la tensión de salida Vout descienda por debajo de aproximadamente 1 voltio, a causa de la tensión umbral que debe aplicarse necesariamente entre la puerta y la fuente para hacer que el transistor T2 sea conductor. Ahora bien, el buen funcionamiento de los circuitos conectados aguas abajo del terminal de salida B puede necesitar que el nivel lógico bajo proporcionado en este terminal sea verdaderamente un nivel bajo (muy próximo a cero) y no un nivel de 1 o 1,5 voltios.

Debido a esto, se prevé que el transistor al potencial más bajo (t2) tenga su puerta controlada por un circuito que puede hacer que el potencial de puerta descienda por debajo del potencial del terminal de alimentación más bajo cuando este transistor debe hacerse conductor.

El circuito de la figura 2 representa esquemáticamente este principio. Se ha sustituido el simple inversor de la figura 1 por un circuito de control de conducción CCC que tiene las funcionalidades siguientes:

- tras la recepción de una señal lógica de nivel bajo en la entrada E, bloquea el transistor T2 aplicando en su puerta una tensión igual a la tensión de alimentación Vdd;

- tras la recepción de una señal de nivel alto en la entrada E, hace que el transistor T2 sea verdaderamente conductor aplicando en su puerta una tensión más negativa que el potencial del terminal de alimentación baja M.

La figura 3 representa un ejemplo de circuito de control de conducción CCC que cumple estas funcionalidades. Es circuito comprende:

- un montaje push-pull de dos transistores PMOS Q1 y Q2, montados en serie como los transistores T1 y T2 entre los terminales de alimentación A y M (fuente de Q1 a Vdd y drenador de Q2 a la masa M); la puerta del transistor Q1 está controlada directamente por la entrada E; la puerta del transistor Q2 está controlada por un inversor I1 cuya entrada está conectada a la entrada E;

- un circuito de retardo DL para retardar el flanco de descenso que se presenta a la salida del inversor,

- un condensador C conectado entre la salida del circuito de retardo y la salida BST del circuito de control de conducción CCC; esta salida del circuito de control es la salida de la etapa push-pull Q1, Q2, tomada en el drenador de Q1 conectado a la fuente de Q2.

Este circuito de control de conducción CCC, que puede denominarse circuito de “bomba de carga”, funciona de la manera siguiente, explicada en referencia al cronograma de señales de la figura 4:

Cuando la entrada E está al nivel bajo, el transistor T1 es conductor y el transistor T2 está bloqueado por el estado alto de la señal phi1 de salida del inversor I1. La salida BST está al nivel alto Vdd.

Durante un flanco lógico ascendente desde el nivel bajo hacia el nivel alto en la entrada E (primera línea del cronograma), el transistor Q1 se bloquea; la señal phi1 desciende a cero (segunda línea del cronograma); esta señal phi1, aplicada a la puerta del transistor Q2, tiende a hacerlo conductor, el potencial Vgn en la salida BST del circuito desciende hasta un valor Vtp próximo a la tensión umbral del transistor T2 (véase la cuarta línea del cronograma); este potencial no puede descender más bajo sólo bajo el efecto de la salida del inversor I1.

A partir de la señal phi1, se produce una señal phi2, idéntica a phi1 aunque retardada por el circuito de retardo DL (tercera línea del cronograma); esta señal phi2 se aplica al condensador C; el paso brusco de phi2 al nivel bajo hace bajar bruscamente el potencial de la salida BST, por simple efecto capacitivo; el potencial de la salida BST se vuelve sensiblemente igual a Vtp-Vdd si se da la hipótesis de que la amplitud de la señal phi2 es sensiblemente igual a Vdd, lo que es fácil de obtener en un circuito lógico.

Vdd es muy superior a Vtp, de modo que el nivel de potencial en la salida BST se vuelve verdaderamente negativo durante el flanco descendente de phi2; el potencial de fuente de Q2 se vuelve más negativo que el potencial de puerta; el transistor Q2 se bloquea completamente, estando el transistor Q1 ya bloqueado. El nodo BST permanece aislado y conserva su potencial negativo.

Esta salida BST es la que sirve para controlar la puerta del transistor T2 de la etapa de salida. Por tanto, durante un flanco ascendente en la entrada E se produce una tensión negativa Vtp-Vdd que hace verdaderamente conductor el transistor T2 por una polarización de puerta más negativa que la fuente.

Durante un flanco lógico que vuelve a descender desde el nivel alto hacia el nivel bajo en la entrada E, el transistor Q1 se hace conductor, el transistor Q2 está bloqueado, la salida BST pasa a Vdd; cuando phi2 vuelve a ascender a Vdd, el condensador C se descarga. Se podría considerar que el circuito de retardo DL sólo actúe como circuito de retardo para flancos de descenso a la salida del inversor I1, pero es más sencillo utilizar como circuito con retardo un par de inversores o más generalmente un número par de inversores y, en este caso, actúa tanto en los flancos de ascenso como en los de descenso.

Este circuito está bien adaptado a un funcionamiento en el que la señal lógica en la entrada E varía dinámicamente. Tiene un defecto cuando la señal en la entrada E debe poder conservar estáticamente un nivel alto durante bastante tiempo. En efecto, las fugas del transistor Q1 corren el riesgo de hacer que vuelva a ascender progresivamente el nivel del potencial Vgn de la salida BST, como puede verse en la figura 5.

La figura 5 representa el cronograma de las señales en esta hipótesis en la que la señal de entrada permanece estáticamente al nivel alto durante un tiempo suficiente para que el potencial de salida Vgn empiece a evolucionar.

Se ve que este potencial vuelve a ascender hacia el nivel cero y que después lo supera hasta estabilizarse en las proximidades de Vtp. No asciende más allá de Vtp puesto que cuando llega a Vtp el transistor T2 que tiene su puerta a la masa se vuelve conductor y mantiene la salida próxima a Vtp.

Cuando está en Vtp, o incluso en un valor inferior, está claro que el circuito de control de conducción ya no cumple su función puesto que la tensión en el terminal de salida B será próximo a 2Vtp en lugar de ser verdaderamente nulo (se supone que los transistores Q1 y T1 tienen la misma tensión umbral Vtp).

Se propone según la invención un perfeccionamiento que se representa en la figura 6. Este perfeccionamiento consiste en prever un segundo transistor T'2 en paralelo al transistor T2, con un circuito de control de conducción CCC' para el transistor T2', idéntico al circuito CCC aunque controlado alternativamente con éste bajo el control de un reloj: durante un periodo de reloj CLK, el circuito CCC es el que actúa sobre el transistor T2; durante el periodo complementario siguiente NCLK, el circuito CCC' es el que actúa sobre el transistor T2'. Los flancos del reloj se utilizan para hacer bajar capacitivamente el potencial de salida Vgn o Vgn' de los dos circuitos CCC y CCC'.

Así, alternativamente, al ritmo del reloj, el transistor T2, y después el transistor T2', se harán verdaderamente conductores, de manera que aunque el potencial Vgn tienda a volver a ascender a la salida del circuito CCC, no tendrá tiempo de hacerlo antes de que el potencial Vgn' de salida del circuito CCC' experimente un nuevo impulso que le confiera un valor negativo.

Los flancos descendentes de salida del elemento de retardo DL pueden activarse por los flancos ascendente y descendente del reloj.

La figura 6 represente un ejemplo de realización del circuito y la figura 7 representa el cronograma de señales asociadas.

La entrada E permanece conectada directamente a la puerta del transistor T1 y está también conectada directamente a las puertas de los transistores Q1 y Q'1 de los circuitos idénticos CCC y CCC'. Los circuitos CCC y CCC' están modificados con respecto a la figura 3 porque comprenden cada uno una puerta lógica ET, respectivamente designadas por 10 y 10', de las que una entrada está conectada a la entrada E y la otra entrada recibe la señal de reloj CLK para la puerta 10 y el complemento NCLK de la señal de reloj para la puerta 10'. Los circuitos CCC y CCC' funcionan alternativamente en cada periodo de reloj cuando el nivel de entrada E es alto. Son inertes con respecto al reloj, es decir, desempeñan simplemente el papel de inversión de la señal de entrada E, cuando el nivel de entrada es bajo.

Cuando el nivel de entrada es alto, la señal phi1 reproduce, al invertirla, la señal de reloj CLK; la señal phi1' reproduce, al invertirla, el complemento NCLK de la señal CLK. Las señales phi2 y phi2' son idénticas a phi1, phi1', aunque retardadas por los elementos de retardo DL, Dl'. La tensión de salida Vgn en la salida BST del circuito CCC cae de Vdd a aproximadamente Vtp durante el flanco descendente de phi1, después de Vtp a Vtp-Vdd durante el flanco descendente de phi2. El transistor T2 se vuelve verdaderamente conductor y mantiene a cero la salida B. Cuando phi2 vuelve a ascender a 1, la tensión de salida Vgn vuelve a ascender a Vtp y ya no hace al transistor T2 suficientemente conductor, sino que en el mismo momento la señal phi2' pasa a Vtp-Vdd y hace verdaderamente conductor al transistor T2'. Por tanto, la salida B permanece a cero. Los transistores T2 y T2' son conductores alternativamente y mantienen a cero la salida B hasta que la entrada E vuelve a pasar al nivel bajo.

Si la entrada E vuelve a pasar al nivel bajo durante un nivel alto del reloj CLK, hace pasar phi1 a 1 (bloqueo de Q2) al mismo tiempo que hace conductor a Q1. La salida BST que estaba a Vtp-Vdd pasa debido a esto a Vdd y bloquea T2 al mismo tiempo que la entrada E pasa al nivel bajo. En este momento, estando la salida BST' al nivel Vtp pasa a Vdd, bloqueando también el transistor T2'. La inversa se produce, con el mismo resultado, si la entrada vuelve a pasar a 1 durante el nivel bajo del reloj CLK.

Los transistores T2 y T2' están en una misma cavidad N formada en el sustrato del circuito. El transistor T1 está en una cavidad separada.

Para mejorar la eficacia de la polarización negativa de la puerta del transistor T2 (o de los transistores T2 y T2'), se prevé preferiblemente llevar el cajón del transistor T2 (o T2 y T2') al potencial de la fuente de T2, por tanto a la salida B. Esto permite evitar que la tensión umbral Vtp de este transistor dependa del nivel de salida Vout en el terminal B. En efecto, la tensión umbral tiende a aumentar cuando el nivel de salida desciende incluso en presencia de una tensión de puerta negativa. Manteniendo la cavidad en el potencial de salida, se evita este inconveniente. No obstante, no puede conectarse directamente la cavidad a la fuente estableciendo un enlace entre la fuente (de tipo P) y una difusión de tipo N formada en la cavidad. Si se hiciera tal enlace directo se establecería un camino con un solo diodo sustrato/cavidad entre la salida y el sustrato, y este diodo pasaría a ser directo en caso de derivación equivocada del terminal negativo de la batería en la salida, y esto es justamente lo que se desea evitar. Por este motivo se lleva la cavidad al potencial de la salida B por medio de un circuito de polarización de cavidad que polariza esta última

- al potencial de la salida B si éste es positivo (situación normal)

- a un potencial próximo al del sustrato si es negativo (situación accidental).

El circuito de polarización de cavidad del transistor T2 se representa en la figura 8. Comprende un transistor Q3 PMOS formado en una cavidad de tipo N separada de las otras cavidades. Este transistor tiene su drenador conectado a su cavidad; tiene su fuente conectada a la salida B; tiene su puerta conectada al sustrato. Comprende también un transistor Q4 NMOS montado en diodo, cuyo drenador está conectado al drenador del transistor Q3, la fuente y la puerta al sustrato. Por último, una resistencia de limitación de corriente, por ejemplo, 100 kΩ, está conectada entre la salida B y los drenadores de estos dos transistores. Los drenadores de los transistores Q3 y Q4 forman la salida del circuito de polarización y están conectados a la cavidad del transistor T2.

Si la tensión en la salida B evoluciona entre 0 (potencial de masa al que está conectado el sustrato del circuito integrado) y un valor positivo, el transistor Q3 es conductor y lleva la cavidad del transistor T2 a Vout. El transistor Q4 está bloqueado. Si la tensión en la salida B se vuelve equivocadamente negativa con respecto al sustrato (a la masa), el transistor Q3 se bloquea, el transistor Q4 se vuelve conductor (su corriente muy limitada por la resistencia) y lleva la cavidad del transistor T2 a un potencial ligeramente negativo.

La cavidad del transistor T1 permanece a su vez al potencial Vdd al que se ha llevado su fuente.

REIVINDICACIONES

1. Etapa de salida lógica de un circuito integrado de tecnología CMOS, que comprende una entrada (E) para una señal lógica de entrada, dos transistores (T1, T2) en serie que funcionan en push-pull bajo el control de la señal lógica de entrada, estando conectado un primer transistor (T1) a un terminal de alimentación alta (A) del circuito integrado y el segundo (T2) a un terminal de alimentación baja (M), y una salida (B) conectada al punto de unión de los dos transistores, **caracterizada** porque los dos transistores son transistores PMOS y porque un circuito de control de conducción (CCC), adecuado para aplicar a la puerta del segundo transistor (T2) una tensión negativa con respecto al terminal de alimentación baja cuando la señal lógica de entrada pasa a un nivel que tiende a bloquear el primer transistor, se interpone entre la entrada y la puerta del segundo transistor.

2. Etapa de salida según la reivindicación 1, **caracterizada** porque el circuito de control de conducción comprende un tercer y un cuarto transistor PMOS en serie, estando el tercer transistor (Q1) conectado al terminal de alimentación alta y el cuarto (Q2) al terminal de alimentación baja, y estando conectado el punto de unión de los transistores tercero y cuarto a la puerta del segundo transistor (T2), estando controlada la puerta del cuarto transistor por una señal (phi1) lógica inversa de la señal de entrada, comprendiendo el circuito además un condensador (C) cuyo primer terminal está conectado al punto de unión de los transistores tercero y cuarto y un segundo terminal recibe una señal (phi2) correspondiente a la señal de control del cuarto transistor retardada por un elemento de retardo (DL).

3. Etapa de salida según una de las reivindicaciones 1 y 2, **caracterizada** porque un quinto transistor (T2') PMOS está colocado en paralelo con el segundo (T2), estando controlada la puerta del quinto transistor por un segundo circuito de control de conducción (CCC') idéntico al primero (CCC), estando accionados los dos circuitos alternativamente bajo el control de un reloj que permite el funcionamiento de uno mientras que impide el funcionamiento del otro y viceversa.

4. Etapa de salida según la reivindicación 3, **caracterizada** porque el segundo y el quinto transistor (T2, T2') están colocados en una misma cavidad de tipo opuesto al sustrato del circuito integrado.

5. Etapa de salida según una de las reivindicaciones 1 a 4, **caracterizada** porque el segundo transistor (T2) está colocado en una cavidad de tipo N cuyo potencial se fija al valor del potencial de la fuente de este transistor si este potencial es positivo con respecto al sustrato y a un valor de potencial próximo al del sustrato si un potencial negativo con respecto al sustrato se aplica a la salida (B).

6. Etapa de salida según la reivindicación 5, **caracterizada** porque comprende un circuito (Q3, Q4) de polarización de la cavidad del segundo transistor, que comprende un transistor PMOS (Q3) que tiene su fuente conectada a la salida (B), su puerta al sustrato y su drenador conectado a la cavidad así como al drenador de un transistor (Q4) NMOS que tiene su fuente y su puerta conectadas al sustrato, estando conectados los drenadores unidos de estos dos transistores a la cavidad del segundo transistor.

7. Etapa de salida según una de las reivindicaciones anteriores, **caracterizada** porque la salida (B) es un terminal de conexión exterior del circuito integrado.

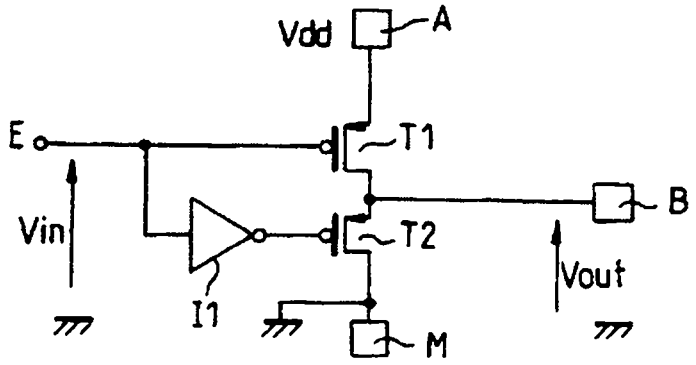


FIG.1

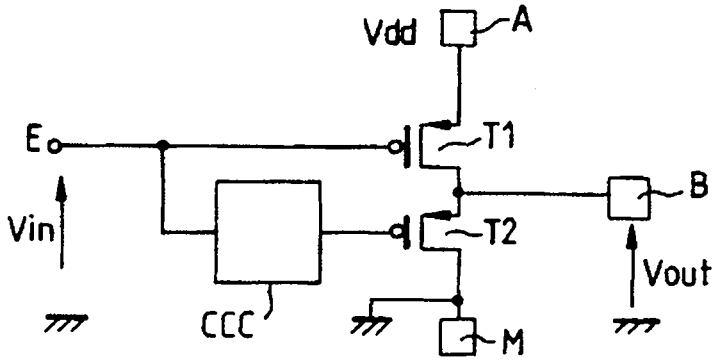


FIG.2

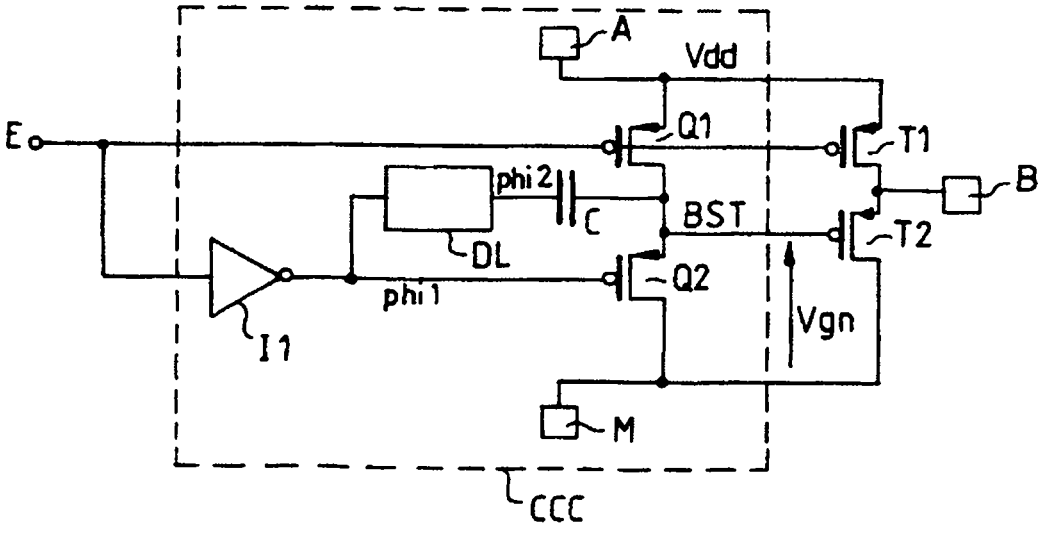


FIG.3

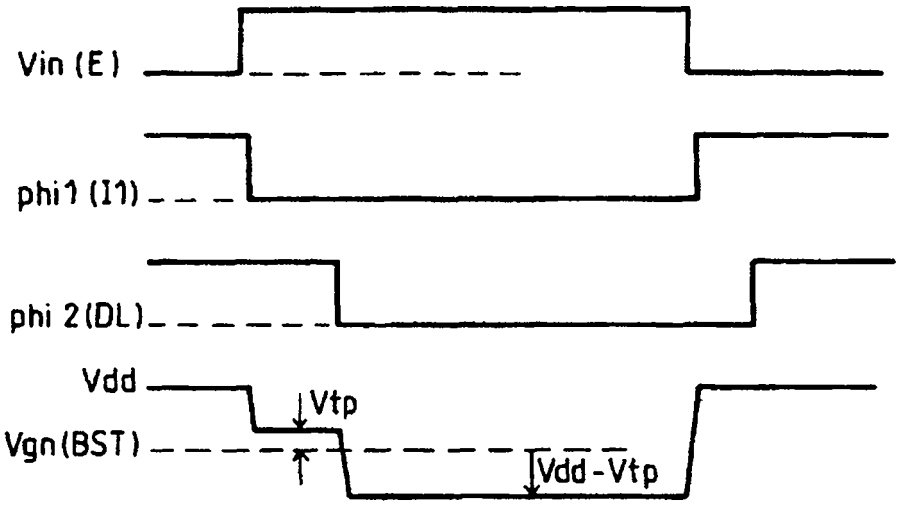

Vin (E)
phi1 (I1)
phi 2(DL)
Vdd
Vtp
Vgn(BST)
Vdd-Vtp

FIG.4

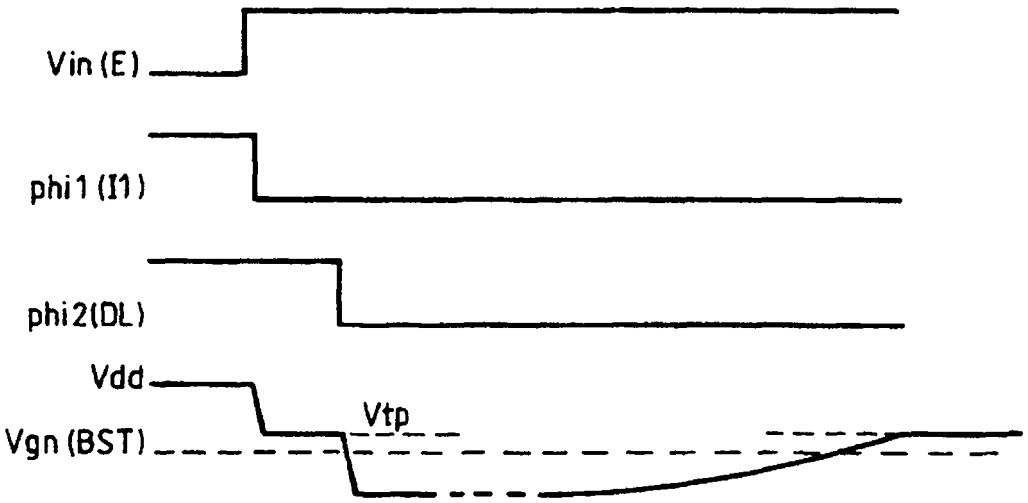

Vin (E)
phi1 (I1)
phi2(DL)
Vdd
Vtp
Vgn (BST)

FIG.5

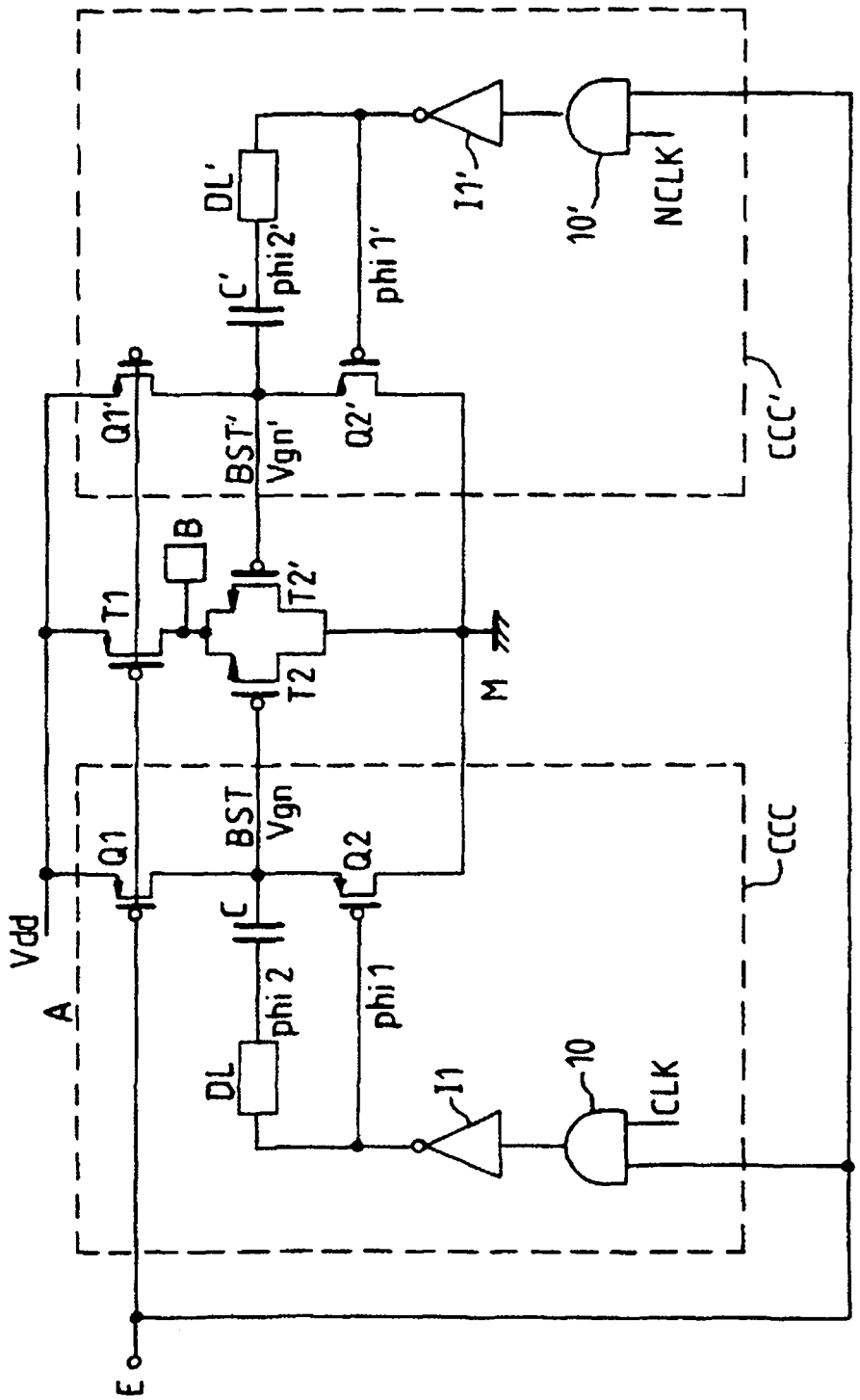

Vdd
A
E
Q1
BST
Vgn
Q2
C
phi 2
phi 1
DL
I1
10
CLK
CCC
Q1'
BST'
Vgn'
Q2'
C'
phi2'
phi 1'
DL'
I1'
10'
NCLK
CCC'
B
T1
T2
T2'
M

FIG.6

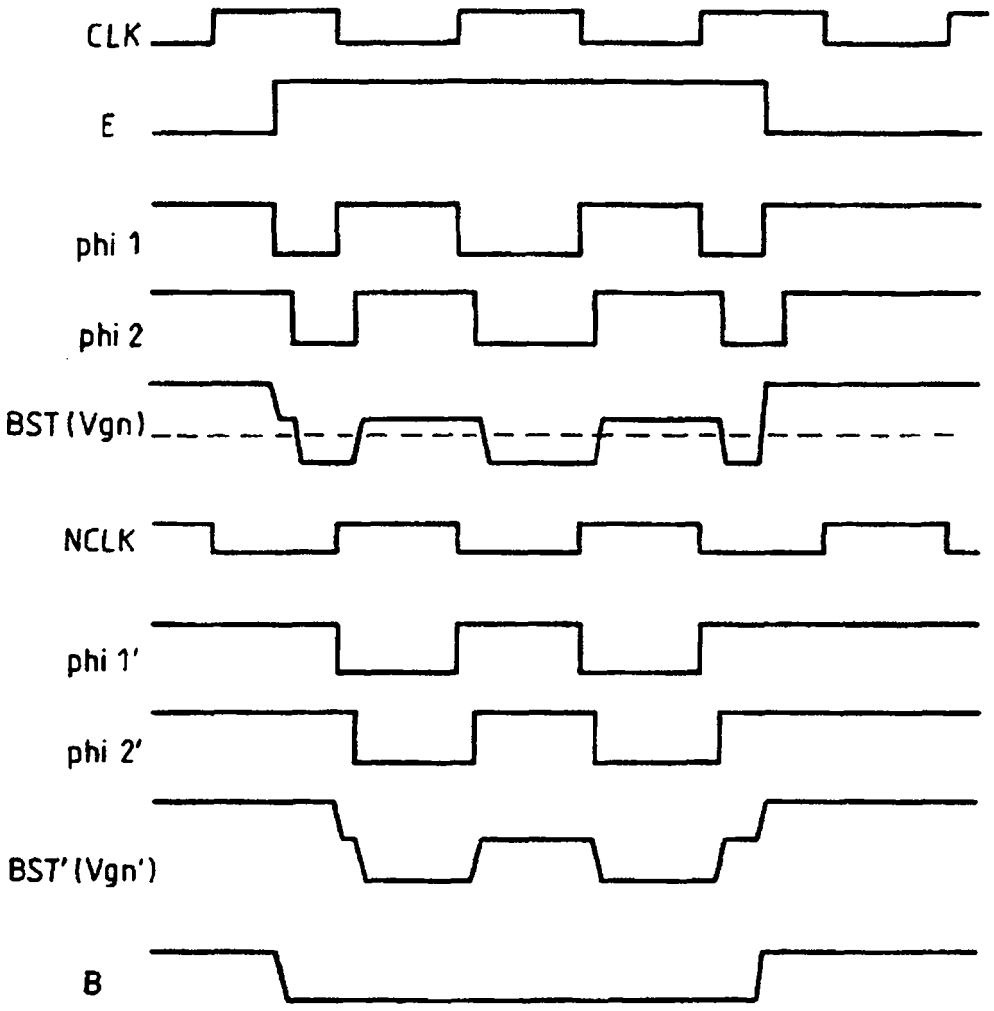


FIG.7

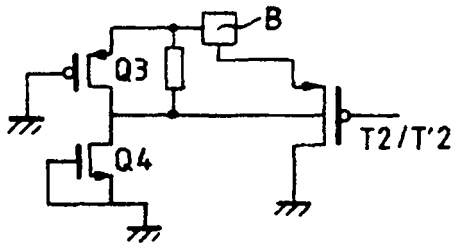


FIG.8