Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 824191

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 14.06.78 (21) 2631424/18-24

(51) М. Кл.[3] G 06 F 7/00

с присоединением заявки № —

(23) Приоритет —

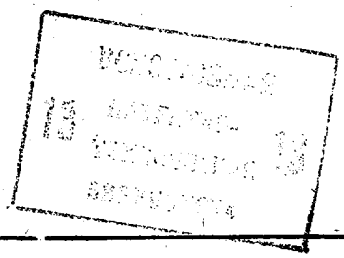
Опубликовано 23.04.81. Бюллетень № 15

(53) УДК 681.327 (088.8)

Дата опубликования описания 04.05.81

(72) Автор изобретения М. А. Солоха

(71) Заявитель —



(54) УСТРОЙСТВО ДЛЯ ЗАДЕРЖКИ СИГНАЛОВ

1

Изобретение относится к вычислительной технике и может быть использовано для создания синхронизирующих блоков в вычислительных устройствах.

Известно устройство, выполненное на основе регистра сдвига [1].

Недостатком этого устройства является сложность конструкции из-за большого количества выводов и дополнительного оборудования при необходимости электронно изменять интервал отводов с регистра сдвига.

Наиболее близким техническим решением к предлагаемому является устройство для задержки сигналов, содержащее основной накопитель, управляющие входы которого подключены к первому и второму выходам источника синхроимпульсов, третий выход которого соединен со входом счетчика [2].

Недостатком этого устройства является, то, что в нем отсутствуют промежуточные отводы и задержка постоянна при определенной частоте тактирования, так как она определяется циклом пересчетных схем и емкостью запоминающего устройства с произвольной выборкой. Это сужает область применения устройства.

2

Цель изобретения — расширение области применения устройства за счет обеспечения возможности управления шагом задержки, управления общей задержкой импульсов, а также получения промежуточных отводов.

Поставленная цель достигается тем, что устройство содержит дополнительный накопитель, логический блок и генератор импульсов кодов шага задержки, причем входы дополнительного накопителя подключены к одним из выходов основного накопителя, а выходы дополнительного накопителя соединены с одним из входов основного накопителя, входы логического блока подключены соответственно к третьему выходу источника синхроимпульсов, выходом счетчика и генератора импульсов шага задержки, а выходы логического блока соединены с другими входами основного накопителя.

На фиг. 1 изображена функциональная схема устройства для задержки сигналов; на фиг. 2 — диаграммы напряжений в различных точках устройства.

Устройство (фиг. 1) содержит основной накопитель 1 со входами 2_1—$2_к$ и выходами $3_л$—$3_к$, дополнительный накопитель 4,

источник 5 синхроимпульсов, имеющий выход 6, счетчик 7, логический блок 8 и генератор 9 импульсов шага задержки.

Управляющие входы основного накопителя 1 подключены к первому 10 и второму 11 выходам источника 5 синхроимпульсов, выход 6 которого соединен со входом счетчика 7 и входом логического блока 8. Входы дополнительного накопителя 4 подключены к одним из выходов 3 основного накопителя 1, а выходы дополнительного накопителя 4 соединены с одним из входов 2 основного накопителя 1. Входы логического блока 8 подключены соответственно к третьему выходу 6 источника 5 синхроимпульсов, выходам счетчика 7 и генератора 9 импульсов шага задержки, а выходы логического блока 8 соединены с другими входами основного накопителя 1.

На фиг. 2 показаны входные импульсы (фиг. 2*а*), поступающие на вход 2_1 основного накопителя 1, тактовые импульсы (фиг. 2*б*) от источника 5 синхроимпульсов, поступающие на вход счетчика 7, текущий код состояний счетчика (фиг. 2*в*), код, поступающий на входы основного накопителя 1 с логического блока 8 (фиг. 2*г*), синхроимпульсы считывания (фиг. 2*д*), поступающие по выходу 10 источника 5 синхроимпульсов на вход основного накопителя 1, и синхроимпульсы записи (фиг. 2*е*), поступающие по выходу 11 источника 5 синхроимпульсов на вход основного накопителя 1, синхроимпульс с задержкой относительно входного (фиг. 2*ж*) и синхроимпульс с задержкой (фиг. 2*и*), поступающий на вход 2_2 основного накопителя 1.

Устройство работает следующим образом.

В исходном состоянии основной накопитель 1 свободен от информации, и на выходах 3_1—$3_к$ сохраняется нулевое состояние. При поступлении первого входного импульса на вход 2_1 основного накопителя 1 (фиг. 2*а*) и синхроимпульса записи (фиг. 2*е*) с выхода источника 5 синхроимпульсов информация записывается в младший разряд слова основного накопителя 1 с адресом, равным сумме кодов шага промежуточных отводов и текущего кода счетчика 7 (например, с адресом 101). Второй входной импульс (фиг. 2*а*), поступающий на вход 2_1 основного накопителя 1, записывается в слово с другим адресом (например 111).

При достижении счетчиком 7 состояния, соответствующего адресу слова основного накопителя 1, в который записана информация при поступлении первого входного импульса (в данном случае кода 101), (фиг. 2*в*), с выхода источника 5 синхроимпульсов поступает синхроимпульс считывания (фиг. 2*д*), и на выходе 3_1 основного накопителя 1 появляется импульс с задержкой относительно входного импульса (фиг. 2*ж*). Этот задержанный импульс (фиг. 2*и*) записывается в дополнительный накопитель 4 и затем поступает на вход 2_2 основного накопителя 1. При приходе синхроимпульса записи (фиг. 2*е*) с выхода источника 5 синхроимпульсов задержанный импульс записывается во второй разряд слова (в данном случае с адресом 100) основного накопителя 1. При поступлении следующего синхроимпульса считывания (фиг. 2*д*) считывается нулевое состояние с выходов 3_1—$3_к$ основного накопителя 1 и прерывается единичный импульс с выходов дополнительного накопителя 4 (фиг. 2*и*). При достижении счетчиком 7 состояния, соответствующего адресу второго записанного слова (в данном случае 111), появляется синхроимпульс считывания (фиг. 2*д*) и затем появляется задержанный импульс (фиг. 2*ж*) на выходе 3_1 основного накопителя 1, который опять поступает на вход дополнительного накопителя 4 и при приходе следующего синхроимпульса записи записывается в основной накопитель 1. Следующий синхроимпульс считывания считывает нулевое состояние с выходов 3_1—$3_к$ основного накопителя 1 и прерывает единичный импульс с выходов дополнительного накопителя 4 (фиг. 2*и*). При достижении счетчиком 7 следующего состояния (в данном случае кода 100) появляется синхроимпульс считывания (фиг. 2*д*) на выходе источника 5 синхроимпульсов и затем импульс (фиг. 2*ж*) на выходе 3_2 основного накопителя 1, и так далее процесс продолжается до появления импульсов на выходе $3_к$ основного накопителя 1, после чего импульсы на вход основного накопителя 1 не поступают.

Следует отметить, что при неизменном шаге промежуточных отводов, равном времени просчета счетчика, адрес считывания и записи в один период тактовой частоты совпадает с текущим кодом счетчика. В этом случае логический блок и генератор импульсов шага задержки могут быть упразднены, а счетчик подключен выходами к другим входам основного накопителя.

Применение предлагаемого устройства для задержки сигналов вместо многоотводных регистров сдвига, построенных на триггерах, позволяет снизить аппаратурные затраты, уменьшить объем устройства, снизить рассеиваемую мощность.

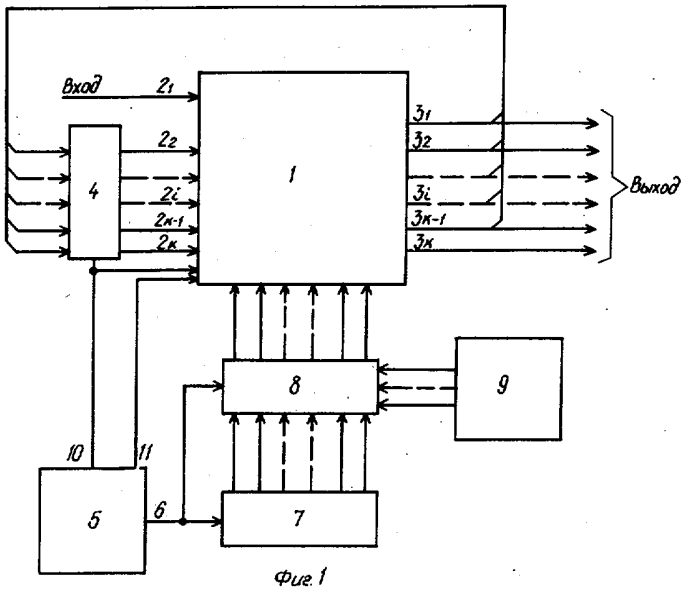
Формула изобретения

Устройство для задержки сигналов, содержащее основной накопитель, управляющие входы которого подключены к первому и второму выходам источника синхроимпульсов, третий выход которого соединен со входом счетчика, *отличающееся* тем, что, с

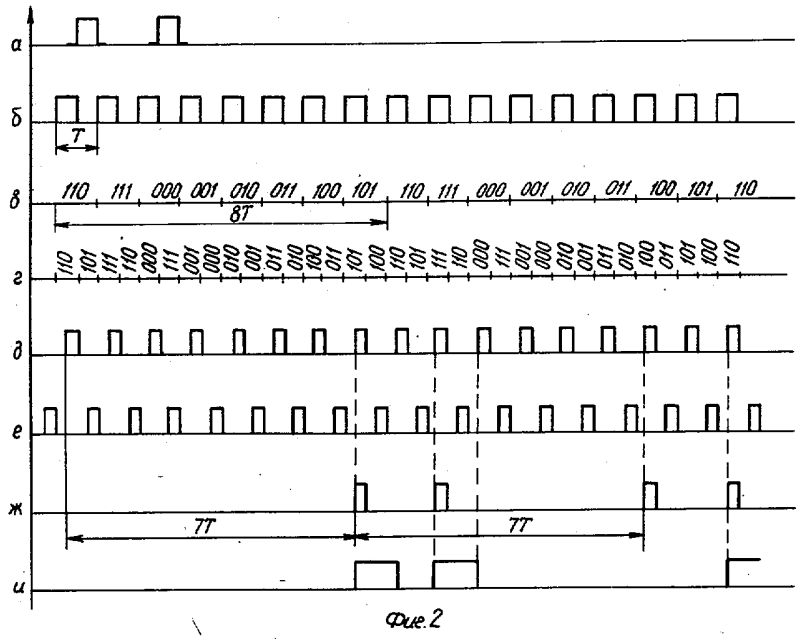
целью расширения области применения устройства за счет обеспечения возможности управления шагом задержки, оно содержит дополнительный накопитель, логический блок и генератор импульсов шага задержки, причем входы дополнительного накопителя подключены к одним из выходов основного накопителя, а выходы дополнительного накопителя соединены с одним из входов основного накопителя, входы логического блока подключены соответственно к третьему выходу источника синхроимпульсов, выходам счетчика и генератора импульсов шага задержки, а выходы логического блока соединены с другими входами основного накопителя.

Источники информации,
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 357590, кл. G 11 C 7/00, 1971.
2. Патент США № 3893088, кл. G 11 C 5/06, 1975 (прототип).



Фиг. 1



Фиг. 2

Составитель Т. Зайцева
Редактор Н. Рогулич Техред А. Бойкас Корректор М. Демчик
Заказ 2111/70 Тираж 745 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4