(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3702694号
(P3702694)
(45)発行日　平成17年10月5日(2005.10.5)　(24)登録日　平成17年7月29日(2005.7.29)

(51)Int.Cl.[7]	F I		
H03M 13/00	H03M	13/00	
G11B 20/18	G11B	20/18	512D
	G11B	20/18	544A

請求項の数 3　(全 14 頁)

(21)出願番号　特願平11-39743
(22)出願日　平成11年2月18日(1999.2.18)
(65)公開番号　特開2000-244331(P2000-244331A)
(43)公開日　平成12年9月8日(2000.9.8)
審査請求日　平成14年10月3日(2002.10.3)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　星沢　拓
神奈川県横浜市戸塚区吉田町２９２番地
株式会社日立製作所　マルチメディアシステム開発本部内
(72)発明者　川前　治
神奈川県横浜市戸塚区吉田町２９２番地
株式会社日立製作所　マルチメディアシステム開発本部内

審査官　藤井　浩

最終頁に続く

(54)【発明の名称】ディジタル信号処理回路

(57)【特許請求の範囲】

【請求項１】

ＲＳ符号を形成する第１のデータ列及び第１のデータ列とは異なる第２のデータ列を入力する入力手段と、

前記入力手段により入力された第１のデータ列及び第２のデータ列に対して誤り訂正処理を行う誤り訂正回路と、

前記誤り訂正処理がなされた第１のデータ列及び第２のデータ列を出力する出力手段とを有するディジタル信号処理回路において、

前記誤り訂正回路は、前記誤り訂正処理のシンドローム演算処理については第１のデータ列に対する処理及び第２のデータ列に対する処理を並行して行い、前記誤り訂正処理のシンドローム演算処理を除く演算処理については前記第１のデータ列に対する処理を行った後に前記第２のデータ列に対する処理を行い、

前記出力手段は、前記誤り訂正処理がなされた第１のデータ列を出力した後に、前記処理がなされた第２のデータ列を出力する出力手段とを有することを特徴とするディジタル信号処理回路。

【請求項２】

請求項１記載のディジタル信号処理回路において、前記誤り訂正処理のシンドローム演算処理を除く演算処理として、前記データ列のシンドロームに基いてデータ列の位置多項式及び誤り評価多項式を生成する回路と、前記データ列の位置多項式及び誤り評価多項式に基いてそれぞれのデータ列の誤りの位置及び誤りの値を求める回路とを含み、前記第１

のデータ列を出力した後に、前記処理がなされた第２のデータ列を出力する出力手段は、データ列の誤りの位置及び誤りの値を出力することを特徴とするディジタル信号処理回路。

【請求項３】
記録媒体から読み出されたデータを復調する復調回路と、前記復調回路により復調されたデータを一時的に記憶する記憶回路と、前記記憶回路に記憶されたデータを入力し、該入力されたデータに対して誤り訂正処理を行う請求項１又は２の何れか記載のディジタル信号処理回路とを有し、前記誤り訂正処理がなされたデータを再生することを特徴とするディスク再生装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】
本発明は、ディジタルデータ処理回路に関し、特にディジタルデータを一旦メモリに蓄えた後、誤り訂正処理が行なわれるディジタルデータ処理回路に関する。

【０００２】

【従来の技術】
記録媒体から読み取られたデータのディジタルデータ処理回路に関わる例として、林謙二著「ＣＤ－オーディオからパソコンへ－」コロナ社、ｐｐ．５６－７１（１９９０）に記載のものがある。これにはＣＤ再生装置、およびその装置に含まれるディジタルデータ処理部の処理内容とその回路構成についての記載がされている。

【０００３】
また特開平１０－１０７６４８号公報には、ＣＩＲＣの誤り訂正処理に必要なメモリへのアクセス回数を、読み出したデータを含むＣ１符号、Ｃ２符号のシンドローム演算を並列処理することで平準化し、誤り訂正処理の高速化を実現する方法および回路についての記載がある。さらに特開平８－１６７８５７号公報には、ＲＳ符号のシンドローム演算を複数ワード同時に処理することで、シンドローム演算に必要となる時間を短縮させる方法およびそれを実現するための回路についての記載がある。

【０００４】

【発明が解決しようとする課題】
しかし、従来の方法は、１符号ごとにデータの読み出し方向を変えて誤り訂正を行うシステムにおいて、誤り訂正回路からメモリへのアクセス回数を減らす方法やＲＳ符号のシンドローム演算を複数ワード同時処理することでシンドローム演算に必要な処理時間を短縮する方法についての記載はあるが、積符号のように複数方向に誤り訂正符号が形成され、一方向にまとめて複数の誤り訂正処理を行うことが可能な場合に誤り訂正回路からメモリへのアクセス回数を減らす方法や、一度に処理が必要なワード数が誤り訂正符号の方向に応じて変化する場合にもシンドローム演算を高速化することが可能な方法や回路についての記載はない。

【０００５】
本発明の目的は、同時にシンドローム演算の処理が必要とされるワード数が変化する場合においても、誤り訂正回路のメモリアクセス回数を減らし、誤り訂正処理を高速化、またこの回路を有するディジタルデータ処理回路のデータ処理を高速化することである。

【０００６】

【課題を解決するための手段】
上記した課題を達成するための本発明は、次の(１)～(３)である。（１）ＲＳ符号を形成する第１のデータ列及び第１のデータ列とは異なる第２のデータ列を入力する入力手段と、前記入力手段により入力された第１のデータ列及び第２のデータ列に対して誤り訂正処理を行う誤り訂正回路と、前記誤り訂正処理がなされた第１のデータ列及び第２のデータ列を出力する出力手段とを有するディジタル信号処理回路において、前記誤り訂正回路は、前記誤り訂正処理のシンドローム演算処理については第１のデータ列に対する処理及び第２のデータ列に対する処理を並行して行い、前記誤り訂正処理のシンドローム演算処

理を除く演算処理については前記第１のデータ列に対する処理を行った後に前記第２のデータ列に対する処理を行い、前記出力手段は、前記誤り訂正処理がなされた第１のデータ列を出力した後に、前記処理がなされた第２のデータ列を出力する出力手段とを有することを特徴とするディジタル信号処理回路。（２）前記（１）記載のディジタル信号処理回路において、前記誤り訂正処理のシンドローム演算処理を除く演算処理として、前記データ列のシンドロームに基いてデータ列の位置多項式及び誤り評価多項式を生成する回路と、前記データ列の位置多項式及び誤り評価多項式に基いてそれぞれのデータ列の誤りの位置及び誤りの値を求める回路とを含み、前記第１のデータ列を出力した後に、前記処理がなされた第２のデータ列を出力する出力手段は、データ列の誤りの位置及び誤りの値を出力することを特徴とするディジタル信号処理回路。（３）記録媒体から読み出されたデータを復調する復調回路と、前記復調回路により復調されたデータを一時的に記憶する記憶回路と、前記記憶回路に記憶されたデータを入力し、該入力されたデータに対して誤り訂正処理を行う前記（１）又は（２）の何れか記載のディジタル信号処理回路とを有し、前記誤り訂正処理がなされたデータを再生することを特徴とするディスク再生装置。

【０００７】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて説明する。

【０００８】

図１は本発明の第１の実施形態に関するディジタルデータ処理回路の構成を示すブロック図である。

【０００９】

この図において、１０１は２系列同時処理シンドローム演算回路、１０２はシンドローム演算回路、１０３はＳｎ演算回路、１０４はＳｎ－１演算回路、１０５はＳ０演算回路、１０６は８ビットデータ入力端子、１０７はＧＦ（２＾８）上の足し算回路、１０８はリセット、イネーブル付き８ビットレジスタ、１０９はα＾ｎの掛け算回路、１１０はα＾ｎ－１の掛け算回路、１１１はα＾０の掛け算回路、１１２はイネーブル付き８ビットレジスタ、１１３はイネーブル信号入力端子、１１４はリセット信号入力端子、１１５はセレクト信号入力端子、１１６はＡＮＤ回路、１１７はセレクト回路、１１８は８×（ｎ＋１）ビット出力端子である。

【００１０】

ただし、８ビットデータ入力端子１０６から入力される８ビットのディジタルデータは、生成多項式：Ｇ（ｘ）＝（ｘ－α＾ｎ）（ｘ－α＾ｎ－１）…（ｘ－α＾０）（ここで、α＾ｎはαのｎ乗を表わし、α＾ｎ，α＾ｎ－１，…，α＾０は、それぞれＧＦ（２＾８）の元である）からなるＲＳ符号（符号長ｌ、ｎ＋１）である。

【００１１】

２つの８ビットデータ入力端子１０６から入力されるディジタルデータは別のＲＳ符号であり、各々のシンドローム演算回路１０２内でＳｎ演算回路１０３、Ｓｎ－１演算回路１０４、…、Ｓ０演算回路１０５のｎ＋１個の回路に入力される。このデータは、各Ｓｉ演算回路１０３，１０４，１０５において、回路内に含まれるリセット、イネーブル付き８ビットレジスタ１０８の出力にα＾ｉを掛け合わせたデータと足し合わされた後、イネーブル信号入力端子１１３から入力されるイネーブル信号がＨの時、クロックの立ち上がりタイミングでリセット、イネーブル付き８ビットレジスタ１０８に取り込こまれる。

【００１２】

また、８ビットレジスタ１０８から出力されるデータは他のＳｊ演算回路の出力と共にセレクト回路１１７の入力となるか、イネーブル付き８ビットレジスタ１１２への入力となる。８ビットレジスタ１１２に入力されたリセット、イネーブル付き８ビットレジスタ１０８からの出力データは、リセット信号入力端子１１４から入力されたリセット信号とセレクト信号入力端子１１５から入力されたセレクト信号が共にＨのときのクロックの立ち上がり時にイネーブル付き８ビットレジスタ１０８に取り込まれ、セレクト回路１１７へ入力される。

【００１３】
このセレクト回路１１７に入力された２種類のデータは、セレクト信号入力端子１１５から入力されたセレクト信号のＨ、Ｌの値により、どちらか一方が選択され、８×（ｎ＋１）ビット出力端子１１８より、２系列同時処理シンドローム演算回路１０１の出力データ（シンドローム（Ｓｎ，Ｓｎ－１，…，Ｓ０））として出力される。
【００１４】
図２は、図１の２系列同時処理シンドローム演算回路１０１を含む誤り訂正回路の構成を示すブロック図の一例である。
【００１５】
この図において、２０１は誤り訂正回路、１０１は２系列同時処理シンドローム演算回路、１１３はイネーブル信号入力端子、１０６は８ビットデータ入力端子、２０２は第２演算回路、２０３は第３演算回路、２０４は誤り修正回路、２０６は誤り修正受付信号入力端子、２０７は誤りの位置出力端子、２０８は誤りの値出力端子、１１４はリセット信号入力端子、１１５はセレクト信号入力端子である。
【００１６】
先に記したセレクト信号を用いて２系列同時処理シンドローム演算回路１０１は、リセット信号入力端子１１４から全てのブロックに入力されるリセット信号の２回に１回の割合でリセットがかけられた後、８ビットデータ入力端子１０６から入力される２つのディジタルデータをその各々に同期した２つのイネーブル信号で取り込み、次のリセットが発生する前にそれぞれのデータ列に対するシンドロームを演算する。また、このように求められたシンドロームの値はセレクト信号入力端子１１５から入力されるセレクト信号の値に応じて、２系列同時シンドローム演算回路１０１から出力される。
【００１７】
第２演算回路は、リセット信号入力端子１１４から入力されるリセット信号のタイミングで、２系列同時シンドローム演算回路１０１から出力されたシンドロームを取り込み、この値を基に誤り位置多項式、誤り評価多項式を生成する。第２演算回路２０２で生成された誤り位置多項式、誤り評価多項式は、次の処理開始信号のタイミングで第３演算回路２０３に入力され、この回路内において、誤り位置多項式、誤り評価多項式を基に誤りの位置、誤りの値が求められた後、次のリセット信号で誤り修正回路２０４に取り込まれる。
【００１８】
最後に誤り修正回路２０４に入力されたいくつかの誤りの位置および誤りの値は、誤り修正受付信号入力端子２０６から入力される誤り修正受付信号で制御されながら、誤りの位置出力端子２０７、誤りの値出力端子２０８から次々と誤り訂正回路２０１の外部へと出力される。
【００１９】
次に図３、図４を用いて、本発明が誤り訂正処理時間を短縮することに有効であることを説明する。
【００２０】
図３は同時間に１系列のシンドロームのみを演算するシンドローム演算回路を有する誤り訂正回路の各回路における、時間と演算が行われているフレーム番号の関係を表わした図である。
【００２１】
図３において、縦軸はフレーム番号、横軸は時間、３０１はシンドローム演算が行われていること、３０２は第２演算（誤り位置多項式、誤り評価多項式生成）が行われていること、３０３は第３演算（誤りの位置、誤りの値演算）が行われていること、３０４は誤りの修正が行われていることを表わしている。
【００２２】
また、この図は、時間Ｔ＋ｉ・Δｔにおいて各フレームに対する誤り訂正処理演算が次のフレームへとシフトして行われることを表わしている。つまり、同時間に１系列のシンドロームのみを演算するシンドローム演算回路を有する誤り訂正回路内での処理は、１パイ

プラインの処理時間を固定時間のΔｔとした４段のパイプライン処理で行なわれている。さらに図３より、誤り訂正回路の１パイプラインの処理時間Δｔはシンドローム演算処理時間から決定していることがわかる。

【００２３】

従って、入力される誤り訂正符号の符号長ｌが長い場合など、誤り訂正回路へのディジタルデータの入力に要する時間が長く必要となるシステムにおいて、誤り訂正処理の高速化を実現するときに、この現象が問題となる。

【００２４】

すなわち、このようなシステムにおいてはシンドローム演算を高速化、データ入力の高速化が、誤り訂正処理時間を短縮するためには必須となる。

【００２５】

図４は図２の誤り訂正回路２０１の各回路における、時間と演算が行われているフレーム番号の関係を表わした図である。

【００２６】

図４において、図３と同様に縦軸は誤り訂正処理の対象となるフレーム番号、横軸は時間、３０１はシンドローム演算が行われていること、３０２は第２演算（誤り位置多項式、誤り評価多項式生成）が行われていること、３０３は第３演算（誤りの位置、誤りの値演算）が行われていること、３０４は誤りの修正が行われていることを表わしている。

【００２７】

この図は、図３で説明した誤り訂正回路と同様に誤り訂正を４段のパイプライン処理で行ない、シンドローム演算のみは時間Ｔ＋ｉ・Δｔでその他の演算は時間Ｔ＋１／２・ｉ・Δｔで行うが、図２の誤り訂正回路２０１では、シンドローム演算は２系列同時に行うことが可能なため、求められたシンドロームを時間１／２・ｉ・Δｔで切り替えながら出力することで、１パイプラインの処理時間を１／２・Δｔとすることが可能であることを表わしている。

【００２８】

これより、このシステムでは、図３のシステムと比較して、入力されるＲＳ符号の符号長や、誤り訂正回路へのディジタルデータの入力が要する時間を変えることなく、実質的にシンドローム演算を２倍に高速化したことと同じ効果を得ることができ、２系列に対する誤り訂正処理時間を２・Δｔ短縮できることがわかる。

【００２９】

またこの処理は、図２の誤り訂正回路２０１において、２種類の制御信号（リセット信号、およびセレクト信号）を図４のタイミングで入力し、シンドローム演算回路１０１から第２演算回路２０２へ出力される８×（ｎ＋１）ビットのシンドロームの値を、（Ｔ＋ｉ・Δｔ）のリセット信号＝Ｈ時には、図１におけるリセット、イネーブル付き８ビットレジスタ１０８からの出力とし、（Ｔ＋（１／２＋ｉ）・Δｔ）のリセット信号＝Ｈ時には、一度、リセット、イネーブル付き８ビットレジスタ１０８で（１／２・Δｔ）の間、保持されたシンドロームの値を出力することで実現される。

【００３０】

さらに、図２の誤り訂正回路２０１において、図１のシンドローム演算回路１０１で、セレクト信号入力端子１１５から入力されるセレクト信号をＨに固定し、８ビットデータ入力端子１０６からのみ、８ビットデータの入力を行うことで図３で示した従来通りの１系列のみのシンドローム演算を行う誤り訂正回路と同様の動作をさせることも当然ながら可能である。

【００３１】

以上、２系列同時シンドローム演算回路について述べてきたが、３系列、４系列、…と複数系列のシンドローム演算を同時に行うことが可能な回路を用いることでも、これと同じ効果は得ることができる。

【００３２】

図５は本発明の第２の実施形態に関するディジタル信号処理回路の構成を示すブロック図

である。

【００３３】

この図において、５０１は１系列２バイト同時処理または２系列同時処理シンドローム演算回路、５０８は×α＾ｉ出力付きシンドローム演算回路、５０９はシンドローム演算回路、１０３はＳｎ演算回路、５０２は×α＾ｍまたは×α＾２ｍセレクタ付きＳｍ演算回路、１０５はＳ０演算回路、５０６は上位バイトデータ用８ビットデータ入力端子、５０７は下位バイトデータ用８ビットデータ入力端子、１０７はＧＦ（２＾８）上の足し算回路、１０８はリセット、イネーブル付き８ビットレジスタ、１０９はα＾ｎの掛け算回路、５０３はα＾ｍの掛け算回路、１１１はα＾０の掛け算回路、１１２はイネーブル付き８ビットレジスタ、１１３はイネーブル信号入力端子、１１４はリセット信号入力端子、１１５はセレクト信号入力端子、５０５はモード信号入力端子、１１６はＡＮＤ回路、５０４はＯＲ回路、１１７はセレクト回路、１１８は８×（ｎ＋１）ビット出力端子である。

【００３４】

ただし、ここで扱う上位バイト用８ビットデータ入力端子５０６、下位バイト用８ビットデー入力端子５０７から入力される８ビットのデータは、

生成多項式：Ｇ１（ｘ）＝（ｘ－α＾ｎ）（ｘ－α＾ｎ－１）…（ｘ－α＾０）からなる２組のＲＳ符号（ｌ，ｎ＋１）であるか、

生成多項式：Ｇ２（ｘ）＝（ｘ－α＾ｍ）（ｘ－α＾ｍ－１）…（ｘ－α＾０）からなるＲＳ符号（ｋ，ｍ＋１）の２バイトの組データ（Ｄ２ｉ＋１，Ｄ２ｉ）である。（ＲＳ（ｋ，ｍ＋１）符号のデータ列を（Ｄｋ－１，Ｄｋ－２，…，Ｄｍ＋１，Ｄｍ，…，Ｄ０）とする。）

この１系列２バイト同時処理または２系列同時処理シンドローム演算回路５０１は、モード信入力端子５０５から入力されるモード信号の値がＬで、同じタイミングで同じ符号長を持つ２つのＲＳ符号がそれぞれ上位バイト用８ビットデータ入力端子５０６と下位バイト用８ビットデータ入力端子５０７から入力された場合には、図１の２系列同時シンドローム演算回路１０１と同じ動作をする。また、モード信号の値がＨの時に上位バイト用８ビットデータ入力端子５０６と下位バイト用８ビットデータ入力端子５０７から（Ｄｋ－１，Ｄｋ－２，…，Ｄｍ＋１，Ｄｍ，…，Ｄ０）で表わされるＲＳ符号の２バイトの組データを（Ｄｋ－１，Ｄｋ－２），（Ｄｋ－３，Ｄｋ－４），…，（Ｄ１，Ｄ０）の順で入力すると、×α＾ｉ出力付きシンドローム演算回路５０８とシンドローム演算回路５０９にはそれぞれ異なるデータ列、それぞれ（Ｄｋ－１，Ｄｋ－３，…，Ｄ１），（Ｄｋ－２，Ｄｋ－４，…，Ｄ０）が入力される。

【００３５】

×α＾ｉ出力付きシンドローム演算回路５０８内のＳｎ演算回路１０３、…、Ｓｍ演算回路５０２、…、Ｓ０演算回路１０５のｎ＋１個の回路にはＤ２ｉ＋１が同時に入力され、Ｓｉ（ｉ＝ｎ，…，ｍ＋１）演算回路では、回路内に含まれるリセット、イネーブル付き８ビットレジスタ１０８から出力されるデータにα＾ｉを掛け合わせたデータと足し合わせ、Ｓｊ（ｊ＝ｍ，…，０）演算回路においては、回路内に含まれるリセット、イネーブル付き８ビットレジスタ１０８から出力されるデータにα＾ｊを２回掛け合わせたデータと足し合わせた後、イネーブル信号入力端子１１３から入力されるイネーブル信号がＨの時、クロックの立ち上がりタイミングでリセット、イネーブル付き８ビットレジスタ１０８に取り込こまれる。

【００３６】

また同様にシンドローム演算回路５０９内のＳｎ演算回路１０３、…、Ｓｍ演算回路５０２、…、Ｓ０演算回路１０５のｎ＋１個の回路にはＤ２ｉが同時に入力され、Ｓｉ（ｉ＝ｎ，…，ｍ＋１）演算回路においては、回路内に含まれるリセット、イネーブル付き８ビットレジスタ１０８から出力されるデータにα＾ｉを掛け合わせたデータと足し合わせ、Ｓｊ（ｊ＝ｍ，…，０）演算回路においては、回路内に含まれるリセット、イネーブル付き８ビットレジスタ１０８から出力されるデータにα＾ｊを２回掛け合わせたデータと足

し合わせた後、イネーブル信号入力端子１１３から入力されるイネーブル信号がＨの時、クロックの立ち上がりタイミングでリセット、イネーブル付き８ビットレジスタ１０８に取り込こまれる。

【００３７】

リセット、イネーブル付き８ビットレジスタ１０８に取り込こまれた信号は、Ｓｉ（ｉ＝ｎ，…，０）演算回路からの出力となり、×α＾ｉ出力付きシンドローム演算回路５０８からは、ｊ（≦ｍ）に対してはさらにリセット、イネーブル付き８ビットレジスタ１０８の値を×α＾ｊした値も出力される。

【００３８】

１つのＲＳ符号が全て入力された後、すなわち各シンドローム演算回路にｋ／２個のデータが入力された後の×α＾ｉ出力付きシンドローム演算回路５０８の×α＾ｊされた後の出力とシンドローム演算回路５０９のｊ（≦ｍ）に対する出力の値は、それぞれ、

Ｓｊ＿５０８＝Ｄｋ－１・α＾（ｊ（ｋ－１））＋Ｄｋ－３・α＾（ｊ（ｋ－３））＋…＋Ｄ１・α＾ｊ、

Ｓｊ＿５０９＝Ｄｋ－２・α＾（ｊ（ｋ－２））＋Ｄｋ－４・α＾（ｊ（ｋ－４））＋…＋Ｄ０となる。

【００３９】

これより、モード信号入力端子５０５から入力されるモード信号がＨのときには、８×（ｎ＋１）ビット出力端子１１８からは、（Ｓｍ＿１，Ｓｍ－１＿１，…，Ｓ０＿１）と（Ｓｍ＿２，Ｓｍ－１＿２，…，Ｓ０＿２）の各々を足し合わせて求められるシンドローム（Ｓｍ，Ｓｍ－１，…，Ｓ０）が出力される。

【００４０】

以上より、１系列２バイト同時処理または２系列同時処理シンドローム演算回路５０１は、モード信号入力端子５０５から入力されるモード信号がＨのとき１系列のＲＳ符号を同時に２バイト処理し、モード信号がＬのとき２系列のＲＳ符号を同時に処理することがわかる。

【００４１】

図１０は図５の１系列２バイト同時処理または２系列同時処理シンドローム演算回路５０１を含む誤り訂正回路１００５を有するディジタルディスク再生装置の構成を示すブロック図である。

【００４２】

始めに、この図１０のディスク１００１に書き込まれるディジタルデータのフォーマットについて説明する。ディスク１００１に記録された信号は、メインデータから“データセクタ６０１”，“ＥＣＣブロック７０１”，“記録セクタ８０２”，“物理セクタ９０１”を順に構成しながら作られていく。

【００４３】

図６は、１データセクタ６０１の構成を表わした図である。

【００４４】

この図を用いて、メインデータから１データセクタ６０１が作られるまでの流れを説明する。

【００４５】

まず始めに時系列で分割された２０４８バイトのメインデータ６０２に、４バイトの識別データ（ＩＤ）６０３、２バイトのＩＤ誤り検出符号（ＩＥＤ）６０４、６バイトの著作権管理情報（ＣＰＲ＿ＭＡＩ）６０５をメインデータの先頭に付加する。さらにこの２０６０バイトのデータに対する４バイトの誤り検出符号（ＥＤＣ）６０６をデータ２０３末尾に付加することで１データセクタ６０１は生成される。

【００４６】

図７は、１ＥＣＣブロック７０１の構成を表わした図である。

【００４７】

この図を用いて、１６個のデータセクタ６０１から１ＥＣＣブロック７０１が作られるま

での流れを説明する。
【００４８】
まず始めに１６データセクタ６０１の１７２バイトの各列に１６バイトの外符号（ＰＯ７０２）を付加する。次に生成された２０８行の各行に１０バイトの内符号（ＰＩ７０３）を付加する。このようにして生成された２０８行×１８２バイトからなるデータフィールドを１ＥＣＣブロック７０１という。
【００４９】
ただし、ＰＩ符号は
生成多項式ＧＰＩ（ｘ）＝（ｘ－α＾９）（ｘ－α＾８）…（ｘ－α＾０）
からなるＲＳ（１８２，１７２，１１）符号であり、
ＰＯ符号は、
生成多項式ＧＰＯ（ｘ）＝（ｘ－α＾１５）（ｘ－α＾１４）…（ｘ－α＾０）、
からなるＲＳ（２０８，１９２，１７）符号である。
【００５０】
図８は、記録セクタ８０２の構成を表わした図である。
【００５１】
１記録セクタ８０１は、１ＥＣＣブロック７０１生成時に付加されたＰＯ７０２の１行をＰＩ７０３を含む１２行の１データセクタの下に合わせた１８２バイト×１３行のデータフィールドである。
【００５２】
図９は、１物理セクタ９０１の構成を表わした図である。
【００５３】
１記録セクタ８０１から１物理セクタが作られるまでの流れをこの図を用いて説明する。
【００５４】
１記録セクタ８０１は、始めに縦に２分割（分割された１ブロックは９１バイト×１３行である）され、図９が表わすように各行の先頭に３２ビットのＳＹＮＣコード９０２（ＳＹ０～ＳＹ７）が付加される。そして、２分割したデータを再度合成し、ＳＹＮＣコード９０２を除く１８２×１３バイトのデータに対し、直流成分を抑制するための８／１６変調（８ビットで構成されるデータをあるデータテーブルを基に１６チャネルビットへと変換するシステム）を行う。このようにして作られた２９７６×１３ビットのデータが１物理セクタ９０１であり、この信号がディスク記録信号となり、図１０のディスク１００１に書き込まれている。
【００５５】
図１０が示す１系列２バイト同時処理または２系列同時処理シンドローム演算回路５０１を含む誤り訂正回路１００５を有するディジタルディスク再生装置について説明する。
【００５６】
図１０の１００１はディスク、１００２はピック、１００３は復調回路、１００４はＲＡＭ、１０５は１系列２バイト同時処理または２系列同時処理シンドローム演算回路を有する誤り訂正回路、１００６は出力回路、１００７は制御回路、１００８はデータ要求信号入力端子、１００９はメインデータ出力端子である。
【００５７】
尚、このディジタルディスク再生装置に含まれるＲＡＭ１００４は２バイト単位で読み出し、書き込みが行われる。
【００５８】
この図においてピック１００２がディスク１００１から読み出したディジタル信号は、まず復調回路１００３へ入力される。復調回路１００３ではＳＹＮＣコード９０２を検出、８／１６復調を行った後、制御回路１００７にＲＡＭ１００４へのデータ書き込み請求信号、ＳＹＮＣコード９０２を送信した後に、制御回路１００７からＲＡＭ１００４に送られるアドレスにＰＩ方向の２バイトデータを一度に書き込む。制御回路１００７は、１ＥＣＣブロック７０１のデータを復調回路１００３がＲＡＭ１００４にを書き込むと、誤り

訂正回路１００５に２０８系列に対するＰＩ訂正、１７２系列に対するＰＯ訂正の順で誤り訂正処理を行わせる。

【００５９】

制御回路１００７は２０８系列のＰＩ符号に対する誤り訂正が行われている期間、誤り訂正回路１００５のモード信号をＨとし、復調回路１００３からＲＡＭ１００４へのデータ書き込みが行われないときに、ＲＡＭ１００４から誤り訂正回路１００５に２バイトのデータを出力させると同時に誤り訂正回路１００５に入力されるイネーブル信号をＨにすることでシンドローム演算回路にＰＩ符号に含まれる２バイトのデータを一度に取り込ませながら、ＰＩ符号に対するシンドローム演算処理を行わせる。

【００６０】

またＰＯ訂正を行う間は、制御回路１００７は誤り訂正回路１００５のモード信号の値をＬとし、ＲＡＭ１００４から誤り訂正回路１００５にＰＩ訂正時と同じようにＰＩ方向に２バイトのデータを入力させると同時にイネーブル信号をＨにすることで、シンドローム演算回路に同時に２系列のＰＯ訂正を行わせる。またこの図における制御回路１００７は誤り訂正回路１００５にパイプライン処理の切り替えタイミングを教えるリセット信号や誤り訂正回路１００５で求められた誤りの位置を基に、誤り訂正回路１００５がＲＡＭ１００４上の誤りの修正をさせる制御信号、ＲＡＭ１００４の制御信号を生成したり、誤り訂正処理が行われた１ＥＣＣブロックのデータをデータ要求信号入力端子１００８から入力される外部からのデータ要求に備え、復調回路１００３誤り訂正回路１００５からＲＡＭ１００４へのアクセスが行われないときに出力回路１００６に出力させるなどの制御を行っている。

【００６１】

この図のようにＲＡＭ１００４などのデータ一時記憶回路に複数の回路からのアクセスが行われる装置でも、図５の１系列２バイト同時処理または２系列同時処理シンドローム演算回路５０１を使用すると、誤り訂正回路１００５がＲＡＭ１００４からのデータ読み出しに必要となるアクセス回数を半分にすることができるため、図３および図４を用いて示したように誤り訂正処理時間を短縮することができる。

【００６２】

また、ディスク１００１からのデータ読み出しを高速化し、装置内のデータ処理速度をあげるときに、各処理回路の高速化方法、各処理回路からのＲＡＭアクセス数の増大などが問題となるが、本発明の回路を利用することで誤り訂正回路１００５からＲＡＭ１００４へのアクセス回数も低減させることができるため、図４を用いて説明したように誤り訂正処理の高速化が可能となり、また他の処理回路からのＲＡＭアクセス数の増大に対応できるため、本発明は図１０のような回路構成のシステムの高速化に対して大変有効であることがわかる。

【００６３】

尚、本実施例では主に２系列同時演算、１系列２バイト同時演算が可能なシンドローム演算回路を有するディジタル信号回路について取り上げてきたが、３、４、５、…など全ての複数系列同時演算、複数系列複数バイト同時演算が可能なシンドローム演算回路を有することによりこれと同じ効果を得ることができる。

【００６４】

また、説明したシンドローム回路の効果は、図１０のディジタルデータ再生装置の以外の回路構成でも得ることが可能である。

【００６５】

【発明の効果】

以上、本発明によれば、複数方向に誤り訂正が行なわれるデータを入力とするデータ再生処理装置で、誤り訂正回路に含まれるシンドローム演算回路の入力を複数のデータ列または同じデータ列上の複数データに切り替え、求められた複数のシンドロームから次の演算で用いるシンドロームを選択し、シンドローム演算回路から出力することにより、同時に処理が必要なデータ数が変化する場合においても、誤り訂正回路のメモリアクセス回数を

減らし、誤り訂正処理を高速化、またこの回路を有するディジタル信号処理回路の処理を高速化させることが可能である。

【図面の簡単な説明】

【図１】２系列同時シンドローム演算回路の図。

【図２】２系列同時シンドローム演算回路を有する誤り訂正回路の図。

【図３】既存のシンドローム演算回路を有する誤り訂正回路での系列番号と時間の関係を示した図。

【図４】２系列同時シンドローム演算回路を有する誤り訂正回路での系列番号と時間の関係を示した図。

【図５】１系列２バイト同時処理または２系列同時処理シンドローム演算回路の図。

【図６】１データセクタの図。

【図７】１ＥＣＣブロックの図。

【図８】記録セクタの図。

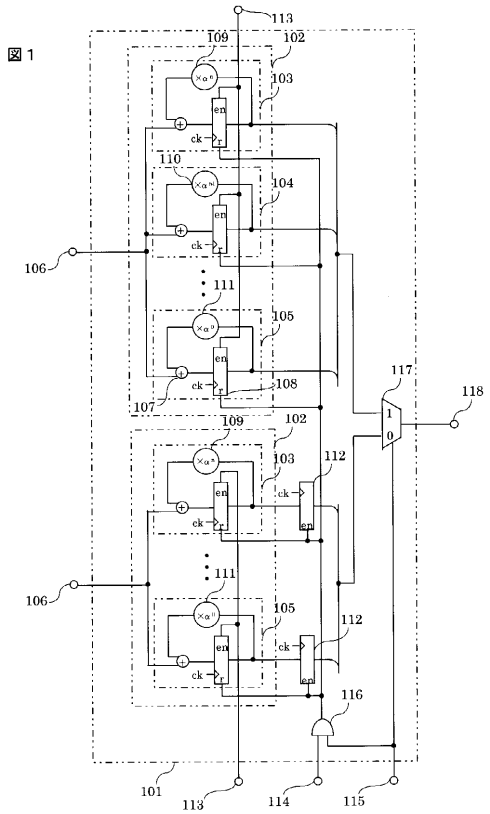
【図９】１物理セクタの図。

【図１０】ディスク再生装置の図。

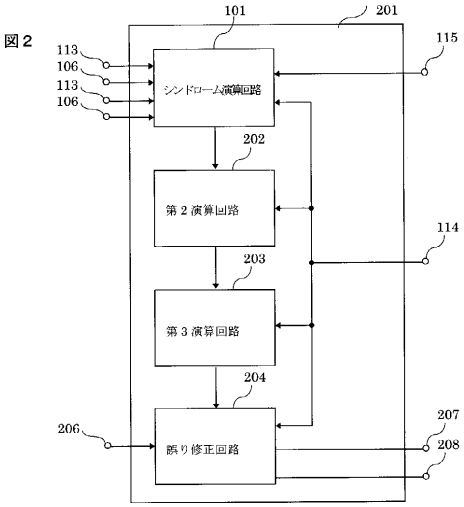
【符号の説明】

１０１…２系列同時シンドローム演算回路、１０２…シンドローム演算回路、１０３…Ｓｎ演算回路、１０４…Ｓｎ－１演算回路、１０５…Ｓ０演算回路、１０６…８ビットデータ入力端子、１０７…ＧＦ（２＾８）上の足し算回路、１０８…リセット、イネーブル付き８ビットレジスタ、１０９…α＾ｎの掛け算回路、１１０…α＾ｎ－１の掛け算回路、１１１…α＾０の掛け算回路、１１２…イネーブル付き８ビットレジスタ、１１３…イネーブル信号入力端子、１１４…リセット信号入力端子、１１５…セレクト信号入力端子、１１６…ＡＮＤ回路、１１７…セレクト回路、１１８…８×（ｎ＋１）ビット出力端子、２０１…誤り訂正回路、２０２…第２演算回路、２０３…第３演算回路、２０４…誤り修正回路、２０６…誤り修正受付信号入力端子、２０７…誤りの位置出力端子、２０８…誤りの値出力端子、５０１…１系列２バイト同時処理または２系列同時処理シンドローム演算回路、５０２…×α＾ｍまたは×α＾２ｍセレクタ付きＳｍ演算回路、５０３…α＾ｍの掛け算回路、５０４…ＯＲ回路、５０５…モード信号入力端子、５０６…上位バイトデータ用８ビットデータ入力端子、５０７…下位バイトデータ用８ビットデータ入力端子、５０８…×α＾ｉ出力付きシンドローム演算回路、５０９…シンドローム演算回路。

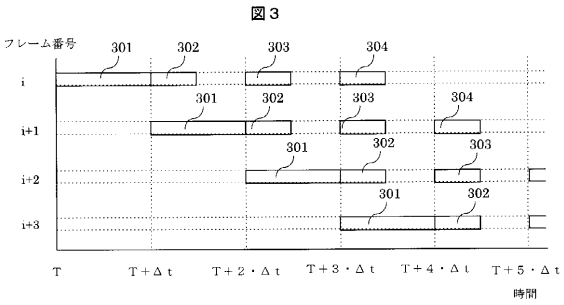
【図１】


図１
113
109
102
103
110
104
106
111
105
107
108
117
118
112
116
101
114
115

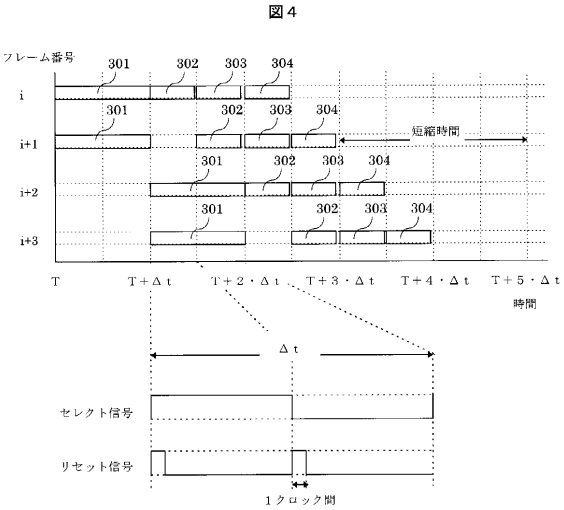
【図２】


図２
101
201
115
113
106
113
106
シンドローム演算回路
202
第２演算回路
114
203
第３演算回路
204
206
誤り修正回路
207
208

【図３】

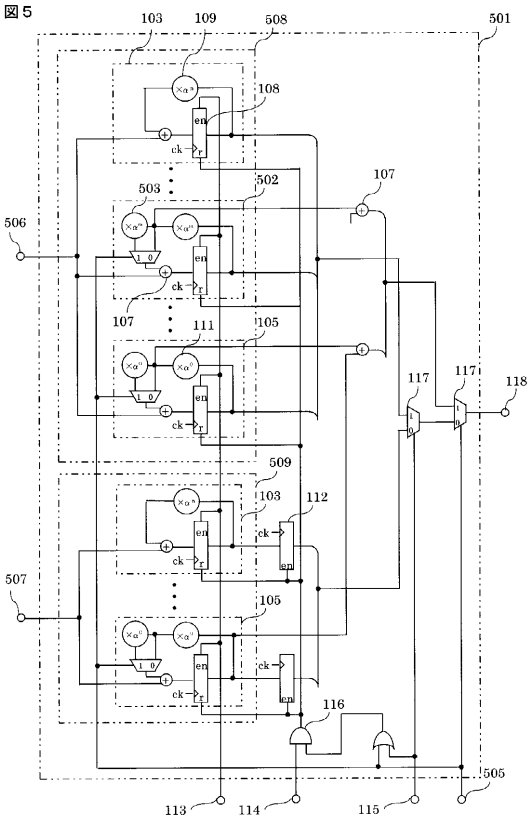

図３
フレーム番号
301
302
303
304
i
i+1
i+2
i+3
T
T＋Δt
T＋2・Δt
T＋3・Δt
T＋4・Δt
T＋5・Δt
時間

【図４】


図４
フレーム番号
301
302
303
304
i
i+1
i+2
i+3
短縮時間
T
T＋Δt
T＋2・Δt
T＋3・Δt
T＋4・Δt
T＋5・Δt
時間
Δt
セレクト信号
リセット信号
１クロック間

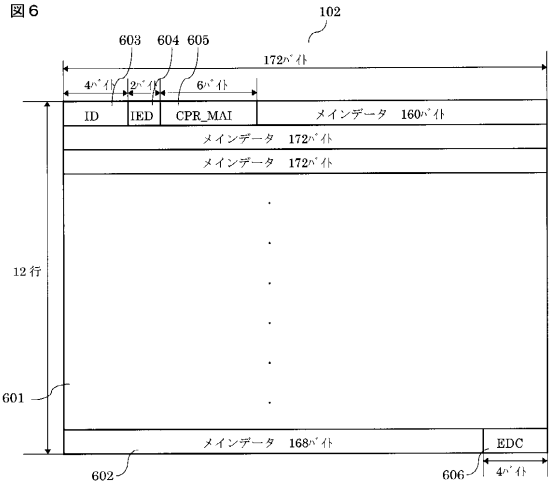
【図５】

図５



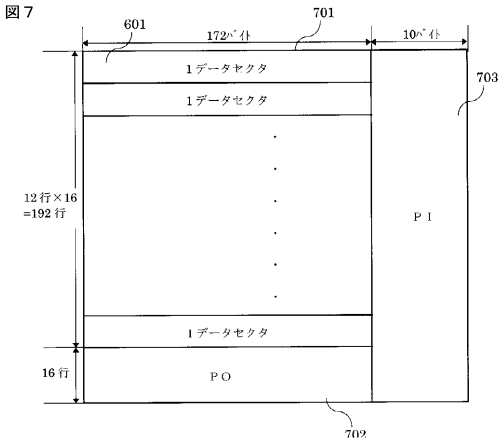
【図６】

図６



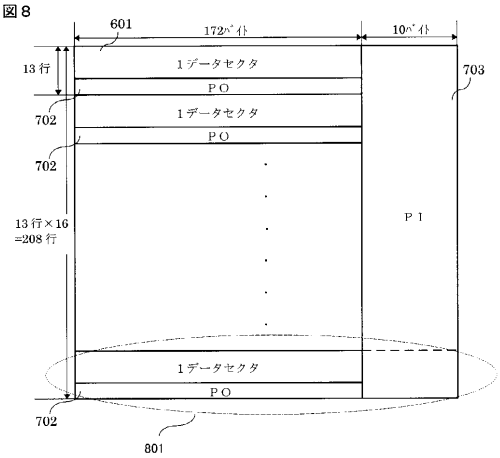
【図７】

図７



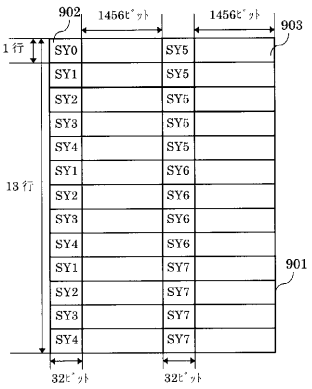
【図８】

図８



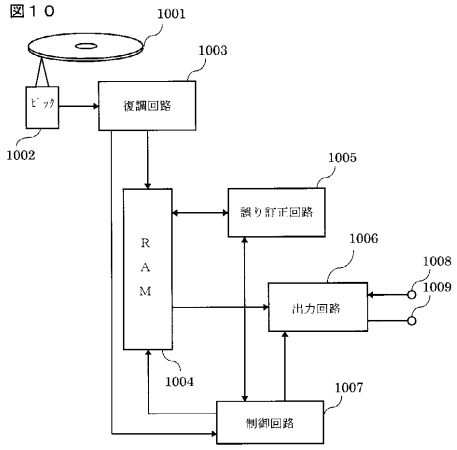
【図９】

図９


902
1456ﾋﾞｯﾄ
1456ﾋﾞｯﾄ
903
1行
SY0
SY1
SY2
SY3
SY4
SY1
SY2
SY3
SY4
SY1
SY2
SY3
SY4
SY5
SY5
SY5
SY5
SY5
SY6
SY6
SY6
SY6
SY7
SY7
SY7
SY7
13行
901
32ﾋﾞｯﾄ
32ﾋﾞｯﾄ

【図１０】

図１０


1001
1003
ﾋﾟｯｸ
復調回路
1002
1005
誤り訂正回路
R
A
M
1006
1008
1009
出力回路
1004
1007
制御回路

フロントページの続き

(56)参考文献 特開平１０－３３４０４０（ＪＰ，Ａ）
特開平１０－０６５５５２（ＪＰ，Ａ）
特開平１０－２００４１８（ＪＰ，Ａ）
特開平０８－１６７８５７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03M 13/00 - 13/53
G11B 20/18