



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월27일
(11) 등록번호 10-2503687
(24) 등록일자 2023년02월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/1214 (2013.01)
H01L 29/7869 (2013.01)
(21) 출원번호 10-2022-7005196(분할)
(22) 출원일자(국제) 2010년06월09일
심사청구일자 2022년02월16일
(85) 번역문제출일자 2022년02월16일
(65) 공개번호 10-2022-0025274
(43) 공개일자 2022년03월03일
(62) 원출원 특허 10-2021-7007220
원출원일자(국제) 2010년06월09일
심사청구일자 2021년03월10일
(86) 국제출원번호 PCT/JP2010/060150
(87) 국제공개번호 WO 2011/001822
국제공개일자 2011년01월06일
(30) 우선권주장
JP-P-2009-159065 2009년07월03일 일본(JP)
(56) 선행기술조사문헌
JP2008281988 A*
KR1020090057690 A*
JP2005243951 A
JP2007027773 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
오이까와 요시아끼
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
오까자끼 겐이찌
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
마루야마 호따까
일본 984-0823 미야기켄 센다이시 와카바야시꾸
도미두까2-16-12
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 5 항

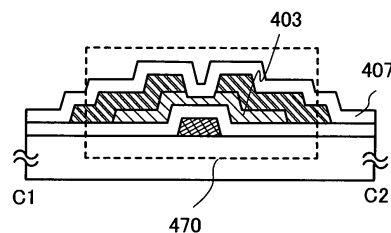
심사관 : 임창연

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

채널 형성 영역으로서 산화물 반도체층을 갖는 박막 트랜지스터의 제작 방법을 개시한다. 본 발명은 게이트 절연층 위에 산화물 반도체층을 형성하는 공정; 상기 산화물 반도체층의 적어도 일부가 노출되도록 상기 산화물 반도체층 위에 상기 산화물 반도체층에 접하여 소스 전극층 및 드레인 전극층을 형성하는 공정; 및 상기 산화물 반도체층 위에 상기 산화물 반도체층에 접하여 산화물 절연막을 형성하는 공정을 포함한다. 상기 산화물 반도체층의 노출된 영역은 상기 산화물 절연막의 형성 전에 플라즈마 존재하에서 산소를 포함하는 가스에 노출될 수 있다. 본 방법에 의해 산소는 상기 산화물 반도체층 내에 확산하게 되어, 우수한 박막 트랜지스터 특성에 기여한다.

대표도 - 도4c



(52) CPC특허분류

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

구동 회로로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터 및 제7 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선 및 제4 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는 상기 제2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제1 출력 단자에 전기적으로 접속되고,

상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제2 출력 단자에 전기적으로 접속되고,

상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 배선에 전기적으로 접속되고,

제1 클럭 신호는 상기 제2 배선에 공급되고,

상기 제4 트랜지스터의 게이트는 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제3 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는 상기 제5 트랜지스터의 게이트 및 상기 제7 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제4 배선에 전기적으로 접속되고,

제2 클럭 신호는 상기 제4 배선에 공급되는, 구동 회로.

청구항 2

구동 회로로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터 및 제7 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선 및 제4 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는 상기 제2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제1 출력 단자에 전기적으로 접속되고,

상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로

접속되고,

상기 제3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제2 출력 단자에 전기적으로 접속되고,

상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 배선에 전기적으로 접속되고,

제1 클럭 신호는 상기 제2 배선에 공급되고,

상기 제4 트랜지스터의 게이트는 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제3 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는 상기 제5 트랜지스터의 게이트 및 상기 제7 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제4 배선에 전기적으로 접속되고,

제2 클럭 신호는 상기 제4 배선에 공급되고,

상기 제1 내지 제7 트랜지스터 중 적어도 하나는 채널 형성 영역에 산화물 반도체를 포함하는, 구동 회로.

청구항 3

구동 회로로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터 및 제7 트랜지스터; 및

제1 배선, 제2 배선, 제3 배선 및 제4 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는 상기 제2 트랜지스터의 소스 및 드레인 중 하나에 접속되고,

상기 제1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제1 출력 단자에 접속되고,

상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 접속되고,

상기 제3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제2 출력 단자에 접속되고,

상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 배선에 전기적으로 접속되고,

제1 클럭 신호는 상기 제2 배선에 공급되고,

상기 제4 트랜지스터의 게이트는 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제3 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는 상기 제5 트랜지스터의 게이트 및 상기 제7 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제4 배선에 전기적으로 접속되고,

제2 클럭 신호는 상기 제4 배선에 공급되고,

상기 제1 트랜지스터 및 상기 제5 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터인, 구동 회로.

청구항 4

구동 회로로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터 및 제7 트

랜지스터; 및

제1 배선, 제2 배선, 제3 배선 및 제4 배선

을 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는 상기 제2 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제1 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제1 출력 단자에 전기적으로 접속되고,

상기 제2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제3 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나 및 상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 제2 출력 단자에 전기적으로 접속되고,

상기 제4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제2 배선에 전기적으로 접속되고,

제1 클럭 신호는 상기 제2 배선에 공급되고,

상기 제4 트랜지스터의 게이트는 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는 상기 제3 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는 상기 제5 트랜지스터의 게이트 및 상기 제7 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 게이트는 상기 제4 배선에 전기적으로 접속되고,

제2 클럭 신호는 상기 제4 배선에 공급되고,

상기 제1 트랜지스터 및 상기 제5 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터인, 구동 회로.

청구항 5

제3항 또는 제4항에 있어서, 상기 산화물 반도체는 인듐, 갈륨 및 아연을 포함하는, 구동 회로.

청구항 6

삭제

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 포함하는 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(대략 수 나노미터 ~ 수백 나노미터의 두께를 가짐)을 이용하여 박막 트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막 트랜지스터는 집적 회로(IC) 및 전기 광학 장치와 같은 전자 장치에 널리 응용되며, 특히 화상 표시 장치의 스위칭 소자로서 이용되는 박막 트랜지스터의 개발이 서둘러지고 있다.

[0003] 각종 금속 산화물이 여러 용도로 이용된다. 산화 인듐은 잘 알려진 재료이며, 액정 디스플레이 등에서 필요로 되는 투명 전극 재료로서 이용된다.

[0004] 일부 금속 산화물은 반도체 특성을 지니고 있다. 이런 반도체 특성을 지닌 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다. 이런 반도체 특성을 지닌 금속 산화물을 이용하여 채

널 형성 영역을 형성한 박막 트랜지스터가 알려져 있다(예를 들어, 특허 문헌 1 내지 4, 비특허 문헌 1을 참조).

[0005] 또한, 금속 산화물로서는, 일원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들어, 동족 화합물(homologous compound)인, $\text{InGaO}_3(\text{ZnO})_m$ (m 은 자연수)는, In, Ga 및 Zn을 포함하는 다원계 산화물로서 알려져 있다(예를 들어, 비특허 문헌 2 내지 4 등을 참조).

[0006] 또한, 이러한 In-Ga-Zn-O계 산화물을 포함하는 산화물 반도체를 박막 트랜지스터의 채널 층에 응용가능한 것이 확인되었다(예를 들어, 특허 문헌 5, 비특허 문헌 5 및 6을 참조).

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 일본 특허 공개 소60-198861호
(특허문헌 0002) 일본 특허 공개 평8-264794호
(특허문헌 0003) PCT 국제 출원 평11-505377호의 일본어 번역판
(특허문헌 0004) 일본 공개 특허 출원 제2000-150900호
(특허문헌 0005) 일본 공개 특허 출원 제2004-103957호

비특허문헌

M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening 및 R. M. Wolf, "A ferroelectric transparent thin-film transistor", *Appl. Phys. Lett.*, 1996년 6월 17일, Vol.68, pp.3650-3652

M. Nakamura, N. Kimizuka 및 T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C", *J. Solid State Chem.*, 1991년, Vol.93, pp.298-315

N. Kimizuka, M. Isobe 및 M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$ 및 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System", *J. Solid State Chem.*, 1995년, Vol.116, pp.170-178

M. Nakamura, N. Kimizuka, T. Mohri 및 M. Isobe, "Homologous Series, Synthesis and Crystal Structure of $\text{InFeO}_3(\text{ZnO})_m$ (m : natural number) and its Isostructural Compound", *KOTAI BUTSURI (SOLID STATE PHYSICS)*, 1993년, Vol. 28, No.5, pp.317-327

K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano 및 H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", *SCIENCE*, 2003년, Vol.300, pp.1269-1272

K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano 및 H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *NATURE*, 2004년, Vol.432 pp.488-492

[0008]

발명의 내용

해결하려는 과제

[0009]

본 발명의 일 실시 형태의 목적은 안정된 전기 특성을 갖는 박막 트랜지스터를 포함하는 신뢰성이 높은 반도체 장치를 제작 및 제공하는 것이다.

과제의 해결 수단

[0010]

채널 형성 영역을 포함하는 반도체층을 산화물 반도체층으로 하는 박막 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 산화물 반도체층에 접하여 산화물 절연막을 형성한다. 산화물 반도체층은, 상기 산화물 반도체층의 적어도 일부가 노출된 상태에서 챔버 내에 도입된다는 점에 유의해야 한다. 산화물 반도체층을 압력을 내

린 챔버 내에 도입한 후, 질소 분위기하에서 가열 처리 공정 및 플라즈마(적어도 산소 플라즈마를 포함함)의 도입 공정을 행한다. 그 후, 성막 가스를 도입하여 산화물 절연막을 형성한다. 대안으로서, 챔버 내에 산소 원소를 포함하는 가스를 도입함으로써 플라즈마를 발생시켜도 되고, 챔버에 접속된 원격 플라즈마 장치(라디칼 발생 장치)를 이용하여 플라즈마를 챔버 내에 도입해도 된다.

[0011] 산소 원소를 포함하는 가스로서는, 산소 또는 산화질소(산화질소(일산화이질소라고 함)(N_2O) 또는 이산화질소(NO_2))를 이용할 수 있고, 헬륨 또는 아르곤 등의 희 가스를 포함해도 된다.

[0012] 성막 가스로서는 실란을 포함하는 가스를 이용할 수 있다. 실란을 포함하는 가스를 이용함으로써 규소를 포함하는 산화물 절연막을 형성할 수 있다. 산화물 반도체층에 접하여 형성되는 산화물 절연막으로서, 수분, 수소 이온, OH^- 등의 불순물을 차단하는 무기 절연막을 형성하고, 구체적으로는, 산화 규소막 또는 질화산화 규소막을 형성한다.

[0013] 압력을 내린 챔버 내에서 산화물 반도체층을 질소 분위기하에서 가열 처리하는 공정은, 온도 $100^\circ C$ 이상 $500^\circ C$ 이하(보다 바람직하게는, $150^\circ C$ 이상 $400^\circ C$ 이하)로 행하는 것이 바람직하다. 산화물 반도체층의 해당 가열 처리는, 산화물 절연막을 형성할 때까지 행해진다. 온도는 $100^\circ C$ 이상 $500^\circ C$ 이하(보다 바람직하게는, $150^\circ C$ 이상 $400^\circ C$ 이하)인 것이 바람직하다.

[0014] 산화물 절연막을 형성할 때의 챔버 내의 압력은 $1Pa$ 이상 $300Pa$ 이하($7.5 \times 10^{-3} Torr$ 이상 $2.25 Torr$ 이하)인 것이 바람직하다.

[0015] 본 명세서에서 개시된 본 발명의 일 실시 형태는, 절연 표면을 갖는 기판 위에, 게이트 전극층, 게이트 절연층 및 적어도 일부가 노출된 산화물 반도체층을 형성하는 공정; 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 압력을 내린 챔버 내에 도입하는 공정; 상기 챔버의 압력을 내리고 챔버에 질소를 도입하면서, 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 상기 챔버 내에서 가열하는 공정; 상기 기판을 가열하면서 챔버에 산소 원소를 포함하는 가스를 도입하는 공정; 상기 산소 원소를 포함하는 가스가 도입된 챔버 내에서 적어도 산소 플라즈마를 발생시키는 공정; 및 챔버 내에 성막 가스를 도입함으로써, 상기 산화물 반도체층에 접하여 산화물 절연막을 형성하는 공정을 포함하는 반도체 장치의 제작 방법이다.

[0016] 본 명세서에서 개시된 본 발명의 일 실시 형태는, 절연 표면을 갖는 기판 위에, 게이트 전극층, 게이트 절연층, 적어도 일부가 노출된 산화물 반도체층을 형성하는 공정; 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 압력을 내린 챔버 내에 도입하는 공정; 상기 챔버의 압력을 내리고 챔버에 질소를 도입하면서, 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 상기 챔버 내에서 가열하는 공정; 상기 기판을 가열하면서 챔버에 산화질소를 포함하는 가스를 도입하는 공정; 상기 산화질소를 포함하는 가스가 도입된 챔버 내에서 적어도 산소 플라즈마를 발생시키는 공정; 및 챔버 내에 실란을 포함하는 성막 가스를 도입함으로써 산화물 반도체층에 접하여 규소를 포함하는 산화물 절연막을 형성하는 공정을 포함하는 반도체 장치의 제작 방법이다.

[0017] 본 명세서에서 개시된 본 발명의 일 실시 형태는, 절연 표면을 갖는 기판 위에, 게이트 전극층, 게이트 절연층 및 적어도 일부가 노출된 산화물 반도체층을 형성하는 공정; 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 압력을 내린 챔버 내에 도입하는 공정; 상기 챔버의 압력을 내리고 챔버에 질소를 도입하면서 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 상기 챔버 내에서 가열하는 공정; 상기 기판을 가열하면서 상기 챔버에 접속된 원격 플라즈마 장치를 사용하여 산소 플라즈마를 도입하는 공정; 및 챔버 내에 성막 가스를 도입함으로써 상기 산화물 반도체층에 접하여 산화물 절연막을 형성하는 공정을 포함하는 반도체 장치의 제작 방법이다.

[0018] 상기 구조에서는, 상기 챔버의 압력을 내리고 질소를 도입하면서, 적어도 일부가 노출된 산화물 반도체층이 형성된 기판을 상기 챔버 내에서 가열한 후, 산소 원소를 포함하는 가스(또는 산화 규소를 포함하는 가스)를 도입해도 된다.

[0019] 본 명세서에서 이용된 산화물 반도체는, $InMO_3(ZnO)_m(m>0)$ 로 나타내어지는 박막이고, 그 박막을 반도체층으로서 이용한 박막 트랜지스터를 제작한다. M은, Ga, Fe, Ni, Mn 및 Co로부터 선택된 1개 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M이 Ga를 나타내는 일부 경우가 있고, 한편 M이 Ga외에 상기 금속 원소, 예를 들어, Ga 및 Ni, 또는 Ga 및 Fe를 나타내는 다른 경우가 있다. 또한, 상기 산화물 반도체는, M으로서 포함되는 금속 원소 외에, 불순물 원소로서 Fe 또는 Ni, 다른 천이 금속 원소 또는 천이 금속 산화물을 포함할 수 있다.

본 명세서에서는, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 나타내어지는 조성물의 산화물 반도체층 중에서, M으로서 적어도 Ga를 포함하는 조성물의 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 비단결정막이라고 부른다.

[0020] 또한, 산화물 반도체층에 적용될 수 있는 산화물 반도체로서, 상기 재료 외에도, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체를 그 재료로서 적용할 수 있다. 상기 산화물 반도체층에 산화 규소를 첨가할 수 있다. 산화물 반도체층에 산화물 반도체층의 결정화를 억제하는 산화 규소($\text{SiO}_x(x>0)$)를 포함시키는 것에 의해, 가열 처리에 의한 해당 산화물 반도체층의 결정화를 억제할 수 있다. 산화물 반도체층은 비정질 상태로 존재하는 것이 바람직하지만, 산화물 반도체층이 일부 결정화되어 있을 수도 있다.

[0021] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 형성하는 것이 바람직하다. 보호 회로는 산화물 반도체를 포함하는 비선형 소자를 이용하여 형성하는 것이 바람직하다.

[0022] 게이트 절연층 및 산화물 반도체막을 대기에 노출시키지 않고 연속적으로 처리(연속 처리, *in situ* 공정, 연속 성막이라고도 함)를 행한다. 대기에 노출시키지 않고 연속 처리함으로써, 게이트 절연층과 산화물 반도체막의 계면을 수분 또는 탄화수소 등의 대기 성분 또는 대기 중에 부유하는 불순물 원소에 오염되는 일없이 형성할 수 있다. 따라서, 박막 트랜지스터 특성의 변동을 작게 할 수 있다.

[0023] 본 명세서에서의 "연속 처리"는, 플라즈마 CVD법 또는 스퍼터링법을 이용한 제1 처리 공정으로부터 플라즈마 CVD법 또는 스퍼터링법을 이용한 제2 처리 공정까지의 일련의 공정 동안, 피처리 기판이 배치된 분위기가 대기 등의 오염 분위기에 의해 오염되지 않고, 진공 또는 불활성 가스 분위기(질소 분위기 또는 희 가스 분위기)로 항상 제어된다는 것을 의미한다는 점에 유의해야 한다. 연속 처리에 의해, 청정화된 피처리 기판에 수분 등이 재부착되는 것을 방지하면서 성막 처리를 행할 수 있다.

[0024] 동일 챔버 내에서 제1 처리 공정으로부터 제2 처리 공정까지의 일련의 공정을 동일한 챔버 내에서 행하는 것은 본 명세서에서의 연속 처리의 범위에 있다.

[0025] 또한, 복수의 챔버에서 제1 처리 공정으로부터 제2 처리 공정까지의 일련의 공정을 행할 경우, 제1 처리 공정 후, 기판을 대기에 노출시키는 일없이 다른 챔버로 이송한 후, 제2 처리를 실시하는 것도 본 명세서에서의 연속 처리의 범위에 있다.

[0026] 제1 처리 공정과 제2 처리 공정의 사이에, 기판 이송 공정, 배향 공정, 서냉 공정, 제2 처리 공정에 적합한 온도로 기판 온도를 조절하기 위해 기판을 가열 또는 냉각하는 공정 등이 있는 경우도, 본 명세서에서 연속 처리의 범위에 있다.

[0027] 세정 공정, 웨트 에칭 또는 레지스트 형성 등의 액체를 이용하는 공정이 제1 처리 공정과 제2 처리 공정 사이에 제공될 수 있다. 이 경우는 본 명세서에서의 연속 처리의 범위에 있는 것이 아니다.

[0028] 본 명세서에서 "제1" 및 "제2" 등의 서수사는 편의상 이용하는 것이며, 공정의 순서 또는 적층의 순서를 나타내는 것이 아니라는 점에 유의해야 한다. 또한, 본 명세서에서의 서수사는 본 발명을 특정하는 고유한 명칭을 나타내는 것이 아니다.

[0029] 또한, 구동 회로를 포함하는 표시 장치로서는, 액정 표시 장치 외에, 발광 소자를 이용한 발광 표시 장치, 전기영동 표시 소자를 이용한 "전자 페이퍼"라고도 하는 표시 장치를 들 수 있다.

[0030] 발광 소자를 포함하는 발광 표시 장치는 복수의 박막 트랜지스터를 갖는 화소부를 포함한다. 해당 화소부는 1개 박막 트랜지스터의 게이트 전극과 다른 박막 트랜지스터의 소스 배선 혹은 드레인 배선을 접속시키는 영역을 포함한다. 또한, 발광 소자를 이용한 발광 표시 장치의 구동 회로에서는, 박막 트랜지스터의 게이트 전극과 해당 박막 트랜지스터의 소스 배선 혹은 드레인 배선을 접속시키는 영역이 존재한다.

[0031] 본 명세서에서, 반도체 장치는 반도체 특성을 이용하여 기능할 수 있는 장치를 의미하며, 전기광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

발명의 효과

[0032] 본 발명의 실시 형태들에 따르면, 안정된 전기 특성을 갖는 박막 트랜지스터를 제작 및 제공할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0033] 도 1은 반도체 장치의 제작 방법을 나타내는 흐름도.
 도 2는 반도체 장치의 제작 방법을 나타내는 흐름도.
 도 3은 반도체 장치의 제작 방법을 나타내는 흐름도.
 도 4a 내지 도 4c는 반도체 장치의 제작 방법을 나타내는 도면.
 도 5a 및 도 5b는 반도체 장치의 제작 방법을 나타내는 도면.
 도 6a 내지 도 6c는 반도체 장치의 제작 방법을 나타내는 도면.
 도 7a 내지 도 7c는 반도체 장치의 제작 방법을 나타내는 도면.
 도 8은 반도체 장치를 나타내는 도면.
 도 9의 (A1), 도 9의 (A2), 도 9의 (B1) 및 도 9의 (B2)는 반도체 장치를 나타내는 도면.
 도 10a 및 도 10b는 산소 분자(O_2)와 산화물 반도체층 표면의 상호 작용을 계산한 결과를 나타내는 도면.
 도 11a 및 도 11b는 일산화이질소 분자와 산화물 반도체층 표면의 상호 작용을 계산한 결과를 나타내는 도면.
 도 12a 및 도 12b는 일산화이질소 분자의 구조를 나타내는 도면.
 도 13은 계산에 이용된 산화물 반도체층의 구조를 나타내는 도면.
 도 14는 산화물 반도체층의 산소 밀도의 계산 결과를 도시하는 그래프.
 도 15a 내지 도 15c는 산소와 산화물 반도체막 표면의 상호 작용을 나타내는 도면.
 도 16의 (A1), 도 16의 (A2) 및 도 16의 (B)는 반도체 장치를 각각 나타내는 도면.
 도 17a 및 도 17b는 반도체 장치를 나타내는 도면.
 도 18은 반도체 장치의 화소 등가 회로를 나타내는 도면.
 도 19a 내지 도 19c는 반도체 장치를 각각 나타내는 도면.
 도 20a 및 도 20b는 반도체 장치를 각각 나타내는 블록도.
 도 21a 및 도 21b는 신호선 구동 회로의 구성을 나타내는 회로도 및 타이밍차트.
 도 22a 내지 도 22c는 시프트 레지스터의 구성을 각각 나타내는 회로도.
 도 23a 및 도 23b는 시프트 레지스터의 동작을 나타내는 회로도 및 타이밍차트.
 도 24는 반도체 장치를 나타내는 도면.
 도 25a 및 도 25b는 박막 트랜지스터의 전기 특성 평가의 결과를 도시하는 그래프.
 도 26은 반도체 장치를 나타내는 도면.
 도 27은 전자 서적의 예를 나타내는 외관도.
 도 28a 및 도 28b는 텔레비전 장치의 예와, 디지털 포토 프레임의 예를 각각 나타내는 외관도.
 도 29a 및 도 29b는 게임 기기의 예를 나타내는 외관도.
 도 30a 및 도 30b는 휴대형 컴퓨터의 예와, 휴대 전화기의 예를 각각 나타내는 외관도.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 실시 형태들에 대해서, 도면을 참조하여 상세하게 설명한다. 하지만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 사상 및 영역으로부터 이탈하지 않는 한, 그 형태 및 상세를 여러 가지로 변경할 수 있다

는 것은 당업자에게 자명하다. 따라서, 본 발명은 이하의 실시 형태들의 기재 내용에 한정되는 것으로 해석되어서는 안 된다. 이하에 제시한 구성에서는, 서로 다른 도면들에서, 동일 부분 또는 마찬가지로의 기능을 갖는 부분에는 동일 부호를 붙이고, 그 반복 설명은 생략한다.

- [0035] (실시 형태 1)
- [0036] 반도체 장치의 제작 방법의 일 실시 형태에 대해서, 도 1, 도 2 및 도 3의 흐름도를 참조하여 설명한다.
- [0037] 채널 형성 영역을 포함하는 반도체층을 산화물 반도체층으로 하는 박막 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 산화물 반도체층에 접하여 산화물 절연막을 형성한다. 이하, 반도체 장치의 제작 방법을 상세하게 설명한다.
- [0038] 도 1에 도시한 바와 같이, 절연 표면을 갖는 기판 위에 게이트 전극층, 게이트 절연층 및 산화물 반도체층을 형성한다(공정(8000)). 소스 전극층 및 드레인 전극층도 형성할 수 있다. 산화물 반도체층은, 산화물 반도체층의 적어도 일부가 노출된 상태에서, 챔버 내에 도입된다는 점에 유의해야 한다.
- [0039] 한편, 산화물 절연막을 형성하는 챔버는 배기를 행하여 압력을 내린다(공정(8001)). 챔버 내의 압력은 1×10^{-5} Pa 이상 5×10^{-1} Pa 이하(7.5×10^{-8} Torr 이상 3.75×10^{-3} Torr 이하)가 되도록 할 수 있다. 산화물 반도체층의 적어도 일부가 노출된 상태에서 산화물 반도체층이 형성된 기판을 압력을 내린 챔버 내에 도입한다(공정(8002)).
- [0040] 산화물 반도체층이 형성된 기판이 제공된 챔버 내에, 질소를 도입하면서 가열 처리를 행한다(공정(8003)). 압력을 내린 챔버 내에서, 산화물 반도체층을 질소 분위기하에서 가열 처리하는 공정은 온도 100°C 이상 500°C 이하(보다 바람직하게는, 150°C 이상 400°C 이하)에서 행하는 것이 바람직하다.
- [0041] 다음에, 질소 분위기하에서 가열 처리가 행해진 챔버 내의 압력을 다시 내리고(공정(8004)), 산소 원소를 포함하는 가스를 도입한다(공정(8005)). 산소 원소를 포함하는 가스로서는, 산소 또는 산화질소(산화질소(N_2O) 또는 이산화질소(NO_2))를 이용할 수 있고, 헬륨, 아르곤 등의 희 가스를 포함할 수 있다. 산소 원소를 포함하는 가스를 도입하기 전의 챔버 내의 압력을 내리는 감압 공정(공정(8004))은 반드시 행하지 않아도 된다는 점에 유의해야 한다.
- [0042] 산소 원소를 포함하는 가스가 도입된 챔버 내에 플라즈마를 발생시킨다(공정(8006)). 플라즈마는 적어도 산소 플라즈마를 포함한다. 산소 플라즈마를 발생시킴으로써 산화물 반도체층의 노출된 부분의 표면 산소 밀도가 증가한다. 따라서, 산소 과잉 영역이 형성될 수 있다.
- [0043] 플라즈마를 발생시킬 때의 전력은 500W 이하(보다 바람직하게는, 150W 이하)의 저전력으로 하면 산화물 반도체층에 부여되는 손상을 경감할 수 있기 때문에 바람직하다.
- [0044] 산소 원소를 포함하는 가스를 이용하여 플라즈마를 발생시킨 챔버 내에, 성막 가스를 도입하고(공정(8007)), 산화물 절연막을 형성한다(공정(8008)).
- [0045] 성막 가스로서는 실란(silane)을 포함하는 가스를 이용할 수 있다. 실란을 포함하는 가스를 이용함으로써 규소를 포함하는 산화물 절연막을 형성할 수 있다. 산화물 반도체층에 접하는 산화물 절연막은, 수분, 수소 이온 및 수산화물 이온(OH^-) 등의 불순물을 차단하는 무기 절연막이며, 구체적으로는 산화 규소막 또는 질화 산화 규소막이다.
- [0046] 산화물 반도체층의 가열 처리는, 질소 분위기하의 가열 처리 공정으로부터 산화물 절연막의 형성 공정까지 행해진다. 가열 처리 동안의 온도는 100°C 이상 500°C 이하(보다 바람직하게는, 150°C 이상 400°C 이하)인 것이 바람직하다.
- [0047] 또한, 산화물 절연막을 형성할 때의 챔버 내의 압력은 1Pa 이상 300Pa 이하(7.5×10^{-3} Torr 이상 2.25Torr 이하)인 것이 바람직하다.
- [0048] 산소 원소를 포함하는 가스로서 가연성 가스(combustible gas)를 이용하고, 성막 가스로서 실란을 포함하는 가스를 이용하는 경우에는, 가연성 가스와 실란을 포함하는 가스를 혼합하면 폭발할 우려가 있고, 따라서 챔버로부터 가연성 가스를 제거하고, 산화질소(산화질소(N_2O) 또는 이산화질소(NO_2)) 등의 지연성 가스(combustion enhancing gas)를 도입하고 나서, 실란을 포함하는 가스를 도입한다는 점에 유의해야 한다.

- [0049] 도 2는 산소 원소를 포함하는 가스로서 산화질소(산화질소(N_2O) 또는 이산화질소(NO_2))를 이용하고(공정(8105)), 성막 가스로서 실란을 포함하는 가스를 이용하고(공정(8107)), 산화물 절연막으로서 규소를 포함하는 산화물 절연막을 형성하는(공정(8108)) 예를 도시한다. 예를 들어, 산소 원소를 포함하는 가스와 성막 가스로서, 각각 산화질소(N_2O)와 실란(SiH_4)을 이용하여, 산화 질화 규소막을 형성할 수 있다.
- [0050] 도 1 및 도 2에 도시된 바와 같이, 챔버 내에 산소 원소를 포함하는 가스를 도입하면서, 플라즈마를 발생시킬 수 있거나, 도 3에 도시된 바와 같이, 챔버에 접속된 원격 플라즈마 장치(라디칼 발생장치)를 이용하여 플라즈마를 챔버 내에 도입할 수 있다.
- [0051] 도 3은 원격 플라즈마 장치(라디칼 발생장치)를 이용하여(공정(8200)) 질소 분위기하에서 가열 처리를 행한 챔버 내에 플라즈마를 도입하는(공정(8201)) 예를 도시한다. 이 플라즈마는, 원격 플라즈마 장치를 이용하여, 산화물 절연막을 형성하는 챔버와는 다른 챔버에서 산소 원소를 포함하는 가스를 이용하여 발생된다. 도 3에 도시된 바와 같이, 산화물 절연막을 형성하는 챔버의 외부에서 플라즈마를 발생시켜, 원격 플라즈마 장치를 이용하여 해당 챔버 내에 도입하면, 플라즈마 발생 시 산화물 반도체층에 부여되는 손상을 억제할 수 있다.
- [0052] 이용가능한 챔버의 예를 설명한다. 챔버에는 히터(heater)가 제공되고, 챔버 내부를 가열한다. 또한, 챔버에는 가스 공급 수단 및 배기 수단이 제공된다. 가스 공급 수단에 의해, 가스를 챔버 내에 도입한다. 배기 수단에 의해, 챔버 내를 배기하거나, 챔버의 압력을 내린다.
- [0053] 상기 방법에 의해, 산화물 반도체층에 접하여 산화물 절연막을 형성하고, 이로써 안정된 전기 특성을 갖는 박막 트랜지스터를 제작 및 제공할 수 있다. 따라서, 전기 특성이 우수하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.
- [0054] (실시 형태 2)
- [0055] 반도체 장치 및 반도체 장치의 제작 방법의 일 실시 형태에 대해서, 도 4a 내지 도 4c, 도 5a 및 도 5b를 참조하여 설명한다.
- [0056] 도 5a는 반도체 장치에 포함된 박막 트랜지스터(470)의 평면도이고, 도 5b는 도 5a의 선C1-C2을 따라 취해진 단면도다. 박막 트랜지스터(470)는 보텀 게이트형 박막 트랜지스터이며, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층 및 드레인 전극층(405a 및 405b)을 포함한다. 또한, 박막 트랜지스터(470)를 덮고, 산화물 반도체층(403)에 접하여 산화물 절연막(407)을 제공한다.
- [0057] 또한, 소스 전극층 및 드레인 전극층(405a 및 405b)은 산화물 반도체층(403)에 접한다. 소스 전극층 및 드레인 전극층(405a 및 405b)에 포함되는 원소는, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨 중에서 선택된 하나의 원소 또는 복수의 원소이다. 전술한 원소들 중 임의의 것을 조합한 합금막 등을 적층할 수도 있다.
- [0058] 채널 형성 영역을 포함하는 산화물 반도체층(403)으로서는, 반도체 특성을 갖는 산화물 재료를 이용할 수 있다. 통상적으로는, In-Ga-Zn-O계 비단결정 막을 이용한다.
- [0059] 도 4a 내지 도 4c는 박막 트랜지스터(470)의 제작 공정을 나타낸 단면도다.
- [0060] 도 4a에서, 절연 표면을 갖는 기판(400) 위에 게이트 전극층(401)을 형성한다. 기초막으로 되는 절연막을 기판(400)과 게이트 전극층(401) 사이에 형성할 수 있다. 기초막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 규소막, 산화 규소막, 질화 산화 규소막 및 산화 질화 규소막 중 하나 또는 복수를 이용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다. 게이트 전극층(401)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 또는 이들 재료 중 임의의 것을 주성분으로 포함하는 합금을 이용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다.
- [0061] 예를 들어, 게이트 전극층(401)의 2층 구조로서는, 알루미늄층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 몰리브덴층을 적층한 2층 구조 또는 구리층 위에 질화 티타늄층 혹은 질화 탄탈층을 적층한 2층 구조, 및 질화 티타늄층과 몰리브덴층을 적층한 2층 구조가 바람직하다. 3층 구조로서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 규소의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화 티타늄층 또는 티타늄층을 적층한 것이 바람직하다.

- [0062] 다음에, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다.
- [0063] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법을 이용하여, 산화 규소층, 질화 규소층, 산화 질화 규소층 및/또는 질화 산화 규소층의 단층 또는 적층 구조를 이용하여 형성될 수 있다. 예를 들어, 실란(SiH_4), 산소 및 질소를 포함하는 성막 가스를 이용하여, 플라즈마 CVD법에 의해 산화 질화 규소층을 형성할 수 있다.
- [0064] 다음에, 게이트 절연층(402) 위에, 산화물 반도체막을 형성한다.
- [0065] 산화물 반도체막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링에 의해, 게이트 절연층(402)의 표면에 부착된 먼지를 제거하는 것이 바람직하다는 점에 유의해야 한다. 역 스퍼터링은, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 RF 전원을 이용하여 전압을 인가함으로써, 기판 근방에 플라즈마를 발생시켜 표면을 개질하는 방법이다. 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기 등을 이용할 수 있다는 점에 유의해야 한다. 또한, 아르곤 분위기에 산소, 산화질소(N_2O) 등을 첨가할 수 있다. 다른 대안으로서, 아르곤 분위기에 염소(Cl_2), 사불화탄소(CF_4) 등을 첨가한 분위기에서 플라즈마 처리를 행할 수 있다.
- [0066] 산화물 반도체막은, In-Ga-Zn-O계 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 형성된다. 스퍼터링법은, 희 가스(통상적으로는, 아르곤) 분위기하, 산소 분위기하 또는 희 가스(통상적으로는, 아르곤) 및 산소를 포함하는 분위기 하에서 행해질 수 있다.
- [0067] 게이트 절연층(402)과 산화물 반도체막을 대기에 접촉시키지 않고 연속적으로 형성할 수 있다. 대기에 접촉시키지 않고 연속 성막함으로써, 적층된 2개의 층의 계면을, 수분 또는 하이드로카본(hydrocarbon) 등의 대기 성분 또는 대기 중에 부유하는 불순물 원소 없이, 얻는 것이 가능하다. 따라서, 박막 트랜지스터의 특성 변동이 감소될 수 있다.
- [0068] 산화물 반도체막을 포토리소그래피 공정에 의해 섬 형상으로 처리함으로써, 산화물 반도체층(430)을 형성한다(도 4a를 참조).
- [0069] 산화물 반도체층(430)은 비정질인 것이 바람직하지만, 산화물 반도체층(430)을 부분적으로 결정화할 수 있다.
- [0070] 다음에, 게이트 절연층(402) 및 산화물 반도체층(430) 위에 도전막을 형성한다.
- [0071] 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo 및 W 중에서 선택된 원소, 이들 원소 중 임의의 것을 성분으로 포함하는 합금, 이들 원소를 조합한 합금 등을 들 수 있다.
- [0072] 도전막을 형성한 후에 가열 처리를 행할 경우에는, 도전막이 가열 처리를 충분히 견딜 수 있도록 내열성을 갖는 것이 바람직하다. Al만을 사용하면 내열성이 낮아지고 부식이 쉽게 일어나는 등의 문제점이 있으므로, 알루미늄을 내열성이 있는 도전성 재료와 함께 조합하여 사용한다. Al과 조합하여 사용되는 내열성이 있는 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소, 이들 원소 중 임의의 것을 성분으로 포함하는 합금, 이들 원소를 조합한 합금 또는 이들 원소 중 임의의 것을 포함하는 질화물이 사용될 수 있다.
- [0073] 산화물 반도체층(430) 및 도전막을 에칭 처리하여, 산화물 반도체층(432) 및 소스 전극층 및 드레인 전극층(405a 및 405b)을 형성한다(도 4b를 참조). 해당 에칭 처리에 의해, 산화물 반도체층(432)에는 홈부(오목부)가 형성된다는 점에 유의해야 한다.
- [0074] 실시 형태 1에 설명한 바와 같이, 산화물 반도체층(432)이 형성된 기판을, 압력을 내린 챔버 내에 도입한 후, 질소 분위기하에서 가열 처리 공정, 플라즈마(적어도 산소 플라즈마를 포함함)의 도입 공정을 행한다. 그 후, 성막 가스를 도입하여 산화물 절연막(407)을 형성한다.
- [0075] 실시 형태 2에서는, 산소 원소를 포함하는 가스와 성막 가스로서, 산화질소(N_2O)와 실란(SiH_4)을 각각 이용하여, 두께 300nm의 산화 질화 규소막을 산화물 절연막(407)으로서 형성한다.
- [0076] 압력을 내린 챔버 내에서 산화물 반도체층(432)을 질소 분위기하에서 가열 처리하는 공정은, 온도 100℃ 이상 500℃ 이하(보다 바람직하게는, 150℃ 이상 400℃ 이하)로 행하는 것이 바람직하다.
- [0077] 산화물 반도체층(432)의 가열 처리는, 질소 분위기하의 가열 처리 공정으로부터 산화물 절연막(407)의 형성 공정까지 행해진다. 가열 처리 동안의 온도는 100℃ 이상 500℃ 이하(보다 바람직하게는, 150℃ 이상 400℃

이하)인 것이 바람직하다.

- [0078] 또한, 산화물 절연막(407)을 형성할 때의 챔버 내의 압력은 1Pa 이상 300Pa이하(7.5×10^{-3} Torr 이상 2.25Torr 이하)인 것이 바람직하다.
- [0079] 산화물 반도체층(432)에 접하여 상기 방법에 의해 산화물 절연막(407)을 형성하는 경우, 산화물 반도체층(432)에서 적어도 산화물 절연막(407)에 접하는 영역의 저항이 증가(캐리어 농도가 감소)될 수 있다. 따라서, 이 영역은 고저항 산화물 반도체 영역이 될 수 있다. 따라서, 산화물 반도체층(432)은 고저항 산화물 반도체 영역을 갖는 산화물 반도체층(403)이 되어, 박막 트랜지스터(470)를 제작할 수 있다(도 4c를 참조).
- [0080] 또한, 산화물 절연막(407)을 형성한 후, 질소 분위기하 또는 대기 분위기하(대기 중)에서 박막 트랜지스터(470)에 가열 처리(바람직하게는, 150℃ 이상 350℃ 미만)를 행할 수 있다. 해당 가열 처리에 의해, 산화물 반도체층(403)이 산화물 절연막(407)에 접한 상태에서 가열됨으로써, 박막 트랜지스터(470)의 전기적 특성 변동이 감소될 수 있다. 이 가열 처리를 행하는 타이밍은, 산화물 절연막(407)의 형성 다음이면 특별히 한정되지 않는다. 해당 가열 처리를, 다른 가열 처리 공정, 예를 들어, 수지막 형성 시의 가열 처리 또는 투명 도전막의 저항을 감소시키기 위한 가열 처리를 행함으로써, 제거할 수 있고, 이로써 공정수가 늘어나지 않을 수 있다.
- [0081] 상기 방법에 의해, 산화물 반도체층에 접하여 산화물 절연막을 형성함으로써, 안정된 전기 특성을 갖는 박막 트랜지스터를 제작 및 제공할 수 있다. 따라서, 전기 특성이 우수하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.
- [0082] (실시 형태 3)
- [0083] 박막 트랜지스터를 포함하는 반도체 장치의 제작 공정에 대해서, 도 6a 내지 도 6c, 도 7a 내지 도 7c, 도 8, 도 9의 (A1), 도 9의 (A2), 도 9의 (B1) 및 도 9의 (B2)를 참조하여 설명한다.
- [0084] 도 6a에서, 투광성을 갖는 기판(100)으로서, 바륨 붕규산염 유리, 알루미늄붕규산염 유리 등의 유리 기판을 이용할 수 있다.
- [0085] 다음에, 도전층을 기판(100) 위에 형성한 후, 제1 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 그 후, 에칭에 의해 불필요한 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 제1 단자(121))을 형성한다. 이때, 게이트 전극층(101)의 적어도 단부가 테이퍼드 형상(tapered shape)이 되도록, 에칭을 행한다.
- [0086] 게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 단자부의 제1 단자(121) 각각은, 예를 들어, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), Sc(스칸듐) 중에서 선택된 원소; 이들 원소 중 임의의 것을 포함하는 합금; 이들 원소를 조합한 합금; 또는 이들 원소 중 임의의 것을 포함하는 질화물 등의 내열성의 도전성 재료를 이용하여 형성될 수 있다.
- [0087] 다음에, 게이트 전극층(101)의 전체면 위에 게이트 절연층(102)을 형성한다. 게이트 절연층(102)은, 스퍼터링법, 플라즈마 CVD법 등을 이용하여, 두께 50nm 내지 250nm으로 형성된다.
- [0088] 예를 들어, 게이트 절연층(102)으로서, 두께 100nm의 산화 규소막을 스퍼터링법에 의해 형성한다. 게이트 절연층(102)의 주성분은 산화 규소에 한정되지 않으며, 산화 질화 규소, 질화 규소, 산화 알루미늄, 산화 탄탈 등일 수 있다. 대안으로서, 이들 재료 중 임의의 것으로 형성되는 단층 또는 적층 구조가 사용될 수 있다.
- [0089] 다음에, 게이트 절연층(102) 위에, 산화물 반도체막(In-Ga-Zn-O계 비단결정 막)을 형성한다. 게이트 절연층(102)을 형성한 후, 대기에 노출시킴 없이, In-Ga-Zn-O계 비단결정 막을 형성하는 것이, 게이트 절연층과 반도체막의 계면에 먼지 및 수분이 포함되지 않는다는 점에서 유용하다. In, Ga 및 Zn을 포함하는 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol%] 및 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [at%])을 이용한다. 성막 조건은, 기판과 타겟 사이의 거리를 100mm, 압력 0.2Pa, 직류(DC) 전원 0.5kW, 아르곤과 산소(아르곤:산소=30sccm:20sccm 및 산소 유량비 40%)의 혼합 분위기하인 것으로 설정한다. 펄스 직류(DC) 전원은, 먼지 발생을 억제할 수 있고, 막 두께 분포를 작게 할 수 있기 때문에 바람직하다는 점에 유의해야 한다. In-Ga-Zn-O계 비단결정 막은, 두께 5nm 내지 200nm를 갖도록 형성한다. 실시 형태 3에서, 산화물 반도체막으로서, 두께 20nm의 In-Ga-Zn-O계 비단결정 막을 스퍼터링법에 의해 In-Ga-Zn-O계 산화물 반도체 타겟을 이용하여 형성한다.
- [0090] 스퍼터링법의 예로서는, 스퍼터링 전원에 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법 및 펄스 방식으로 바이어스를 인가하는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 형성할 경우에 이용

되고, DC 스퍼터링법은 주로 금속막을 형성할 경우에 이용된다.

- [0091] 또한, 서로 다른 재료의 복수의 타겟을 설정할 수 있는 멀티 소스 스퍼터링 장치도 있다. 멀티 소스 스퍼터링 장치를 이용하여, 서로 다른 재료의 막들을 동일 챔버에서 적층할 수 있거나, 복수 종류의 재료를 포함하는 재료막을 동일 챔버에서 동시에 방전시켜서 성막할 수 있다.
- [0092] 또한, 챔버 내부에 자석 기구를 구비하고 마그네트론(magnetron) 스퍼터링법을 이용하는 스퍼터링 장치와, 글로우(glow) 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.
- [0093] 또한, 스퍼터링법에 의한 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시켜서 그들의 화합물 박막을 형성하는 반응성 스퍼터링법도 있고, 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터링법도 있다.
- [0094] 다음에, 제2 포토리소그래피 공정을 행하여 레지스트 마스크를 형성한 후, 산화물 반도체막을 에칭한다. 예를 들어, 인산과 아세트산과 질산의 혼합 용액을 이용한 웨트 에칭(wet etching)에 의해, 불필요한 부분을 제거하여 산화물 반도체층(133)을 형성한다(도 6a를 참조). 본원에서 에칭은 웨트 에칭에 한정되지 않고, 드라이 에칭도 이용가능하다는 점에 유의해야 한다.
- [0095] 드라이 에칭을 위한 에칭 가스로서는, 염소를 포함하는 가스(염소(Cl_2), 염화붕소(BCl_3), 염화규소(SiCl_4), 사염화탄소(CCl_4) 등의 염소계 가스)를 이용하는 것이 바람직하다.
- [0096] 또한, 불소를 포함하는 가스(사불화탄소(CF_4), 육불화황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3) 등의 불소계 가스); 브롬화 수소(HBr); 산소(O_2); 이들 가스에 헬륨(He) 또는 아르곤(Ar) 등의 희 가스를 첨가한 가스 등을 이용할 수 있다.
- [0097] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법 또는 ICP(Inductively Coupled Plasma) 에칭법을 이용할 수 있다. 막들을 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조정한다.
- [0098] 웨트 에칭에 이용하는 에칭액으로서, 인산과 아세트산과 질산의 혼합 용액, 암모니아 과산화수소 혼합물(과산화수소수:암모니아수:물=5:2:2) 등을 이용할 수 있다. 또한, IT007N(간토 화학사 제조)을 이용해도 된다.
- [0099] 또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 그 에칭 제거된 재료 및 에칭액을 포함하는 폐액을 정제하고, 재료를 재이용할 수 있다. 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재이용하는 경우, 자원을 효율적으로 사용하여, 비용을 절감할 수 있다.
- [0100] 원하는 형상을 얻기 위해, 재료에 따라 에칭 조건(에칭액, 에칭 시간 및 온도 등)을 적절히 조정한다. 본원에서, 도 6a 및 도 8에 도시한 바와 같이, 산화물 반도체층(133) 전체가 게이트 전극층(101)의 일부를 피복하도록 에칭을 행한다.
- [0101] 다음에, 산화물 반도체층(133) 위에 금속 재료를 이용한 도전막(132)을 스퍼터링법 또는 진공 증착법에 의해 형성한다(도 6b를 참조).
- [0102] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo 및 W 중에서 선택된 원소 또는 이들 원소 중 임의의 것을 성분으로 포함하는 합금, 이들 원소를 조합한 합금 등을 들 수 있다.
- [0103] 도전막(132)을 형성한 후에 가열 처리를 행할 경우에는, 도전막이 가열 처리에 충분히 견디는 내열성을 갖는 것이 바람직하다.
- [0104] 다음에, 제3 포토리소그래피 공정에 의해, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 소스 전극층 및 드레인 전극층(105a 및 105b), 및 제2 단자(122)를 형성한다(도 6c를 참조). 이때, 에칭 방법으로서, 웨트 에칭 또는 드라이 에칭을 이용한다. 예를 들어, 도전막(132)으로서, 알루미늄 막 또는 알루미늄 합금막을 이용하는 경우에는, 인산과 아세트산과 질산의 혼합 용액을 이용한 웨트 에칭을 행할 수 있다. 대안으로서, 암모니아 과산화수소 혼합물(과산화수소수:암모니아수:물=5:2:2)을 이용한 웨트 에칭에 의해, 도전막(132)을 웨트 에칭하여 소스 전극층 및 드레인 전극층(105a 및 105b)을 형성할 수 있다. 이 에칭 공정에서, 산화물 반도체층(133)의 일부가 에칭되어, 산화물 반도체층(135)이 형성된다. 따라서, 소스 전극층 및 드레인 전극층(105a 및 105b) 사이에서 산화물 반도체층(135)의 영역이 작은 두께를 갖는다. 도 6c에 도시한 바와 같이,

산화물 반도체층(135)의 영역(노출 영역)이 소스 전극층 또는 드레인 전극층(105a 또는 105b)과 중첩되는 영역보다도 작은 두께를 갖는다. 도 6c에서, 소스 전극층 및 드레인 전극층(105a 및 105b) 및 산화물 반도체층(135)을 형성하기 위한 에칭을 드라이 에칭에 의해 한번에 행한다. 따라서, 소스 전극층 및 드레인 전극층(105a 및 105b)의 단부와 산화물 반도체층(135)의 단부가 일치하여, 연속적인 구조가 형성된다. 즉, 소스 전극층(105a)에 면하는 드레인 전극층(105b)의 측면과, 노출 영역의 한쪽 측면은, 동일 평면이 된다. 마찬가지로, 드레인 전극층(105b)에 면하는 소스 전극층(105a)의 측면과, 노출 영역의 다른 쪽 측면은, 동일 평면이 된다. 즉, 노출 영역의 측면과, 소스 전극층(105a)의 측면 및 드레인 전극층(105b)의 측면 중 적어도 한쪽은, 동일 평면이 된다.

[0105] 제3 포토리소그래피 공정에서, 소스 전극층 및 드레인 전극층(105a 및 105b)과 동일 재료로 형성되는 제2 단자(122)를 단자부에 남긴다. 제2 단자(122)는 소스 배선(소스 전극층 및 드레인 전극층(105a 및 105b)을 포함하는 소스 배선)에 전기적으로 접속된다는 점에 유의해야 한다.

[0106] 또한, 다게조 마스크를 이용하여 형성된 복수의 두께(통상적으로는, 2개의 서로 다른 두께)의 영역을 갖는 레지스트 마스크를 이용함으로써, 레지스트 마스크의 수를 줄일 수 있고, 결과적으로 공정 간략화, 저비용화를 달성할 수 있다.

[0107] 다음에, 레지스트 마스크를 제거하고, 게이트 절연층(102), 산화물 반도체층(103), 소스 전극층 및 드레인 전극층(105a 및 105b)을 덮는 보호 절연층(107)을, 플라즈마 CVD법을 이용하여 형성한다.

[0108] 구체적으로는, 실시 형태 1에 도시한 바와 같이, 소스 전극층과 드레인 전극층(105a 및 105b)을 형성한 후, 압력을 내린 챔버 내에 기관(100)을 도입하고, 질소 분위기하에서 가열 처리 공정을 행한다. 그 후, 플라즈마(적어도 산소 플라즈마를 포함함)의 도입 공정을 행하고, 성막 가스를 도입하여 산화물 절연막인 보호 절연층(107)을 형성한다.

[0109] 실시 형태 3에서는, 산소 원소를 포함하는 가스와 성막 가스로서, 각각 산화질소(N_2O)와 실란(SiH_4)을 이용하고, 두께 300nm의 보호 절연층(107)을 형성한다.

[0110] 압력을 내린 챔버 내에서 산화물 반도체층(135)을 질소 분위기하에서 가열 처리하는 공정은 온도 100℃ 이상 500℃ 이하(보다 바람직하게는, 150℃ 이상 400℃ 이하)로 행하는 것이 바람직하다.

[0111] 산화물 반도체층(135)의 가열 처리는, 질소 분위기하의 가열 처리 공정으로부터 산화물 절연막의 형성 공정까지 행해진다. 가열 처리 동안의 온도는 100℃ 이상 500℃ 이하(보다 바람직하게는, 150℃ 이상 400℃ 이하)인 것이 바람직하다.

[0112] 보호 절연층(107)을 형성할 때의 챔버 내의 압력은 1Pa 이상 300Pa 이하(7.5×10^{-3} Torr 이상 2.25 Torr 이하)인 것이 바람직하다.

[0113] 소스 전극층 및 드레인 전극층(105a 및 105b) 사이에 형성된 산화물 반도체층(135)의 노출 영역과 보호 절연층(107)인 산화물 절연막이 서로 접하여 형성되는 것에 의해, 보호 절연층(107)에 접하는 산화물 반도체층(103)의 영역의 전기 저항이 증가(캐리어 농도가 감소)하고, 고저항의 채널 형성 영역을 포함하는 산화물 반도체층(103)을 형성할 수 있다(도 7a 참조).

[0114] 다음에, 보호 절연층(107)을 형성한 후, 가열 처리를 행할 수 있다. 가열 처리는 대기 분위기하 또는 질소 분위기하에서 150℃ 이상 350℃ 미만으로 행할 수 있다. 이 가열 처리에 의해, 산화물 반도체층(103)이 보호 절연층(107)에 접한 상태에서 가열되고, 이로써 산화물 반도체층(103)의 저항이 더 증가된다. 따라서, 박막 트랜지스터의 전기 특성의 향상 및 박막 트랜지스터의 전기 특성의 변동을 작게 할 수 있다. 이 가열 처리의 타이밍은 보호 절연층(107)의 형성 다음이면 특별히 한정되지 않는다. 해당 가열 처리를, 수지막 형성 시의 가열 처리 또는 투명 도전막의 저항을 감소시키기 위한 가열 처리 등의 다른 가열 처리 공정을 행함으로써, 제거할 수 있고, 이로써 공정수가 늘어나지 않을 수 있다.

[0115] 이상의 공정에 의해 박막 트랜지스터(170)를 제작할 수 있다.

[0116] 다음에, 제4 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 보호 절연층(107) 및 게이트 절연층(102)을 에칭하여 드레인 전극층(105b)에 달하는 콘택트 홀(125)을 형성한다. 또한, 동일 에칭 공정에서, 제2 단자(122)에 달하는 콘택트 홀(127), 제1 단자(121)에 달하는 콘택트 홀(126)도 형성한다. 이 공정에서의 단면도를 도 7b에 도시한다.

- [0117] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투명 도전막은, 산화 인듐(In_2O_3), 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO이라는 약어로 기술) 등을 이용하여 스퍼터링법, 진공 증착법 등에 의해 형성한다. 이러한 재료는 염산계의 용액에 의해 에칭된다. 그러나, 특히 ITO의 에칭에서는 기판 위에 잔유물이 남기 쉽기 때문에, 에칭 가공성을 개선하기 위해서 산화 인듐 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 이용할 수 있다. 투명 도전막의 저항을 감소시키기 위한 가열 처리를 행할 경우, 전술한 가열 처리를 생략하여, 산화물 반도체층(103)의 저항을 증가시킴으로써 박막 트랜지스터의 전기 특성의 향상 및 박막 트랜지스터의 전기 특성의 변동을 작게 할 수 있다.
- [0118] 다음에, 제5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 그 후, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(110)을 형성한다.
- [0119] 제5 포토리소그래피 공정에서는, 용량부에 있어서 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 사용하는, 용량 배선(108)과 화소 전극층(110)과의 축적 용량이 형성된다.
- [0120] 또한, 제5 포토리소그래피 공정에서, 제1 단자(121) 및 제2 단자(122)를 레지스트 마스크로 덮어 투명 도전막(128 및 129)을 단자부에 남긴다. 투명 도전막(128 및 129)은 FPC와 접속된 전극 또는 배선으로서 기능한다. 제1 단자(121) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로 되는 접속 단자 전극이다. 제2 단자(122) 위에 형성된 투명 도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속 단자 전극이다.
- [0121] 다음에, 레지스트 마스크를 제거하고, 이 공정에서의 단면도를 도 7c에 도시한다. 이 공정에서의 평면도가 도 8에 상당한다는 점에 유의해야 한다.
- [0122] 또한, 도 9의 (A1) 및 도 9의 (A2)는, 이 공정에서의 게이트 배선 단자부의 평면도 및 단면도이다. 도 9의 (A1)은, 도 9의 (A2) 중의 선E1-E2를 따른 단면도다. 도 9의 (A1)에서, 보호 절연막(154) 위에 형성된 투명 도전막(155)은, 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 9의 (A1)의 단자부에서는, 게이트 배선과 동일한 재료를 이용하여 형성되는 제1 단자(151)와 소스 배선과 동일한 재료를 이용하여 형성되는 접속 전극층(153)이, 게이트 절연층(152)을 개재하여 서로 중첩하고, 투명 도전막(155)에 의해 전기적으로 서로 접속된다. 또한, 도 7c에 도시한 투명 도전막(128)과 제1 단자(121)가 서로 접촉하는 부분이, 도 9의 (A1)에서의 투명 도전막(155)과 제1 단자(151)가 서로 접촉하는 부분에 대응하고 있다는 점에 유의해야 한다.
- [0123] 도 9의 (B1) 및 도 9의 (B2)는, 도 7c에 도시된 것과는 상이한 소스 배선 단자부의 평면도 및 단면도를 각각 도시한다. 또한, 도 9의 (B1)의 단면도는, 도 9의 (B2)의 선F1-F2를 따라 취해진 것이다. 도 9의 (B1)에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 9의 (B1)에서, 단자부에는, 게이트 배선과 동일한 재료로 형성되는 전극층(156)이, 소스 배선과 전기적으로 접속되는 제2 단자(150)의 아래쪽에 있고, 게이트 절연층(152)을 개재하여 제2 단자(150)와 중첩한다. 전극층(156)이 제2 단자(150)와 전기적으로 접속되어 있지 않고, 전극층(156)을 제2 단자(150)와 다른 전위, 예를 들어, 플로팅, GND 또는 0V 등으로 설정하면, 노이즈 또는 정전기 방지를 위한 용량을 형성할 수 있다. 제2 단자(150)는, 보호 절연막(154)을 통해서 투명 도전막(155)과 전기적으로 접속된다.
- [0124] 복수의 게이트 배선, 소스 배선 및 용량 배선이 화소 밀도에 따라 제공된다. 또한, 단자부에서는, 게이트 배선과 동일 전위의 제1 단자, 소스 배선과 동일 전위의 제2 단자, 용량 배선과 동일 전위의 제3 단자 등이 각각 복수로 배치될 수 있다. 각 단자의 수는 임의의 수일 수 있고, 단자의 수는 실시자에 의해 적절하게 결정될 수도 있다.
- [0125] 이러한 5회의 포토리소그래피 공정에 의해, 5매의 포토마스크를 사용하여, 보텀 게이트형 스테퍼 구조의 박막 트랜지스터의 박막 트랜지스터(170)를 포함하는 화소 박막 트랜지스터부 및 축적 용량을 완성할 수 있다. 화소가 매트릭스 형상으로 배치된 화소부의 각각의 화소에 박막 트랜지스터 및 축적 용량을 배치함으로써, 액티브 매트릭스형 표시 장치를 제작하기 위한 한쪽의 기판을 획득할 수 있다. 본 명세서에서는, 편의상 이러한 기판을 액티브 매트릭스 기판이라 부른다.
- [0126] 액티브 매트릭스형 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 제공된 대향 기판 사이에 액정층을 개재하여, 액티브 매트릭스 기판과 대향 기판을 고정한다. 또한, 대향 기판 위의 대향 전극과 전기적으로 접속되는 공통 전극을 액티브 매트릭스 기판 위에 제공하고, 공통 전극과 전기적으로 접속되는 제4 단자를 단자부에 제공한다는 점에 유의해야 한다. 제4 단자는 공통 전극을 GND, 0V 등의 고정 전위로 설정하기 위해 제공된다.

- [0127] 대안으로서, 화소 전극을 인접하는 화소의 게이트 배선과 중첩하여 보호 절연막 및 게이트 절연층을 개재하여 용량 배선 없이 축적 용량을 형성할 수 있다.
- [0128] 액티브 매트릭스형 액정 표시 장치에서는, 매트릭스 형상으로 배치된 화소 전극을 구동함으로써, 화면 위에 표시 패턴을 형성한다. 구체적으로는, 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 제공된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0129] 동화상 표시에 있어, 액정 표시 장치는 액정 분자 자체의 응답 시간이 길기 때문에 잔상 또는 동화상의 흐려짐(blurring)이 생긴다고 하는 문제가 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해서, 전체 화면의 흑 표시를 매 프레임 기간 다음에 행하는, 소위, 흑 삽입이라 불리는 구동 방법을 이용한다.
- [0130] 대안으로서, 수직 동기 주파수를 통상 수직 동기 주파수의 1.5배 이상, 바람직하게는 2배 이상으로 함으로써, 응답 속도를 증가시키고, 각 프레임 내의 복수의 분할된 필드에 대한 기입용 계조를 선택하는, 소위, 배속 구동(double-frame rate driving)이라 불리는 구동 방법을 이용한다.
- [0131] 또 다른 대안으로서, 액정 표시 장치의 동화상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원을 이용하여 평면 광원을 형성하고, 평면 광원의 각 광원을 독립적으로 구동하여 1프레임 기간 내에 간헐 점등을 행하는 구동 방법을 이용한다. 평면 광원으로서, 3종류 이상의 LED를 이용할 수 있고, 백색 발광의 LED를 이용할 수 있다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 타이밍에 LED의 발광 타이밍을 동기 시킬 수도 있다. 이 구동 방법에 따르면, LED를 부분적으로 소등할 수 있고, 따라서 흑 표시된 영역이 넓은 화상을 표시하는 경우, 소비 전력의 저감 효과를 달성할 수 있다.
- [0132] 이들 구동 방법을 조합함으로써, 액정 표시 장치의 동화상 특성 등의 표시 특성을 종래의 액정 표시 장치에 비하여 개선할 수 있다.
- [0133] 본 명세서에 개시된 박막 트랜지스터는, 채널 형성 영역에 이용되는 산화물 반도체막을 포함하고, 우수한 동적 특성(dynamic characteristics)을 갖으며, 이들 구동 방법과 결합될 수 있다.
- [0134] 발광 표시 장치를 제작하는 경우, 유기 발광 소자의 한쪽 전극(또한 캐소드라고 부름)은 GND, 0V 등의 저전원 전위로 설정되고, 단자부에는, 캐소드를 GND, 0V 등의 저전원 전위로 설정하기 위한 제4 단자가 형성된다. 또한, 발광 표시 장치를 제작하는 경우에는, 소스 배선 및 게이트 배선 외에 전원 공급선을 제공한다. 따라서, 단자부에는, 전원 공급선과 전기적으로 접속되는 제5 단자를 제공한다.
- [0135] 또한, 발광 표시 장치를 제작할 때, 각 유기 발광 소자 사이에 유기 수지층을 이용한 격벽을 제공하는 일부 경우가 있다. 그 경우에는, 유기 수지층을 가열 처리할 필요가 있다. 따라서, 산화물 반도체층(103)의 저항을 증가시킴으로써 박막 트랜지스터의 전기 특성의 향상 및 박막 트랜지스터의 전기 특성의 변동을 감소시키기 위하여 가열 처리를 생략할 수 있다.
- [0136] 박막 트랜지스터에 산화물 반도체를 이용하는 것에 의해, 제조 비용을 절감할 수 있다. 특히, 상기 방법에 의해, 산화물 반도체층에 접하여 산화물 절연막을 형성함으로써, 안정된 전기 특성을 갖는 박막 트랜지스터를 제작 및 제공할 수 있다. 따라서, 전기 특성이 우수하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.
- [0137] 산화물 반도체층의 채널 형성 영역은 고저항 영역이므로, 박막 트랜지스터의 전기 특성이 안정화되고, 오프 전류의 증가가 방지될 수 있다. 따라서, 전기 특성이 우수하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.
- [0138] 실시 형태 3는 다른 실시 형태에 기재한 구조와 적절히 조합하여 구현될 수 있다.
- [0139] (실시 형태 4)
- [0140] 실시 형태 4에서는, 반도체 장치의 제작 방법의 일 실시 형태로서, 산화물 절연막을 형성하기 전에, 미리 산화물 반도체층에 가열 처리를 행하는 예를 설명한다. 실시 형태 4에서는, 해당 가열 처리를 질소 분위기하에서 행한다.
- [0141] 본 명세서에서는, 산화물 절연막을 형성하기 전에(산화물 반도체층이 형성된 기판을, 산화물 절연막을 형성하는 챔버 내에 도입하기 전에) 행하는, 실시 형태 4에 기재된 질소 분위기하의 가열 처리를 탈수화 또는 탈수소화를

위한 가열 처리라고 부른다. 본 명세서에서, 탈수소화는 이 가열 처리에 의한 H_2 의 탈리를 나타낸다. 편의상, H, OH 등의 탈리를 탈수화 및 탈수소화라고 부른다.

- [0142] 실시 형태 4의 가열 처리 공정은, 산화물 반도체층을 형성한 후, 산화물 절연층을 형성하는 공정(도 1, 도 2 및 도 3을 참조하여 실시 형태 1에 설명한 공정) 전에 행할 수 있다. 예를 들어, 실시 형태 2의 반도체 장치의 제작 공정에서는, 해당 가열 처리를 소스 전극층 및 드레인 전극층(405a 및 405b)의 형성 전의 도 4a와 도 4b 사이에 행할 수 있고, 소스 전극층 및 드레인 전극층(405a 및 405b)의 형성 후의 도 4b와 도 4c 사이에 행할 수 있다. 대안으로서, 도 4a에 도시된 바와 같이, 해당 가열 처리를 섬 형상의 산화물 반도체층(430)으로 가공하기 전에 산화물 반도체막에 행할 수 있다.
- [0143] 실시 형태 4에서는, 산화물 반도체막의 순도를 높이고, 불순물인 수분 등을 저감하는 가열 처리(탈수화 및 탈수소화를 위한 가열 처리)를 행한다. 또한, 산화물 반도체막 내의 불순물뿐만 아니라, 게이트 절연층 내의 수분 등의 불순물을 저감하고, 상하에 서로 접하여 제공되는 막과 산화물 반도체막의 계면에 존재하는 수분 등의 불순물을 저감한다.
- [0144] 수분 등의 불순물을 저감하기 위해서, 산화물 반도체막을 형성한 후, 산화물 반도체막이 노출된 상태에서 질소 또는 희 가스(아르곤 또는 헬륨 등)의 불활성 기체 분위기하 혹은 감압하에서 $200^{\circ}C$ 이상, 바람직하게는 $400^{\circ}C$ 이상 $600^{\circ}C$ 이하로 가열 처리를 행한다. 따라서, 산화물 반도체막의 함유 수분이 저감된다. 가열 후에, 불활성 기체 분위기하에서 실온 이상 $100^{\circ}C$ 미만 온도까지 서냉하는 것이 바람직하다.
- [0145] 탈수화 및 탈수소화를 위한 가열 처리에서는, 질소 또는 헬륨, 네온, 아르곤 등의 희 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다는 점에 유의해야 한다. 가열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0146] 또한, 가열 처리로서, 전기로를 이용한 가열 방법, 가열한 기체를 이용하는 GRTA(Gas Rapid Thermal Anneal)법 또는 램프 광을 이용하는 LRTA(Lamp Rapid Thermal Anneal)법 등의 고속 가열 방법(rapid heating method) 등을 이용할 수 있다.
- [0147] 질소, 아르곤 등의 불활성 기체 분위기하 혹은 감압하에서의 가열 처리에 의해, 막 내의 함유 수분을 저감시킨 산화물 반도체막을 이용함으로써, 박막 트랜지스터의 전기 특성을 향상시키고, 양산성을 갖추고 고성능을 구비한 박막 트랜지스터를 얻는다.
- [0148] 불활성 기체 분위기하에서의 가열 처리에 의해, 산화물 반도체층에 포함되는 불순물(H_2O , H, OH 등)을 저감하고, 캐리어 농도를 증가시킨 후, 서냉을 행한다. 그 후, 산화물 반도체층에 접하여 산화물 절연막을 형성하는 것 등에 의해, 산화물 반도체층의 캐리어 농도를 저감시켜, 신뢰성을 향상시킨다.
- [0149] 산화물 반도체층의 전기 저항은, 질소 분위기하에서 행해진 가열 처리에 의해 감소되고(즉, 캐리어 농도가 증가함, 바람직하게는, $1 \times 10^{18}/cm^3$ 이상까지), 따라서 저저항 산화물 반도체층이 형성될 수 있다. 그 후, 저저항 산화물 반도체층에 접하여 산화물 절연막을 형성함으로써, 저저항 산화물 반도체층의 적어도 산화물 절연막과 접하는 영역의 저항이 증가되고(즉, 캐리어 농도가 감소함, 바람직하게는 $1 \times 10^{18}/cm^3$ 이하까지, 더욱 바람직하게는, $1 \times 10^{14}/cm^3$ 이하까지), 고저항 산화물 반도체 영역이 형성될 수 있다. 실시 형태 4에 있어서의 반도체 장치의 제조 공정 동안, 불활성 기체 분위기하(혹은 감압하)에서의 가열, 서냉 및 산화물 절연막의 형성 등에 의해 산화물 반도체층의 캐리어 농도를 증가 또는 감소시키는 것이 중요하다. 캐리어 농도의 증가 및 감소는, 우선 초기에 i형 산화물 반도체층을 산소 결핍형으로 변화시키는 탈수화 및 탈수소화를 위한 가열 처리로부터 산화물 반도체층이 n형(n^- , n^+ 등)으로 된다는 점에 기인한다. 그 후, 산화물 절연막의 형성을 행함으로써 산화물 반도체층이 산소 과잉 상태로 되고, i형 산화물 반도체가 된다.
- [0150] 이렇게, 질소 분위기하에서 탈수화 및 탈수소화를 위한 가열 처리를 행한 산화물 반도체층 위에, 실시 형태 1에서 설명한 방법으로 산화물 절연막을 형성함으로써, 반도체 장치를 제작할 수 있다.
- [0151] 따라서, 전기 특성이 우수하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제작 및 제공할 수 있다.
- [0152] (실시 형태 5)

- [0153] 실시 형태 5에서는, 반도체 장치의 제작 방법의 일 실시 형태로서, 산화물 절연막을 형성하기 전에, 미리 산화물 반도체층에 가열 처리를 행하는 예를 도시한다. 실시 형태 4에서는, 해당 가열 처리를 질소 분위기하에서 행하는 예를 설명하였지만, 실시 형태 5에서는, 해당 가열 처리를 대기 분위기하(대기 중)에서 행하는 예를 설명한다.
- [0154] 실시 형태 5의 가열 처리 공정은, 산화물 반도체층을 형성한 후, 산화물 절연층을 형성하는 공정(도 1, 도 2 및 도 3을 참조하여 실시 형태 1에서 설명한 공정) 전에 행해질 수 있다. 예를 들어, 실시 형태 2의 반도체 장치의 제작 공정에서는, 해당 가열 처리를 소스 전극층 및 드레인 전극층(405a 및 405b)의 형성 전의 도 4a와 도 4b 사이에 행할 수 있고, 소스 전극층 및 드레인 전극층(405a 및 405b)의 형성 후의 도 4b와 도 4c 사이에 행할 수 있다. 또한, 도 4a에 도시된 바와 같이, 해당 가열 처리를 섬 형상의 산화물 반도체층(430)으로 가공하기 전에 산화물 반도체막에 행할 수 있다. 해당 가열 처리를 200℃ 내지 600℃, 통상적으로는 300℃ 내지 500℃로 행하는 것이 바람직하다. 예를 들어, 대기 분위기하(대기 중)에서 350℃로, 1시간의 가열 처리를 행한다.
- [0155] 이렇게, 대기 분위기하(대기 중)에서 가열 처리를 행한 산화물 반도체층 위에, 실시 형태 1에서 설명한 방법으로 산화물 절연막을 형성하고, 반도체 장치를 제작할 수 있다.
- [0156] 따라서, 전기 특성이 우수하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제작 및 제공할 수 있다.
- [0157] (실시 형태 6)
- [0158] 실시 형태 6에서는, 적어도 구동 회로의 일부와, 화소부에 배치되는 박막 트랜지스터를 하나의 기판 위에 형성하는 예에 대해서 후술한다.
- [0159] 화소부에 배치되는 박막 트랜지스터는, 실시 형태 1 내지 실시 형태 5 중 어느 것을 따라 형성된다. 또한, 실시 형태 1 내지 실시 형태 5 중 어느 것에서 설명한 박막 트랜지스터는 n채널 TFT이다. 따라서, 구동 회로들 중에서, n채널 TFT를 이용하여 형성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.
- [0160] 도 20a는 액티브 매트릭스형 표시 장치의 블록도의 예를 나타낸다. 표시 장치의 기판(5300) 위에는, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)를 제공한다. 화소부(5301)에는, 신호선 구동 회로(5304)로부터 연장된 복수의 신호선이 제공되고, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303)로부터 연장된 복수의 주사선이 제공된다. 주사선과 신호선의 교차 영역 각각에는, 표시 소자를 포함하는 화소가 매트릭스 형상으로 제공된다는 점에 유의해야 한다. 또한, 표시 장치의 기판(5300)은, FPC(Flexible Printed Circuit) 등의 접속부를 통하여, 타이밍 제어 회로(5305)(컨트롤러 또는 컨트롤러 IC 라고도 함)에 접속된다.
- [0161] 도 20a에서, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는, 화소부(5301)와 동일한 기판(5300) 위에 제공된다. 그 때문에, 외부에 제공된 구동 회로 등의 부품의 수가 감소하므로, 비용 절감을 달성할 수 있다. 또한, 기판(5300) 외부에 구동 회로를 형성했을 경우에, 배선을 연장 시키는 것에 의하여 접속부에서의 접속 수를 줄일 수 있고, 신뢰성의 향상 및 수율의 향상을 달성할 수 있다.
- [0162] 예로서, 타이밍 제어 회로(5305)는, 제1 주사선 구동 회로(5302)에, 제1 주사선 구동 회로 스타트 신호(GSP1), 주사선 구동 회로 클럭 신호(GCK1)를 공급한다는 점에 유의해야 한다. 타이밍 제어 회로(5305)는, 예를 들어, 제2 주사선 구동 회로(5303)에, 제2 주사선 구동 회로 스타트 신호(GSP2)(스타트 펄스라고도 함) 및 주사선 구동 회로 클럭 신호(GCK2)를 공급한다. 타이밍 제어 회로(5305)는, 신호선 구동 회로(5304)에, 신호선 구동 회로 스타트 신호(SSP), 신호선 구동 회로 클럭 신호(SCK), 비디오 신호 데이터(DATA)(간단히 비디오 신호라고도 함) 및 래치 신호(LAT)를 공급한다. 각 클럭 신호는, 주기가 다른 복수의 클럭 신호일 수 있거나, 반전 클럭 신호(CKB)와 함께 공급될 수 있음에 유의해야 한다. 제1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303) 중 한쪽을 생략하는 것도 가능하다는 점에 유의해야 한다.
- [0163] 도 20b는, 구동 주파수가 낮은 회로(예를 들어, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303))를 화소부(5301)와 동일한 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 형성된 기판(5300)과는 다른 기판 위에 형성하는 구조를 도시한다. 이런 구조에 의해, 기판(5300) 위에 형성되는 구동 회로를, 단결정 반도체를 이용한 트랜지스터에 비하여 전계 효과 이동도가 낮은 박막 트랜지스터를 이용함으로써, 구성할 수 있다. 따라서, 표시 장치의 대형화, 공정수의 삭감, 비용 절감, 수율 향상 등을 달성할 수 있다.

- [0164] 또한, 실시 형태 1 내지 실시 형태 5에 설명한 박막 트랜지스터는 n채널 TFT다. 도 21a 및 도 21b에서는, 예로서, n채널 TFT를 이용하여 형성된 신호선 구동 회로의 구성 및 동작의 예를 설명한다.
- [0165] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로(5602_1~5602_N)(N은 자연수)를 포함한다. 스위칭 회로(5602_1~5602_N) 각각은, 복수의 박막 트랜지스터(5603_1~5603_k)(k는 자연수)를 포함한다. 박막 트랜지스터(5603_1~5603_k)가 n채널 TFT인 예를 설명한다.
- [0166] 신호선 구동 회로의 접속 관계에 대해서, 스위칭 회로(5602_1)를 예로서 사용하여 설명한다. 박막 트랜지스터(5603_1~5603_k)의 제1 단자는, 각각, 배선(5604_1~5604_k)과 접속된다. 박막 트랜지스터(5603_1~5603_k)의 제2 단자는, 각각, 신호선(S1~Sk)과 접속된다. 박막 트랜지스터(5603_1~5603_k)의 게이트는 배선(5605_1)과 접속된다.
- [0167] 시프트 레지스터(5601)는, 배선(5605_1~5605_N)에 순서대로 H 레벨 신호(H 신호 또는 고전원 전위 레벨라고도 함)를 출력하고, 스위칭 회로(5602_1~5602_N)를 순서대로 선택하는 기능을 갖는다.
- [0168] 스위칭 회로(5602_1)는, 배선(5604_1~5604_k)과 신호선(S1~Sk) 사이의 도통 상태(제1 단자와 제2 단자 사이의 도통 상태)를 제어하는 기능, 즉 배선(5604_1~5604_k)의 전위를 신호선(S1~Sk)에 공급하는지의 여부를 제어하는 기능을 갖는다. 이렇게, 스위칭 회로(5602_1)는 셀렉터로서 기능한다. 또한, 박막 트랜지스터(5603_1~5603_k)는, 각각, 배선(5604_1~5604_k)과 신호선(S1~Sk) 사이의 도통 상태를 제어하는 기능, 즉 배선(5604_1~5604_k)의 전위를 신호선(S1~Sk)에 공급하는지의 여부를 제어하는 기능을 갖는다. 이렇게, 박막 트랜지스터(5603_1~5603_k) 각각은, 스위치로서 기능한다.
- [0169] 배선(5604_1~5604_k) 각각에는, 비디오 신호 데이터(DATA)가 입력된다. 비디오 신호 데이터(DATA)는 화상 데이터 또는 화상 신호에 대응하는 아날로그 신호인 경우가 많다.
- [0170] 다음에, 도 21a의 신호선 구동 회로의 동작에 대해서, 도 21b의 타이밍차트를 참조하여 설명한다. 도 21b에는, 신호(Sout_1~Sout_N) 및 신호(Vdata_1~Vdata_k)의 예를 도시한다. 신호(Sout_1~Sout_N)는 시프트 레지스터(5601)의 출력 신호의 예이며, 신호(Vdata_1~Vdata_k)는 배선(5604_1~5604_k)에 입력되는 신호의 예이다. 신호선 구동 회로의 1 동작 기간은, 표시 장치에서의 1 게이트 선택 기간에 대응한다는 점에 유의해야 한다. 예를 들어, 1 게이트 선택 기간은 기간(T1~TN)으로 분할된다. 기간(T1~TN)은, 선택된 행에 속하는 화소에 비디오 신호 데이터(DATA)를 기입하기 위한 기간이다.
- [0171] 기간(T1~TN)에서, 시프트 레지스터(5601)는 H 레벨 신호를 배선(5605_1~5605_N)에 순서대로 출력한다. 예를 들어, 기간(T1)에서, 시프트 레지스터(5601)는 H 레벨 신호를 배선(5605_1)에 출력한다. 그 후, 박막 트랜지스터(5603_1~5603_k)는 턴온되므로, 배선(5604_1~5604_k)과, 신호선(S1~Sk)이 도통 상태로 된다. 이 경우, 배선(5604_1~5604_k)에는, 각각, Data(S1) ~ Data(Sk)가 입력된다. Data(S1)~Data(Sk)는, 각각, 박막 트랜지스터(5603_1~5603_k)를 통하여, 선택된 행의 1열째~k열째의 화소들에 입력된다. 이렇게, 기간(T1~TN)에서, 선택된 행의 화소들에 k열씩 순차적으로 비디오 신호 데이터(DATA)가 기입된다.
- [0172] 비디오 신호 데이터(DATA)가 복수의 열씩 화소들에 기입되는 것에 의해, 비디오 신호 데이터(DATA)의 수 또는 배선의 수를 줄일 수 있다. 따라서, 외부 회로와의 접속을 줄일 수 있다. 또한, 비디오 신호가 복수의 열씩 화소들에 기입되는 것에 의해, 기입 시간을 연장할 수 있고, 비디오 신호의 기입 부족을 방지할 수 있다.
- [0173] 시프트 레지스터(5601) 및 스위칭 회로(5602)로서, 실시 형태 1 내지 실시 형태 5에 설명한 박막 트랜지스터를 포함하는 회로를 이용할 수 있다는 점에 유의해야 한다.
- [0174] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 이용하는 시프트 레지스터의 일 실시 형태에 대해서 도 22a 내지 도 22c, 도 23a 내지 도 23b를 참조하여 설명한다.
- [0175] 주사선 구동 회로는 시프트 레지스터를 포함한다. 주사선 구동 회로는 또한 레벨 시프터, 버퍼 등을 포함하는 일부 경우가 있다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링 및 증폭되고, 그 결과로 생성된 신호가 대응하는 주사선에 공급된다. 주사선에는, 1 라인 분의 화소의 트랜지스터의 게이트 전극이 접속된다. 1 라인 분의 화소의 트랜지스터를 일제히 턴온해야 하므로, 대전류를 공급할 수 있는 버퍼가 사용된다.
- [0176] 시프트 레지스터는 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)(N은 3이상의 자연수)를 포함한다(도 22a 참조). 도 22a에 도시된 시프트 레지스터의 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)에는, 제1 배선(11)

으로부터 제1 클럭 신호(CK1), 제2 배선(12)으로부터 제2 클럭 신호(CK2), 제3 배선(13)으로부터 제3 클럭 신호(CK3) 및 제4 배선(14)으로부터 제4 클럭 신호(CK4)가 공급된다. 제1 펄스 출력 회로(10_1)에는, 제5 배선(15)으로부터 스타트 펄스(SP1)(제1 스타트 펄스)가 입력된다. 2단계 이후의 제n 펄스 출력 회로(10_n)에는, 이전 단계의 펄스 출력 회로(10_(n-1))(n은 2 이상 N 이하의 자연수)로부터 신호가 입력된다. 제1 펄스 출력 회로(10_1)에는, 제1 펄스 출력 회로(10_1)의 2단 후의 제3 펄스 출력 회로(10_3)로부터 신호가 입력된다. 마찬가지로, 2단계 이후의 제n 펄스 출력 회로에는, 제n 펄스 출력 회로(10_n)의 2단 후의 제(n+2) 펄스 출력 회로(10_(n+2))로부터 신호(후단 신호(OUT(n+2)))라고 함)가 입력된다. 따라서, 제n 펄스 출력 회로로부터, 후단 펄스 출력 회로(제(n+1) 펄스 출력 회로) 및/또는 제n 펄스 출력 회로의 2단 전의 펄스 출력 회로(제(n-2) 펄스 출력 회로)에 제1 출력 신호(OUT(1)(SR)~OUT(N)(SR))가 출력되고, 제n 펄스 출력 회로로부터 다른 회로 등에 제2 출력 신호(OUT(1)~OUT(N))가 출력된다. 도 22a에 도시한 바와 같이, 시프트 레지스터의 마지막 2개의 단계에는, 후단 신호(OUT(n+2))가 입력되지 않기 때문에, 예로서, 제2 스타트 펄스(SP2), 제3 스타트 펄스(SP3)가 별도로 시프트 레지스터의 마지막 2개의 단계에 입력된다는 점에 유의해야 한다.

[0177] 클럭 신호(CK)는 일정한 간격으로 H 레벨과 L 레벨(L 신호 또는 저전원 전위 레벨이라고 함)을 반복하는 신호라는 점에 유의해야 한다. 제1 클럭 신호(CK1)~제4 클럭 신호(CK4)는 순차적으로 1/4 주기만큼 지연된다. 실시 형태 6에서, 제1 클럭 신호(CK1)~제4 클럭 신호(CK4)를 이용함으로써, 펄스 출력 회로의 구동을 제어한다. 클럭 신호가 입력되는 구동 회로에 따라, 클럭 신호를 GCK 또는 SCK라고도 부르지만, CK를 클럭 신호로 이용하여 설명한다.

[0178] 제1 입력 단자(21), 제2 입력 단자(22) 및 제3 입력 단자(23)는, 제1 배선(11)~제4 배선(14) 중 임의의 것과 전기적으로 접속된다. 예를 들어, 도 22a에서, 제1 펄스 출력 회로(10_1)의 제1 입력 단자(21)는 제1 배선(11)과 전기적으로 접속되고, 제1 펄스 출력 회로(10_1)의 제2 입력 단자(22)는 제2 배선(12)과 전기적으로 접속되고, 제1 펄스 출력 회로(10_1)의 제3 입력 단자(23)는 제3 배선(13)과 전기적으로 접속된다. 마찬가지로, 제2 펄스 출력 회로(10_2)의 제1 입력 단자(21)는 제2 배선(12)과 전기적으로 접속되고, 제2 펄스 출력 회로(10_2)의 제2 입력 단자(22)는 제3 배선(13)과 전기적으로 접속되고, 제2 펄스 출력 회로(10_2)의 제3 입력 단자(23)는 제4 배선(14)과 전기적으로 접속된다.

[0179] 제1 내지 제N 펄스 출력 회로(10_1~10_N) 각각은, 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27)를 포함한다(도 22b 참조). 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)에는 제1 클럭 신호(CK1)가 입력되고, 제2 입력 단자(22)에는 제2 클럭 신호(CK2)가 입력되고, 제3 입력 단자(23)에는 제3 클럭 신호(CK3)가 입력되고, 제4 입력 단자(24)에는 스타트 펄스가 입력되고, 제5 입력 단자(25)에는 후단 신호(OUT(3))가 입력되며, 제1 출력 단자(26)로부터 제1 출력 신호(OUT(1)(SR))가 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호(OUT(1))가 출력된다.

[0180] 다음에, 도 22b에 도시한 펄스 출력 회로의 구체적인 회로 구조의 예에 대하여, 도 22c를 참조하여 설명한다.

[0181] 도 22c에 도시된 펄스 출력 회로는, 제1 트랜지스터(31)~제13 트랜지스터(43)를 포함한다. 전술한 제1 입력 단자(21)~제5 입력 단자(25) 및 제1 출력 단자(26), 제2 출력 단자(27) 외에, 제1 전원 전위(VDD)가 공급되는 전원선(51) 및 제2 전원 전위(VCC)가 공급되는 전원선(52), 제3 전원 전위(VSS)가 공급되는 전원선(53)으로부터, 제1 트랜지스터(31)~제13 트랜지스터(43)에 신호 또는 전원 전위가 공급된다. 여기서, 도 22c의 각 전원선의 전원 전위의 크기 관계는, 제1 전원 전위(VDD)가 제2 전원 전위(VCC)보다 높고, 제2 전원 전위(VCC)가 제3 전원 전위(VSS)보다 높은 것으로 한다. 제1 클럭 신호(CK1)~제4 클럭 신호(CK4)는 일정한 간격으로 H 레벨과 L 레벨을 반복하는 신호이지만, 이들 전위는 클럭 신호가 H 레벨일 때에는 VDD로 조정되고, 클럭 신호가 L 레벨일 때에는 VSS로 조정된다. 전원선(51)의 전위(VDD)를, 전원선(52)의 전위(VCC)보다 높게 설정하는 경우, 동작에 악영향을 주는 일없이, 트랜지스터의 게이트 전극에 인가되는 전위를 낮게 할 수 있어, 트랜지스터의 임계값의 변동을 저감하고, 열화를 억제할 수 있다는 점에 유의해야 한다.

[0182] 도 22c에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제1 트랜지스터(31)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제4 트랜지스터(34)의 제2 단자는

제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제6 트랜지스터(36)의 게이트 전극은 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되고, 제7 트랜지스터(37)의 게이트 전극은 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제8 트랜지스터(38)의 게이트 전극은 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제9 트랜지스터(39)의 게이트 전극이 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제12 트랜지스터(42)의 제1 단자가 전원선(53)에 전기적으로 접속되고, 제12 트랜지스터(42)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제12 트랜지스터(42)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극에 전기적으로 접속된다. 제13 트랜지스터(43)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제13 트랜지스터(43)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되고, 제13 트랜지스터(43)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극에 전기적으로 접속된다.

- [0183] 도 22c에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극 및 제9 트랜지스터(39)의 제2 단자의 접속점을 노드 A라고 한다. 또한, 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자 및 제11 트랜지스터(41)의 게이트 전극의 접속점을 노드 B라고 한다.
- [0184] 도 23a는, 도 22c에 설명한 펄스 출력 회로를 제1 펄스 출력 회로(10_1)에 적용했을 경우에, 제1 입력 단자(21) 내지 제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27)에 대한 입출력 신호를 도시한다.
- [0185] 구체적으로는, 제1 입력 단자(21)에 제1 클럭 신호(CK1)가 입력되고, 제2 입력 단자(22)에 제2 클럭 신호(CK2)가 입력되고, 제3 입력 단자(23)에 제3 클럭 신호(CK3)가 입력되고, 제4 입력 단자(24)에 스타트 펄스(SP1)가 입력되고, 제5 입력 단자(25)에 후단 신호(OUT(3))가 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호(OUT(1)(SR))가 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호(OUT(1))가 출력된다.
- [0186] 박막 트랜지스터는 게이트와, 드레인과, 소스의 적어도 3개의 단자를 갖는 소자인 점에 유의해야 한다. 박막 트랜지스터는 게이트와 중첩한 영역에 채널 영역이 형성되는 반도체를 갖고, 게이트의 전위를 제어함으로써, 채널 영역을 통해서 드레인과 소스 사이에 흐르는 전류를 제어할 수 있다. 여기서, 박막 트랜지스터의 소스와 드레인은, 박막 트랜지스터의 구조, 동작 조건 등에 따라 교환될 수 있기 때문에, 소스 또는 드레인이 어느 것인가를 한정하는 것은 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을, 소스 혹은 드레인이라고 부르지는 않는 일부 경우가 있다. 이런 경우, 예를 들어, 소스 및 드레인 중 한쪽을 제1 단자라고 하고, 다른 쪽을 제2 단자라고 하는 경우가 있다.
- [0187] 여기서, 도 23b는, 도 23a에 도시된 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍차트를 도시한다. 시프트 레지스터가 주사선 구동 회로인 경우, 도 23b에서 기간(61) 및 기간(62) 각각은, 수직 귀선 기간(vertical retrace period) 및 게이트 선택 기간에 대응한다는 점에 유의해야 한다.
- [0188] 도 23a에 도시한 바와 같이, 게이트에 제2 전원 전위(VCC)가 공급되는 제9 트랜지스터(39)를 제공함으로써, 부트스트랩(bootstrap) 동작의 전후에서, 이하와 같은 이점이 얻어진다는 점에 유의해야 한다.
- [0189] 게이트에 제2 전원 전위(VCC)가 공급되는 제9 트랜지스터(39)가 없을 경우, 부트스트랩 동작에 의해 노드 A의 전위가 상승하면, 제1 트랜지스터(31)의 제2 단자인 소스의 전위가 상승하여, 제1 전원 전위(VDD) 값보다 커진다. 그 후, 제1 트랜지스터(31)의 제1 단자, 즉 전원선(51)이 그 소스로 기능하게 된다. 따라서, 제1 트랜지

스터(31)에서는, 게이트와 소스 사이, 게이트와 드레인 사이에, 큰 바이어스 전압이 인가되어 상당한 스트레스가 걸리고, 트랜지스터의 열화의 요인이 될 수 있다. 게이트에 제2 전원 전위(VCC)가 공급되는 제9 트랜지스터(39)를 제공함으로써, 부트스트랩 동작에 의해 노드 A의 전위는 상승하지만, 이때 제1 트랜지스터(31)의 제2 단자의 전위의 상승이 일어나지 않게 할 수 있다. 즉, 제9 트랜지스터(39)를 형성함으로써, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네가티브(negative) 바이어스 전압의 값을 작게 할 수 있다. 따라서, 실시 형태 6의 회로 구조에 의해, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네가티브 바이어스 전압을 작게 할 수 있어, 스트레스로 인한 제1 트랜지스터(31)의 열화를 더욱 억제할 수 있다.

[0190] 제9 트랜지스터(39)를, 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 제1 단자와 제2 단자를 통해 접속되도록 제공한다는 점에 유의해야 한다. 실시 형태 6에 도시된 복수의 펄스 출력 회로를 포함하는 시프트 레지스터를 사용하는 경우, 주사전 구동 회로보다 많은 단수를 갖는 신호선 구동 회로에서, 제9 트랜지스터(39)를 생략할 수 있고, 트랜지스터의 수를 삭감할 수 있다.

[0191] 제1 트랜지스터(31) 내지 제13 트랜지스터(43)의 반도체층으로서, 산화물 반도체를 이용하는 경우, 박막 트랜지스터의 오프 전류를 저감할 수 있고, 온 전류 및 전계 효과 이동도를 높이는 것이 가능하고, 열화의 정도를 저감할 수 있기 때문에, 회로 내의 오동작을 저감할 수 있다. 산화물 반도체를 이용하여 형성된 트랜지스터는, 아몰퍼스 실리콘을 이용하여 형성된 트랜지스터에 비해, 게이트 전극에 고전위가 인가되는 것에 의해 야기되는 트랜지스터의 열화의 정도가 작다. 따라서, 제2 전원 전위(VCC)를 공급하는 전원선에, 제1 전원 전위(VDD)를 공급해도 마찬가지로 동작이 행해질 수 있고, 회로에 제공되는 전원선의 수를 저감할 수 있어서, 회로의 소형화를 달성할 수 있다.

[0192] 제7 트랜지스터(37)의 게이트 전극에 제3 입력 단자(23)에 의해 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극에 제2 입력 단자(22)에 의해 공급되는 클럭 신호가, 각각, 제7 트랜지스터(37)의 게이트 전극에 제2 입력 단자(22)에 의해 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극에 제3 입력 단자(23)에 의해 공급되는 클럭 신호가 되도록, 배선 연결을 변경해도 마찬가지로 동작 효과를 얻을 수 있다는 점에 유의해야 한다. 도 23a에 도시하는 시프트 레지스터에 있어서, 제7 트랜지스터(37)와 제8 트랜지스터(38) 양쪽이 턴온된 후, 제7 트랜지스터(37)가 턴오프되고, 제8 트랜지스터(38)가 여전히 온 상태이고, 다음에 제7 트랜지스터(37)가 여전히 오프 상태이고, 제8 트랜지스터(38)가 턴오프된다는 점에 유의해야 한다. 따라서, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위 저하에 의해 야기되는 노드 B의 전위 저하가, 제7 트랜지스터(37)의 게이트 전극의 전위 저하 및 제8 트랜지스터(38)의 게이트 전극의 전위 저하에 기인하여 2회 발생한다는 점에 유의해야 한다. 한편, 도 23a에 도시된 시프트 레지스터에서는, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위 저하에 의해 야기되는 노드 B의 전위 저하의 횟수가, 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 기인하여 1회로 저감될 수 있다. 노드 B의 전위 저하의 횟수는, 도 23b의 기간(62)에 나타난 바와 같이, 제7 트랜지스터(37)와 제8 트랜지스터(38) 양쪽이 턴온된 후, 제7 트랜지스터(37)가 여전히 온 상태이고, 제8 트랜지스터(38)가 턴오프되고, 다음에 제7 트랜지스터(37)가 턴오프되고, 제8 트랜지스터(38)가 여전히 오프 상태인 것에 의해 감소될 수 있다. 따라서, 제7 트랜지스터(37)의 게이트 전극에 제3 입력 단자(23)에 의해 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극에 제2 입력 단자(22)에 의해 공급되는 클럭 신호를 사용함으로써, 노드 B의 전위의 변동을 감소시켜, 노이즈를 저감할 수 있어 바람직하다.

[0193] 이렇게, 제1 출력 단자(26) 및 제2 출력 단자(27)의 전위를 L 레벨로 유지하는 기간에, 노드 B에 정기적으로 H 레벨 신호가 공급되므로, 펄스 출력 회로의 오동작을 억제할 수 있다.

[0194] (실시 형태 7)

[0195] 화소부에 대해 및 나아가서는 구동 회로에 대해 박막 트랜지스터를 제조하여 이용할 때, 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제조할 수 있다. 또한, 박막 트랜지스터를 이용하여 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 형성하면, 시스템-온-패널을 얻을 수 있다.

[0196] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는, 그 범주에, 전류 또는 전압에 의해 휘도가 제어되는 소자를 포함하며, 구체적으로는, 무기 EL(Electroluminescent) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자잉크와 같은, 전기적 액션에 의해 콘트라스트가 변경되는 표시 매체도 사용할 수 있다.

[0197] 표시 장치는, 표시 소자가 밀폐되어 있는 패널과, 컨트롤러를 포함한 IC 등을 그 패널 위에 탑재한 모듈을 포함한다. 표시 장치는, 표시 장치의 제조 공정에서 표시 소자가 완성되기 전의 한 형태에 대응하는 소자 기관에

관한 것이며, 이 소자 기관에는, 복수의 화소 각각의 표시 소자에 전류를 공급하기 위한 수단이 제공된다. 구체적으로는, 소자 기관은, 표시 소자의 화소 전극(화소 전극층)만이 형성된 상태일 수도 있고, 화소 전극이 되는 도전막을 형성한 후이면서, 도전막을 에칭하여 화소 전극을 형성하기 전의 상태일 수도 있고, 기타의 상태일 수도 있다.

[0198] 본 명세서에서 표시 장치는, 화상 표시 장치, 표시 장치 또는 광원(조명 장치를 포함함)을 의미한다는 점에 유의해야 한다. 또한, 표시 장치는 그 범주 내에 다음과 같은 모듈들, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)와 같은 커넥터가 부착된 모듈; TAB 테이프 또는 TCP의 끝에 인쇄 배선판이 제공된 모듈; 또는 COG(Chip On Glass) 방법에 의해 집적 회로(IC)가 표시 소자에 직접 탑재된 모듈을 포함한다.

[0199] 반도체 장치의 일 실시 형태인 액정 표시 패널의 외관 및 단면을, 도 16의 (A1), 도 16의 (A2) 및 도 16의 (B)를 참조하여 설명한다. 도 16의 (A1) 및 도 16의 (A2)는, 실시 형태 3에 설명된 제1 기관(4001) 위에 산화물 반도체층을 각각 포함하는 신뢰성이 높은 박막 트랜지스터(4010 및 4011)가 형성되고, 액정 소자(4013)가 밀폐재(4005)를 이용하여 제1 기관(4001)과 제2 기관(4006) 사이에 밀폐되어 있는 패널의 평면도이다. 도 16의 (B)는, 도 16의 (A1) 및 도 16의 (A2)의 선M-N을 따라 취해진 단면도이다.

[0200] 제1 기관(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록, 밀폐재(4005)가 제공된다. 화소부(4002)와 주사선 구동 회로(4004) 위에, 제2 기관(4006)이 제공된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기관(4001)과 밀폐재(4005)와 제2 기관(4006)에 의해, 액정층(4008)과 함께 밀폐된다. 단결정 반도체막 또는 다결정 반도체막을 이용하여 별도 준비된 기관 위에 형성된 신호선 구동 회로(4003)가, 제1 기관(4001) 위의 밀폐재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에 탑재된다.

[0201] 별도 형성된 구동 회로의 접속 방법에는, 특별한 제한이 있는 것은 아니고, COG 방법, 와이어 본딩 방법, TAB 방법 등을 이용할 수 있다는 점에 유의해야 한다. 도 16의 (A1)은, COG 방법에 의해 신호선 구동 회로(4003)를 탑재하는 예를 나타내며, 도 16의 (A2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 탑재하는 예를 나타낸다.

[0202] 제1 기관(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004) 각각은, 복수의 박막 트랜지스터를 포함한다. 도 16의 (B)는, 화소부(4002)에 포함된 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함된 박막 트랜지스터(4011)를 나타낸다. 박막 트랜지스터(4010 및 4011) 위에는 보호 절연층(4020 및 4021)이 제공된다.

[0203] 박막 트랜지스터(4010 및 4011)로서, 실시 형태 3에 설명된 산화물 반도체층을 포함한 박막 트랜지스터를 이용할 수 있다. 대안으로서, 실시 형태 1 또는 실시 형태 2에 설명된 박막 트랜지스터를 이용할 수도 있다. 실시 형태 7에서, 박막 트랜지스터(4010 및 4011)는 n채널 박막 트랜지스터이다.

[0204] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기관(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 서로 중첩하는 부분이, 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는, 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 제공된다는 점에 유의해야 한다. 액정층(4008)은 화소 전극층(4030)과 대향 전극층(4031) 사이에 끼어 있고, 이들 사이에는 절연층(4032 및 4033)이 개재되어 있다.

[0205] 제1 기관(4001) 및 제2 기관(4006)은, 유리, 금속(대표적으로는, 스텐레스강), 세라믹 또는 플라스틱으로 형성될 수 있다는 점에 유의해야 한다. 플라스틱으로서, FRP(Fiberglass-Reinforced Plastics) 판, 폴리(폴리비닐 플루라이드)(PVF) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 대안으로서, PVF 필름들 또는 폴리에스테르 필름들 사이에 알루미늄 호일을 끼운 구조의 시트(sheet)를 이용할 수 있다.

[0206] 기둥형 스페이서(columnar spacer)(4035)는 절연막을 선택적으로 에칭하여 얻어지고, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 구형 스페이서(spherical spacer)를 이용할 수도 있다는 점에 유의해야 한다. 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일한 기관 위에 제공된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 대향 전극층(4031)은 한쌍의 기관 사이에 배치된 도전성 입자를 통해 공통 전위선에 전기적으로 접속될 수 있다. 도전성 입자는 밀폐재(4005)에 포함된다는 점에 유의해야 한다.

[0207] 대안으로서, 배향막이 필요하지 않은 블루상(blue phase)을 나타내는 액정을 이용할 수도 있다. 블루상은 액정상들 중 하나로서, 콜레스테릭 액정의 온도를 상승시키면서 콜레스테릭상이 등방상으로 전이되기 직전에 나타나는 상이다. 블루상은 비교적 좁은 온도 범위에서 나타나기 때문에, 온도 범위를 증가시키기 위해서 액정층

(4008)에 대해 5 중량% 이상의 카이랄제(chiral agent)를 포함하는 액정 조성물이 이용된다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 1 msec 이하의 작은 응답 시간을 가지며, 광학적 등방성을 갖기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0208] 본 발명의 일 실시 형태는, 투과형 액정 표시 장치 외에도, 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 적용될 수 있다.

[0209] 기관의 외측면(관찰자 측)에 편광판을 제공하고 기관의 내측면에 착색층(컬러 필터) 및 표시 소자에 이용하는 전극층을 이 순서대로 제공한 액정 표시 장치의 예를 설명한다; 그러나, 편광판은 기관의 내측면에 제공될 수도 있다. 편광판과 착색층의 적층 구조는 실시 형태 7에 설명된 것에 한정되지 않고, 편광판 및 착색층의 재료 또는 제조 공정 조건에 따라 적절하게 설정될 수 있다. 또한, 블랙 매트릭스(black matrix)로서 기능하는 차광막을 제공할 수도 있다.

[0210] 박막 트랜지스터(4010 및 4011) 위에, 보호 절연막으로서의 절연층(4020)이 채널 형성 영역을 포함한 반도체층에 접하여 형성된다. 절연층(4020)은, 실시 형태 1에 나타난 산화물 절연막(407)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 박막 트랜지스터의 표면 요철을 저감하기 위하여, 박막 트랜지스터는, 평탄화 절연막으로서 기능하는 절연층(4021)으로 덮인다.

[0211] 여기서, 적층 구조를 갖는 절연층(4020)이 보호 절연막으로서 형성된다. 절연층(4020)의 제1 층으로서, 실시 형태 1에 나타난 플라즈마 CVD법에 의해 산화 규소막을 형성한다.

[0212] 절연층(4020)의 제2 층으로서, 플라즈마 CVD법에 의해 질화 규소막을 형성한다. 보호막으로서 질화 규소막을 이용하면, 나트륨 이온 등의 이동성 이온이 반도체층에 침입하는 것이 방지되어, TFT의 전기 특성의 변동을 억제할 수 있다.

[0213] 또한, 보호 절연막을 형성한 후에, 질소 분위기하 또는 대기 분위기하에서 가열 처리(300℃ 이하로)를 행할 수도 있다.

[0214] 평탄화 절연막으로서 절연층(4021)이 형성된다. 절연층(4021)으로서, 폴리이미드, 아크릴 수지, 벤조시크로부텐계 수지, 폴리아미드 또는 에폭시 수지 등의 내열성을 갖는 유기 재료를 이용할 수 있다. 이와 같은 유기 재료 외에도, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(Phosphosilicate Glass), BPSG(Borophosphosilicate Glass) 등을 이용하는 것도 가능하다. 이러한 재료로 형성된 복수의 절연막을 적층함으로써 절연층(4021)을 형성할 수도 있다는 점에 유의해야 한다.

[0215] 실록산계 수지는, 출발 재료로서 실록산계 재료로부터 형성된 수지이며, Si-O-Si 결합을 갖는다는 점에 유의해야 한다. 실록산계 수지는, 치환기로서 유기기(예를 들어, 알킬기 또는 아릴기)를 포함할 수 있다. 유기기는 플루오르기를 포함할 수도 있다.

[0216] 절연층(4021)의 형성 방법에는 특별한 제한이 없으며, 절연층(4021)은, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅법, 딥핑 방법, 스프레이 코팅법, 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄(offset printing) 등)에 의해 형성되거나, 닥터 나이프(doctor knife), 롤 코터(roll coater), 커텐 코터, 나이프 코터 등의 툴을 이용하여 형성될 수 있다. 절연층(4021)의 베이킹 공정은 산화물 반도체층의 어닐링 공정으로도 기능함으로써, 반도체 장치를 효율적으로 제조할 수 있다.

[0217] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성 도전 재료로 형성될 수 있다.

[0218] 화소 전극층(4030) 및 대향 전극층(4031)에 대해, 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 이용할 수 있다. 도전성 조성물로 형성된 화소 전극은, 10000Ω/square 이하의 시트 저항과, 파장 550 nm에서 70% 이상의 투광율을 갖는 것이 바람직하다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항율이 0.1Ω·cm이하인 것이 바람직하다.

[0219] 도전성 고분자로서, 소위 π-전자 켈레(π-electron conjugated) 도전성 고분자를 이용할 수 있다. 예를 들어, 폴리아닐린(polyaniline) 또는 그 유도체, 폴리피롤(polypyrrole) 또는 그 유도체, 폴리치오펜(polythiophene) 또는 그 유도체, 또는 이들의 2종 이상의 공중합체를 이용하는 것이 가능하다.

- [0220] 각종 신호 및 전위가, FPC(4018)로부터, 별도 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소부(4002)에 공급된다.
- [0221] 접속 단자 전극(4015)은, 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막으로부터 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.
- [0222] 접속 단자 전극(4015)은, 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.
- [0223] 도 16의 (A1), 도 16의 (A2) 및 도 16의 (B)는, 신호선 구동 회로(4003)가 별도로 형성되어 제1 기관(4001) 위에 탑재된 예를 나타내지만, 실시 형태 7은 이러한 구조에 한정되지 않는다는 점에 유의해야 한다. 주사선 구동 회로가 별도로 형성되어 탑재되거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성되어 탑재될 수도 있다.
- [0224] 도 26은, 본 명세서에서 개시된 제조 방법에 따라 제조된 TFT 기관(2600)을 이용하여 반도체 장치로서 액정 표시 모듈을 형성하는 예를 나타낸다.
- [0225] 도 26은, TFT 기관(2600)과 대향 기관(2601)이 밀폐재(2602)에 의해 서로 접합되고, 이들 기관들 사이에 TFT 등을 포함한 화소부(2603), 액정층을 포함한 표시 소자(2604), 착색층(2605)이 제공되어 표시 영역을 형성하고 있는 액정 표시 모듈의 예를 나타낸다. 착색층(2605)은 컬러 표시를 행하는데 필요하다. RGB 시스템의 경우, 적, 녹, 청의 색상에 대응하는 각 착색층이 각 화소에 제공된다. TFT 기관(2600)과 대향 기관(2601)의 외측에, 편광판(2606 및 2607) 및 확산판(2613)이 제공된다. 광원은 냉음극관(2610)과 반사판(2611)을 포함한다. 회로 기관(2612)은, 가요성 배선 기관(2609)을 통해 TFT 기관(2600)의 배선 회로부(2608)에 접속되며, 제어 회로 또는 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층이, 이들 사이에 위상차판(retardation plate)을 개재하여 적층될 수 있다.
- [0226] 액정 표시 모듈을 위해, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Antiferroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0227] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제조할 수 있다.
- [0228] 실시 형태 7은, 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0229] (실시 형태 8)
- [0230] 실시 형태 8에서는, 본 발명의 일 실시 형태의 반도체 장치로서 전자 페이퍼의 예를 설명한다.
- [0231] 본 발명을 이용하여 제작가능한 반도체 장치는, 스위칭 소자에 전기적으로 접속된 소자에 의해 전자 잉크가 구동되는 전자 페이퍼에 사용될 수 있다. 전자 페이퍼는, 전기영동 표시 장치(전기영동 디스플레이)라고도 불리며, 종이와 같은 수준의 가독성과, 다른 표시 장치들에 비해 저소비 전력을 가지며, 박형화 및 경량화가 가능하다는 점에서 유리하다.
- [0232] 전기영동 디스플레이는, 다양한 형태를 가질 수 있다. 전기영동 디스플레이는, 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함하고, 각각의 마이크로캡슐은, 양으로 대전된 제1 입자와 음으로 대전된 제2 입자를 포함한다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 내의 입자들이 서로 반대 방향으로 이동하고, 한 쪽에 집합한 입자들의 색상만이 표시된다. 제1 입자 및 제2 입자 각각이 색소를 포함하고, 전계가 없다면 이동하지 않는다는 점에 유의해야 한다. 또한, 제1 입자와 제2 입자는 상이한 색상(무색일 수 있음)을 갖는다.
- [0233] 따라서, 전기영동 디스플레이는, 높은 유전 상수를 갖는 물질이 높은 전계 영역쪽으로 이동하는 소위 유전체전기영동 효과(dielectrophoretic effect)를 이용하는 디스플레이이다. 전기영동 디스플레이는, 액정 표시 장치에서 요구되는 편광판을 사용할 필요가 없다.
- [0234] 상기 마이크로캡슐을 용매에 분산시킨 용액을 전자 잉크라 부른다. 이 전자 잉크는, 유리, 플라스틱, 옷감, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터 또는 색소를 갖는 입자를 이용함으로써, 컬러 표시도 가능하다.
- [0235] 또한, 2개의 전극의 사이에 개재하도록 복수의 상기 마이크로캡슐을 액티브 매트릭스 기관 위에 적절하게 배치

하면, 액티브 매트릭스형 표시 장치가 완성될 수 있고, 마이크로캡슐에 전계를 인가하는 것에 의해 표시를 행할 수 있다. 예를 들어, 실시 형태 1 내지 실시 형태 4에 설명한 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기관을 이용할 수 있다.

[0236] 마이크로캡슐 중 제1 입자 및 제2 입자 각각은, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계발광(electroluminescent) 재료, 전기변색(electrochromic) 재료, 자기영동(magnetophoretic) 재료로부터 선택된 1종의 재료 또는 이들의 복합 재료로 형성될 수 있다.

[0237] 도 24는 반도체 장치의 예로서 액티브 매트릭스형 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는, 실시 형태 2에 설명된 박막 트랜지스터와 마찬가지로 제작될 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 실시 형태 1, 3 내지 5에 설명된 박막 트랜지스터도 실시 형태 8의 박막 트랜지스터(581)로서 사용될 수 있다.

[0238] 도 24의 전자 페이퍼는 트위스팅 볼 표시 방식을 이용한 표시 장치의 예이다. 트위스팅 볼 표시 방식은, 표시 소자에 이용되는 전극층인 제1 전극층과 제2 전극층 사이에 백과 흑으로 각각 착색된 구형 입자를 배치하고, 제1 전극층과 제2 전극층 사이에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0239] 기관(580) 위에 형성된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 산화물 반도체층에 접하는 절연막(583)으로 덮여 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은, 절연층(585)에 형성된 개구를 통해 제1 전극층(587)과 접함으로써, 박막 트랜지스터(581)는 제1 전극층(587)과 전기적으로 접속된다. 제1 전극층(587)과 기관(596) 위에 형성된 제2 전극층(588) 사이에는, 각각 흑색 영역(590a) 및 백색 영역(590b)을 갖는 구형 입자(589)가 제공된다. 구형 입자(589)의 주위의 공간은 수지 등의 충전재(595)로 충전된다. 제1 전극층(587)은 화소 전극에 대응하고, 제2 전극층(588)은 공통 전극에 대응한다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일 기관 위에 제공되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기관 사이에 제공되는 도전성 입자를 통해서 제2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

[0240] 트위스팅 볼을 이용한 소자 대신에, 전기영동 소자를 이용하는 것도 가능하다. 투명한 액체와, 양으로 대전한 흰 미립자와, 음으로 대전한 검은 미립자를 캡슐화한 직경 10 μm ~200 μm 정도의 마이크로캡슐을 이용한다. 제1 전극층과 제2 전극층 사이에 제공되는 마이크로캡슐에서는, 제1 전극층과 제2 전극층 사이에 전계가 인가되면, 흰 미립자와, 검은 미립자가 서로 반대 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼라 부른다. 전기영동 표시 소자는, 액정 표시 소자에 비해서, 반사율이 높기 때문에, 보조 라이트가 불필요하며, 소비 전력이 낮고, 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 화상을 유지하는 것이 가능하다. 따라서, 표시 기능을 갖는 반도체 장치(간단히 표시 장치 또는 표시 장치를 구비하는 반도체 장치라고 함)를 전원으로부터 분리한 경우에도, 표시된 화상을 보존하는 것이 가능하다.

[0241] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0242] 실시 형태 8은, 다른 실시 형태들에 기재한 구조와 적절히 조합하여 구현될 수 있다.

[0243] (실시 형태 9)

[0244] 반도체 장치로서 발광 표시 장치의 예를 설명한다. 표시 장치에 포함된 표시 소자로서, 여기서는 전계발광을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 부르고, 후자는 무기 EL 소자라고 부른다.

[0245] 유기 EL 소자에서는, 발광 소자에 전압을 인가하는 것에 의해, 한쌍의 전극으로부터 발광성 유기 화합물을 포함하는 층에 전자 및 정공이 별도로 주입되어, 전류가 흐른다. 그 후, 이들 캐리어(전자 및 정공)가 재결합하여, 발광성 유기 화합물이 여기된다. 발광성 유기 화합물이 여기 상태에서부터 기저 상태로 되돌아감으로써 발광한다. 이런 메카니즘으로 인해, 이 발광 소자를 전류 여기형 발광 소자라 부른다.

[0246] 무기 EL 소자는, 그 소자 구조에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더(binder) 내에 분산시킨 발광층을 가지며, 그 발광 메카니즘은 도너(donor) 준위와 억셉터(accepter) 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층들 사이에 끼우고, 그것을 전극들 사이에 끼운 구조를 가지며, 그 발광 메카니즘은 금속 이온의 내부-셸 전자 전이(inner-shell electron transition)를 이용하는 국부형 발광이다. 여기서는 발광 소자로서

유기 EL 소자를 이용하여 설명한다는 점에 유의해야 한다.

- [0247] 도 18은 반도체 장치의 예로서 디지털 시간 계조 방법에 의해 구동 가능한 화소 구조의 예를 나타낸다.
- [0248] 디지털 시간 계조 방법에 의해 구동 가능한 화소의 구조 및 동작에 대해서 설명한다. 여기서는 1개의 화소가 산화물 반도체층을 채널 형성 영역에 이용하는 2개의 n채널 트랜지스터를 포함하는 예를 설명한다.
- [0249] 화소(6400)는, 스위칭 트랜지스터(6401), 발광 소자 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제1 전극(소스 전극과 드레인 전극 중 한쪽)이 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제2 전극(소스 전극과 드레인 전극 중 다른 쪽)이 발광 소자 구동용 트랜지스터(6402)의 게이트에 접속된다. 발광 소자 구동용 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해서 전원선(6407)에 접속되고, 발광 소자 구동용 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되고, 발광 소자 구동용 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일 기판 위에 제공된 공통 전위선과 전기적으로 접속한다.
- [0250] 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저전원 전위로 설정된다는 점에 유의해야 한다. 저전원 전위는, 전원선(6407)에 공급되는 고전원 전위보다 낮다. 예를 들어, GND 또는 0V 등이 저전원 전위로서 설정될 수 있다. 고전원 전위와 저전원 전위 사이의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 흘려서 발광 소자(6404)를 발광시킨다. 따라서, 고전원 전위와 저전원 전위 사이의 전위차가 순방향 임계값 전압 이상이 되도록 각 전위를 설정한다.
- [0251] 용량 소자(6403)를 발광 소자 구동용 트랜지스터(6402)의 게이트 용량으로 대체하는 경우, 용량 소자(6403)를 생략하는 것도 가능하다. 발광 소자 구동용 트랜지스터(6402)의 게이트 용량은, 채널 영역과 게이트 전극 사이에 형성될 수 있다.
- [0252] 여기서, 전압 입력 전압 구동 방법을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에, 발광 소자 구동용 트랜지스터(6402)가 완전히 턴온 또는 턴오프되게 하는 비디오 신호를 입력한다. 즉, 발광 소자 구동용 트랜지스터(6402)는 선형 영역에서 동작하고, 따라서 전원선(6407)의 전압보다도 높은 전압을 발광 소자 구동용 트랜지스터(6402)의 게이트에 인가한다. 신호선(6405)에는, (전원선 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다는 점에 유의해야 한다.
- [0253] 디지털 시간 계조 방법 대신에, 아날로그 계조 방법을 이용하는 경우, 신호를 서로 다르게 입력함으로써, 도 18과 동일한 화소 구조를 이용할 수 있다.
- [0254] 아날로그 계조 방법을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에, (발광 소자(6404)의 순방향 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도를 얻기 위한 전압을 지칭하며, 적어도 순방향 임계값 전압을 포함한다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작하게 하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록, 전원선(6407)의 전위는 발광 소자 구동용 트랜지스터(6402)의 게이트 전위보다도 높다. 비디오 신호가 아날로그 신호이기 때문에, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘리고, 아날로그 계조 방법을 실행할 수 있다.
- [0255] 화소 구조는 도 18에 나타난 것에 한정되지 않는다는 점에 유의해야 한다. 예를 들어, 도 18의 화소는 스위치, 저항 소자, 용량 소자, 트랜지스터, 논리 회로 등을 더 포함할 수 있다.
- [0256] 다음에, 발광 소자의 구조에 대해서, 도 19a 내지 도 19c를 참조하여 설명한다. 여기서, 화소의 단면 구조에 대해서, 발광 소자 구동용 n채널 TFT를 예로써 설명한다. 도 19a 내지 도 19c에 나타난 반도체 장치에 이용되는 발광 소자 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시 형태 2에 설명한 화소에 사용되는 박막 트랜지스터와 마찬가지로 제작될 수 있다. TFT(7001, 7011, 7021)는 각각 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 대안으로서, 실시 형태 1, 3 내지 5에 설명한 화소에 사용되는 박막 트랜지스터를 구동 TFT(7001, 7011, 7021)로서 이용할 수도 있다.
- [0257] 발광 소자로부터 광을 추출하기 위해서, 양극과 음극 중 적어도 한쪽이 투광할 필요가 있다. 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는 기판과는 반대 측의 표면으로부터 광을 추출하는 상면 발광 구조, 기판측의 표면으로부터 광을 추출하는 하면 발광 구조, 또는 기판측 표면 및 기판과는 반대 측의 표면으로부터 광을 추출하는 양면 발광 구조를 갖는다. 이들 발광 구조들 중 임의의 것을 갖는 발광 소자에 화소 구

조를 적용할 수 있다.

- [0258] 상면 발광 구조를 갖는 발광 소자에 대해서 도 19a를 참조하여 설명한다.
- [0259] 도 19a는, 발광 소자 구동용 TFT인 TFT(7001)가 n형이고 발광 소자(7002)로부터 광이 양극(7005) 측으로 발광되는 경우에, 화소의 단면도를 나타낸다. 도 19a에서는, 발광 소자(7002)의 음극(7003)과 발광 소자 구동용 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004) 및 양극(7005)이 이 순서대로 적층된다. 음극(7003)은, 일함수가 낮고 광을 반사하는 것이라면, 다양한 도전성 재료로 형성될 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 사용되는 것이 바람직하다. 발광층(7004)은 단일 층 또는 적층된 복수의 층으로 형성될 수 있다. 발광층(7004)이 복수의 층으로 형성되는 경우, 음극(7003) 위에, 전자 주입층, 전자 수송층, 발광층, 홀 수송층 및 홀 주입층을 이 순서대로 적층함으로써, 발광층(7004)을 형성한다. 이들 층을 모두 제공할 필요가 없다는 점에 유의해야 한다. 양극(7005)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성 도전성 재료로 형성된다.
- [0260] 또한, 음극(7003)과 인접하는 화소의 음극 사이에, 그 단부 각각을 덮도록 격벽(7009)을 제공한다. 격벽(7009)은, 폴리이미드, 아크릴 수지, 폴리이미드 또는 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 폴리실록산을 이용하여 형성된다. 격벽(7009)은 특히 감광성 수지 재료를 이용하여 형성되고, 격벽(7009)의 측면이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다. 격벽(7009)으로서 감광성 수지 재료를 이용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.
- [0261] 음극(7003)과 양극(7005) 사이에 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 대응한다. 도 19a에 나타난 화소의 경우, 발광 소자(7002)로부터 양극(7005) 측으로 화살표로 나타낸 바와 같이 발광된다.
- [0262] 다음에, 하면 방출 구조를 갖는 발광 소자에 대해서 도 19b를 참조하여 설명한다. 도 19b는, 발광 소자 구동용 TFT(7011)가 n형이고 발광 소자(7012)로부터 광이 음극(7013) 측으로 발광되는 경우에, 화소의 단면도이다. 도 19b에서는, 발광 소자 구동용 TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에, 발광층(7014) 및 양극(7015)이 이 순서대로 적층된다. 양극(7015)이 투광성을 갖는 경우, 양극(7015)을 덮도록, 광을 반사 또는 차단하기 위한 차광막(7016)을 형성할 수도 있다는 점에 유의해야 한다. 음극(7013)에는, 도 19a의 경우와 마찬가지로, 일함수가 낮은 도전성 재료이면 다양한 재료를 사용할 수 있다. 음극(7013)은 투광할 수 있는 두께(바람직하게는, 대략 5nm~30nm)로 형성된다는 점에 유의해야 한다. 예를 들어, 두께 20nm의 알루미늄 막을 음극(7013)으로 이용할 수 있다. 도 19a의 경우와 마찬가지로, 발광층(7014)은 단일 층 또는 적층된 복수의 층 중 어느 하나로 형성될 수 있다. 양극(7015)은 투광시킬 필요는 없지만, 도 19a의 경우와 마찬가지로, 투광성 도전성 재료로 이루어질 수 있다. 차광막(7016)으로서, 예를 들어, 광을 반사하는 금속 등을 이용할 수 있지만, 금속막에 제한되지 않는다. 예를 들어, 흑 안료를 첨가한 수지 등을 이용할 수도 있다.
- [0263] 또한, 도전막(7017)과 인접하는 화소의 도전막 사이에, 그 단부 각각을 덮도록 격벽(7019)을 제공한다. 격벽(7019)은, 폴리이미드, 아크릴 수지, 폴리이미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 폴리실록산을 이용하여 형성된다. 격벽(7019)은 특히 감광성 수지 재료를 이용하고, 격벽(7019)의 측면이 연속한 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7019)으로서 감광성 수지 재료를 이용하는 경우, 레지스트 마스크의 형성 공정을 생략할 수 있다.
- [0264] 음극(7013)과 양극(7015) 사이에, 발광층(7014)을 끼운 영역이 발광 소자(7012)에 대응한다. 도 19b에 나타난 화소의 경우, 발광 소자(7012)로부터 음극(7013) 측으로 화살표로 나타낸 바와 같이 발광한다.
- [0265] 다음에, 양면 발광 구조를 갖는 발광 소자에 대해서, 도 19c를 참조하여 설명한다. 도 19c에서는, 발광 소자 구동용 TFT(7021)에 전기적으로 접속된 투광성 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)을 형성하고, 음극(7023) 위에 발광층(7024) 및 양극(7025)을 이 순서대로 적층한다. 도 19a의 경우와 마찬가지로, 음극(7023)은 일함수가 낮은 도전성 재료이면 다양한 재료로 형성될 수 있다. 음극(7023)은 투광할 수 있는 두께를 갖도록 형성된다는 점에 유의해야 한다. 예를 들어, 20nm의 두께를 갖는 알루미늄 막을 음극(7023)으로 사용할 수 있다. 발광층(7024)은, 도 19a와 마찬가지로, 단일 층 또는 적층된 복수의 층으로 형성될 수 있다. 양극(7025)은, 도 19a의 경우와 마찬가지로, 투광성 도전성 재료로 형성할 수 있다.
- [0266] 또한, 도전막(7027)과 인접하는 화소의 도전막 사이에, 그 단부 각각을 덮도록 격벽(7029)을 제공한다. 격벽

(7029)은, 폴리이미드, 아크릴수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 폴리실록산을 이용하여 형성된다. 격벽(7029)은 특히 감광성 수지 재료를 이용하고, 격벽(7029)의 측면은 연속한 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7029)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크의 형성 공정을 생략할 수 있다.

- [0267] 음극(7023)과, 발광층(7024)과, 양극(7025)이 서로 중첩하는 영역이 발광 소자(7022)에 대응한다. 도 19c에 도시한 화소의 경우, 발광 소자(7022)로부터 양극(7025) 측과 음극(7023) 측으로 화살표로 나타낸 바와 같이 발광된다.
- [0268] 여기서, 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 제공하는 것도 가능하다.
- [0269] 발광 소자의 구동을 제어하는 박막 트랜지스터(발광 소자 구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 설명했지만, 발광 소자 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구조를 이용할 수 있다.
- [0270] 반도체 장치의 구조는, 도 19a 내지 도 19c에 나타낸 구조에 제한되는 것이 아니라, 본 발명에 따른 기술적 사상에 기초하여 각종 변형이 가능하다는 점에 유의해야 한다.
- [0271] 다음에, 반도체 장치의 일 실시 형태인 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면을, 도 17a 및 도 17b를 참조하여 설명한다. 도 17a는, 박막 트랜지스터 및 발광 소자가, 밀폐재에 의해 제1 기판과 제2 기판 사이에서 밀봉되어 있는 패널의 평면도이다. 도 17b는, 도 17a의 선H-I를 따라 취해진 단면도이다.
- [0272] 제1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)를 둘러싸도록, 밀폐재(4505)가 제공된다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b) 위에, 제2 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 제1 기판(4501), 밀폐재(4505) 및 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉된다. 표시 장치가 외부 대기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접착 필름 또는 자외선 경화 수지 필름 등) 또는 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0273] 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는 각각, 복수의 박막 트랜지스터를 포함하며, 화소부(4502)에 포함된 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)를 도 17b에 예로서 나타낸다.
- [0274] 박막 트랜지스터(4509 및 4510)로서, 실시 형태 3에 설명된 산화물 반도체층을 포함한 박막 트랜지스터가 이용될 수 있다. 대안으로서, 실시 형태 1, 2, 4 및 5에 설명된 박막 트랜지스터를 이용할 수 있다. 박막 트랜지스터(4509 및 4510)는 n채널 박막 트랜지스터이다.
- [0275] 참조 번호(4511)는 발광 소자를 나타낸다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)의 구조는, 제1 전극층(4517), 전계발광층(4512) 및 제2 전극층(4513)을 포함하는, 실시 형태 9에 설명된 적층 구조에 한정되지 않는다는 점에 유의한다. 발광 소자(4511)로부터 광이 추출되는 방향 등에 따라, 발광 소자(4511)의 구조가 적절하게 변경될 수 있다.
- [0276] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 폴리실록산으로 형성된다. 감광성 재료로 격벽(4520)을 형성하여 제1 전극층(4517) 위에 개구부를 가짐으로써, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로 형성되도록 하는 것이 특히 바람직하다.
- [0277] 전계발광층(4512)은, 단일 층 또는 적층된 복수의 층으로서 형성될 수 있다.
- [0278] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4511) 내에 침입하지 않도록 하기 위해, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성할 수도 있다. 보호막으로서, 질화 규소막, 질화 산화 규소막, DLC 막 등을 형성할 수 있다.
- [0279] 각종 신호 및 전위가, FPC(4518a 및 4518b)로부터, 신호선 구동 회로(4503a 및 4503b), 주사선 구동 회로(4504a 및 4504b) 또는 화소부(4502)에 공급된다.
- [0280] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막으로부터 형성되고, 단자

전극(4516)은, 박막 트랜지스터(4509)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성된다.

- [0281] 접속 단자 전극(4515)은, 이방성 도전막(4519)을 통해 FPC(4518a)의 단자에 전기적으로 접속된다.
- [0282] 발광 소자(4511)로부터 광이 추출되는 방향에 위치하는 기관은 투광성을 가질 필요가 있다. 그 경우, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름 등의 투광성 재료가 사용된다.
- [0283] 충전재(4507)로서, 질소 또는 아르곤 등의 불활성 가스 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌과 비닐 아세테이트의 공중합체)를 이용할 수 있다.
- [0284] 만일 필요하다면, 편광판 또는 원형 편광판(타원형 편광판을 포함), 위상차판(1/4 파장판 또는 1/2 파장판) 또는 컬러 필터 등의 광학 필름이 발광 소자의 발광면 위에 적절하게 제공될 수도 있다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 제공할 수도 있다. 예를 들어, 표면 위의 요철에 의해 반사광이 확산되어 눈부심을 저감할 수 있는 안티-글래어 처리(anti-glare treatment)를 행할 수 있다.
- [0285] 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로로서 탑재될 수 있다. 대안으로서, 신호선 구동 회로 단독 또는 그 일부, 또는 주사선 구동 회로 단독 또는 그 일부만이 별도로 형성되어 탑재될 수 있다. 실시 형태 9는 도 17a 및 도 17b에 나타난 구조에 한정되지 않는다.
- [0286] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 패널(발광 패널)을 제조할 수 있다.
- [0287] 실시 형태 9는, 다른 실시 형태에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0288] (실시 형태 10)
- [0289] 본 명세서에서 개시된 반도체 장치는 전자 페이퍼에 적용될 수 있다. 전자 페이퍼는, 데이터를 표시할 수 있는 것이라면 다양한 분야의 전자 기기에 이용될 수 있다. 예를 들어, 전자 페이퍼는, 전자 서적 리더(전자 북), 포스터, 전철 등의 차량의 차내 광고, 신용 카드 등의 각종 카드의 표시에 적용될 수 있다. 전자 기기의 예로도 27에 나타낸다.
- [0290] 도 27은, 전자 서적 리더(2700)의 예를 나타낸다. 예를 들어, 전자 서적 리더(2700)는 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)에 의해 결합되어, 전자 서적 리더(2700)가 힌지(2711)를 축으로 하여 개폐될 수 있다. 이와 같은 구조에 의해, 전자 서적 리더(2700)가 종이 서적처럼 동작할 수 있다.
- [0291] 표시부(2705) 및 표시부(2707)는, 각각 하우징(2701) 및 하우징(2703)에 통합된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상을 표시하는 경우, 예를 들어, 우측의 표시부(도 27에서는 표시부(2705))는 텍스트를 표시하고, 좌측의 표시부(도 27에서는 표시부(2707))는 그래픽을 표시할 수 있다.
- [0292] 도 27은, 하우징(2701)에 조작부 등이 제공되어 있는 예를 나타낸다. 예를 들어, 하우징(2701)에는 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 제공된다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 하우징의 표시부와 동일한 면에는, 키보드, 포인팅 장치 등도 역시 제공될 수 있다는 점에 유의한다. 또한, 하우징의 배면 또는 측면에, 외부 접속 단자(이어폰 단자, USB 단자 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속가능한 단자 등), 기록 매체 삽입부 등이 제공될 수도 있다. 게다가, 전자 서적 리더(2700)는 전자 사전의 기능을 가질 수도 있다.
- [0293] 전자 서적 리더(2700)는 데이터를 무선으로 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하여, 다운로드할 수 있다.
- [0294] (실시 형태 11)
- [0295] 본 명세서에서 개시된 반도체 장치는 (오락 기기를 포함한) 다양한 전자 기기에 적용될 수 있다. 전자 기기의 예로서는, 텔레비전 세트(텔레비전 또는 텔레비전 수상기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 세트라고도 함), 휴대형 게임 콘솔, 휴대 정보 단말기, 오디오 재생 장치, 파친코 기기 등의 대형 게임기 등이 포함된다.

- [0296] 도 28a는 텔레비전 세트(9600)의 예를 나타낸다. 텔레비전 세트(9600)에서, 표시부(9603)는 하우징(9601) 내에 통합된다. 표시부(9603)에는 영상을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.
- [0297] 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 별도의 원격 컨트롤러(9610)에 의해 작동될 수 있다. 원격 컨트롤러(9610)의 조작 키(9609)에 의해 채널 및 음량을 제어하여 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 원격 컨트롤러(9610)에는, 원격 컨트롤러(9610)로부터 출력되는 데이터를 표시하기 위한 표시부(9607)가 제공될 수 있다.
- [0298] 텔레비전 세트(9600)에는, 수신기, 모뎀등이 제공될 수 있다는 점에 유의한다. 수신기에 의해, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(9600)가 모뎀을 통해 유선 또는 무선에 의해 통신 네트워크에 접속될 때, 단방향(송신자로부터 수신자에게) 또는 쌍방향(송신자와 수신자 사이, 수신자들 사이 등)의 데이터 통신이 행해질 수 있다.
- [0299] 도 28b는, 디지털 포토 프레임(9700)의 예를 나타낸다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)는 하우징(9701) 내에 통합된다. 표시부(9703)에는, 다양한 화상이 표시될 수 있다. 예를 들어, 표시부(9703)는 통상의 포토 프레임으로서 기능하기 위해 디지털 카메라 등으로 촬영한 화상의 데이터를 표시할 수 있다.
- [0300] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속부(USB 단자, USB 케이블 등의 다양한 케이블에 접속가능한 단자 등), 기록 매체 삽입부 등이 제공된다는 점에 유의한다. 비록 이들이 표시부와 동일한 면에 제공될 수 있지만, 디지털 포토 프레임(9700)의 측면 또는 배면에 제공되는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영한 화상의 데이터가 저장되는 메모리를 디지털 포토 프레임의 기록 매체 삽입부 내에 삽입함으로써, 화상 데이터를 표시부(9703)에 다운로드하여 표시할 수 있다.
- [0301] 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신할 수 있는 구성을 갖는다. 무선 통신에 의해, 원하는 화상 데이터를 다운로드하여 표시할 수 있다.
- [0302] 도 29a는, 2개의 하우징, 하우징(9881) 및 하우징(9891)을 포함하는 휴대형 오락 기기를 도시한다. 하우징(9881) 및 하우징(9891)은 개폐될 수 있도록 접속부(9893)에 접속된다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 통합된다. 또한, 도 29a에 도시된 휴대형 오락 기기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기 또는 적외선을 측정하는 기능을 포함하는 센서) 및 마이크로폰(9889)) 등을 포함한다. 물론, 휴대형 오락 기기의 구조는 전술된 것에 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 구비한 다른 구조도 이용할 수 있다. 휴대형 오락 기기는 적절하다면 다른 부속 장비를 포함할 수도 있다. 도 29a에 도시된 휴대형 오락 기기는, 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능과, 무선 통신에 의해 다른 휴대형 오락 기기와 정보를 공유하는 기능을 가진다. 도 29a에 도시된 휴대형 오락 기기는, 전술된 것에 제한되지 않고 다양한 기능을 가질 수 있다.
- [0303] 도 29b는, 대형 오락 기기인 슬롯 머신(9900)의 예를 나타낸다. 슬롯 머신(9900)에서, 표시부(9903)는 하우징(9901) 내에 통합된다. 또한, 슬롯 머신(9900)은, 스타트 레버 또는 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커등을 포함한다. 물론, 슬롯 머신(9900)의 구조는 전술된 것에 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 구비한 다른 구조도 이용할 수 있다. 슬롯 머신(9900)은, 적절하다면 다른 부속 장비를 포함할 수도 있다.
- [0304] 도 30a는 휴대형 컴퓨터의 예를 나타내는 사시도이다.
- [0305] 도 30a의 휴대형 컴퓨터에서, 표시부(9303)를 갖는 상부 하우징(9301)과 키보드(9304)를 갖는 하부 하우징(9302)은, 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 힌지 수단을 폐쇄함으로써 서로 중첩될 수 있다. 도 30a의 휴대형 컴퓨터는 운반하기 편리할 수 있으며, 입력을 위해 키보드를 사용하는 경우에는, 힌지 수단이 개방되어, 사용자가 표시부(9303)를 보면서 입력할 수 있다.
- [0306] 하부 하우징(9302)은, 키보드(9304) 외에도, 입력을 행할 수 있는 포인팅 장치(9306)를 포함한다. 또한, 표시부(9303)가 터치 입력 패널일 때, 표시부의 일부를 터치함으로써 입력을 수행할 수 있다. 하부 하우징(9302)은 CPU 등의 연산 기능부 또는 하드 디스크를 포함한다. 또한, 하부 하우징(9302)은, 또 다른 장치, 예를 들어, USB의 통신 규격에 따른 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.

- [0307] 상부 하우징(9301)은 표시부(9307)를 포함하고, 표시부(9307)를 상부 하우징(9301)의 내부를 향해 슬라이딩시켜 수납할 수 있어, 넓은 표시 화면을 가질 수 있다. 또한, 상부 하우징(9301)에 수납가능한 표시부(9307)의 화면의 방향을 사용자가 조정할 수 있다. 또한, 상부 하우징(9301)에 수납가능한 표시부(9307)가 터치 입력 패널인 경우, 상부 하우징(9301)에 수납가능한 표시부(9307)의 일부에 접촉하는 것에 의해 입력을 행할 수 있다.
- [0308] 표시부(9303), 또는 상부 하우징(9301)에 수납가능한 표시부(9307)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 화상 표시 장치를 이용하여 형성된다.
- [0309] 또한, 도 30a의 휴대형 컴퓨터는 수신기 등을 구비할 수 있고, 텔레비전 방송을 수신하여 화상을 표시부(9303) 또는 표시부(9307)에 표시할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 힌지 유닛을 폐쇄 상태로 유지한 채, 표시부(9307)를 슬라이딩시켜서 표시부(9307)의 전체 화면을 노출시키는 경우, 사용자는 텔레비전 방송을 시청할 수 있다. 이 경우에, 힌지 유닛이 개방되어 있지 않고, 표시부(9303)에 표시를 행할 수 없다. 또한, 텔레비전 방송을 표시하기 위한 회로의 기동만을 행한다. 따라서, 최소한으로 전력이 소비될 수 있고, 배터리 용량이 한정된 휴대형 컴퓨터에서 유용하다.
- [0310] 또한, 도 30b는 손목 시계와 같이 사용자의 손목에 장착가능한 휴대 전화의 예를 나타내는 사시도다.
- [0311] 이 휴대 전화는, 적어도 전화 기능을 포함하는 통신 장치와 배터리를 포함하는 본체; 본체를 손목에 장착할 수 있게 하는 밴드부(9204); 손목에 고정된 밴드부의 고정 상태를 조정하는 조정부(9205); 표시부(9201); 스피커(9207); 및 마이크로폰(9208)으로 형성된다.
- [0312] 또한, 본체는 조작 스위치(9203)를 포함한다. 조작 스위치(9203)는, 전원 턴온 스위치, 표시 전환 스위치, 촬영 개시 지시 스위치로 기능하는 것 외에, 예를 들어, 스위치를 누르면 인터넷용 프로그램이 기동되는 버튼 등으로 기능하고, 각 기능에 대응하여 사용될 수 있다.
- [0313] 이 휴대 전화로의 입력은, 표시부(9201)에 손가락 또는 입력 펜으로 접촉하는 것 또는 조작 스위치(9203)의 조작 또는 마이크로폰(9208)으로의 음성 입력에 의해 행해진다. 도 30b에는, 표시부(9201)에 표시된 표시 버튼(9202)을 도시하고 있다는 점에 유의해야 한다. 손가락 등으로 표시 버튼(9202)에 접촉하는 것에 의해 입력을 행할 수 있다.
- [0314] 또한, 본체는 카메라 렌즈를 통과하여 형성된 피사체상을 전자 화상 신호로 변환하는 기능을 갖는 촬상 수단을 포함하는 카메라부(9206)를 포함한다. 카메라부는 반드시 제공될 필요가 없음에 유의해야 한다.
- [0315] 도 30b에 나타난 휴대 전화는 텔레비전 방송의 수신기 등을 구비하고, 텔레비전 방송을 수신하여 화상을 표시부(9201)에 표시할 수 있다. 또한, 도 30b에 나타난 휴대 전화는 메모리 등의 기억 장치 등을 구비하고, 텔레비전 방송을 메모리에 기록할 수 있다. 도 30b에 나타난 휴대 전화는, GPS 등의 위치 정보를 검출할 수 있는 기능을 가질 수 있다.
- [0316] 표시부(9201)로서, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 화상 표시 장치를 이용한다. 도 30b에 나타난 휴대 전화는 소형화 및 경량화되고, 도 30b에 나타난 휴대 전화의 배터리 용량이 제한된다. 따라서, 표시부(9201)에 이용하는 표시 장치로서, 저소비 전력으로 구동할 수 있는 패널을 이용하는 것이 바람직하다.
- [0317] 도 30b는 손목에 장착하는 전자 기기를 도시했지만, 이 실시 형태는 이것에 한정되지 않고, 휴대가능한 형상을 갖는 것이면 이용가능하다는 점에 유의해야 한다.
- [0318] (실시에 1)
- [0319] 실시예 1에서는, 본 발명의 일 실시 형태인 박막 트랜지스터를 제작하고, 전기 특성 평가의 결과를 나타낸다.
- [0320] 실시예 1의 박막 트랜지스터의 제작 방법을 설명한다. 유리 기판 위에 기초막으로서, 플라즈마 CVD법에 의해 두께 150nm의 질화 규소막과 두께 100nm의 산화 질화 규소막의 적층막을 형성했다. 그 후, 산화 질화 규소막 위에 게이트 전극층으로서 스퍼터링법에 의해 두께 150nm의 텅스텐 막을 형성했다. 게이트 전극층 위에 게이트 절연층으로서 플라즈마 CVD법에 의해 두께 100nm의 산화 질화 규소막을 형성했다.
- [0321] In-Ga-Zn-O계 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1[\text{mol}\%]$ 및 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5[\text{at}\%]$)을 두께 20nm의 산화물 반도체층을 형성하는데 사용했다. 성막 조건은, 기판과 타겟 사이의 거리를 100mm, 압력 0.2Pa, 직류(DC) 전원 0.5kW, 아르곤 및 산소(아르곤:산소=30sccm:20sccm 및 산소 유량비 40%)의 혼합 분위기하로 설정했다.

- [0322] 소스 전극층 및 드레인 전극층으로서, 티타늄 막(두께 100nm), 알루미늄 막(두께 200nm) 및 티타늄 막(두께 100nm)을 산화물 반도체층 위에 스퍼터링법에 의해 적층했다.
- [0323] 다음에, 산화물 반도체층을 대기 분위기하에서, 350℃로 1시간 동안 가열했다.
- [0324] 우선, 산화물 절연막을 형성하는 챔버의 압력을 1×10^{-3} Pa로 내렸다(감압에 필요한 시간은 대략 5분간이었음). 그 후, 압력을 내린 챔버 내에 산화물 반도체층이 형성된 기판을 이송했다. 챔버 내에 질소를 5분간 도입하고, 330℃로 5분간 가열한 후, 챔버의 압력을 내렸다(감압에 필요한 시간은 대략 3분간이었음). 챔버 내에 산화질소(N_2O)를 도입하고 챔버의 압력을 22Pa로 조정했다.
- [0325] 산화질소(N_2O)를 도입한 챔버 내에서 플라즈마를 발생시켜, 실란(SiH_4)을 도입하고, 산화물 반도체층에 접하여 산화물 절연막인 두께 300nm의 산화 질화 규소막을 형성했다. 성막 가스로서는 SiH_4 및 $N_2O(SiH_4:N_2O=10sccm:1200sccm)$ 을 이용했다. 플라즈마를 발생시키고 산화물 절연막을 형성했을 때의 조건은, 챔버의 압력 22Pa, 전력 30W, 전원 주파수 13.56MHz, 온도 330℃로 설정했다.
- [0326] 산화물 절연막 및 게이트 절연층에 콘택트 홀이 되는 개구를 형성했고, 그 후, 기판을 대기 분위기하에서, 350℃로 1시간 동안 가열했다.
- [0327] 이렇게, 실시예 1의 박막 트랜지스터를 제작했다. 박막 트랜지스터에 포함되는 산화물 반도체층은 채널 길이(L) 20μm, 채널 폭(W) 20μm를 갖는다는 점에 유의해야 한다.
- [0328] 박막 트랜지스터의 신뢰성을 조사하기 위한 한 방법으로서, 바이어스-온도 스트레스 시험(이하, BT 시험이라고 함)이 있다. BT 시험은 가속 시험의 일종이며, 장기간의 사용에 의해 야기되는 박막 트랜지스터의 특성 변동을, 이 방법에 의해 단시간에 평가할 수 있다. BT 시험 전후 사이에서 박막 트랜지스터의 임계값 전압의 변화량은, 박막 트랜지스터의 신뢰성을 조사하기 위한 중요한 지표가 된다. BT 시험 전후 사이에서, 임계값 전압의 변화량이 적을수록, 신뢰성이 높은 박막 트랜지스터라고 할 수 있다.
- [0329] 구체적으로는, 박막 트랜지스터가 형성된 기판의 온도(기판 온도)를 일정한 값으로 유지하고, 박막 트랜지스터의 소스 및 드레인을 동일 전위로 설정하고, 박막 트랜지스터의 게이트에 소스 및 드레인의 전위와는 다른 전위를 소정의 시간 동안 인가한다. 기판 온도는 시험 목적에 따라 적절히 결정될 수 있다. 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 높을 경우의 BT 시험을 +BT 시험이라고 하고, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 낮을 경우의 BT 시험을 -BT 시험이라고 한다.
- [0330] BT 시험의 시험 강도는, 기판 온도, 게이트 절연막에 인가되는 전계 강도 및 전계 인가 시간에 따라 결정될 수 있다. 게이트 절연막에 인가되는 전계 강도는, 게이트와, 소스 및 드레인 사이의 전위차를 게이트 절연막의 두께로 나누어서 얻어진 값에 따라 결정된다. 예를 들어, 두께가 100nm인 게이트 절연막에 인가되는 전계 강도를 2MV/cm로 조정할 경우, 전위차를 20V로 설정한다.
- [0331] 실시예 1의 박막 트랜지스터에 대한 BT 시험의 결과를 설명한다.
- [0332] 전압은 2점 사이의 전위차를 지칭하며, 전위는 정전기장의 특정한 점에서의 단위 전하의 정전 에너지(전기적인 전위 에너지)를 지칭한다는 점에 유의해야 한다. 일반적으로, 1점에서의 전위와 기준 전위 사이의 전위차를 간단히 전위 또는 전압이라 부르고, 전위와 전압이 동의어로서 사용되는 경우가 많다는 점에 유의해야 한다. 따라서, 본 명세서에서는, 달리 지정하지 않는 한, 전위를 전압이라고 바꾸어 말해도 되고, 전압을 전위라고 바꾸어 말해도 된다.
- [0333] +BT 시험 및 -BT 시험의 조건을, 기판 온도를 150℃, 게이트 절연막에 인가하는 전계 강도를 2MV/cm, 인가 시간을 1시간으로 하여 행하였다.
- [0334] 우선, +BT 시험에 대해서 설명한다. BT 시험 타겟이 되는 박막 트랜지스터의 초기 특성을 측정하기 위해서, 기판 온도를 40℃로 설정했고, 소스-드레인 전압을 10V로 설정했다. 따라서, 소스-드레인 전압(이하, 게이트 전압이라고 함)을 -20V~+20V까지 변화시켰을 때의 소스-드레인 전류(이하, 드레인 전류라고 함)의 변화, 즉 V_g - I_d 특성을 측정했다. 시료 표면이 수분을 흡수하지 않도록, 기판 온도를 40℃로 설정했지만, 특별한 문제가 없는 한, 기판 온도는 실온(25℃)이 될 수 있다.
- [0335] 다음에, 기판 온도를 150℃까지 상승시킨 후, 박막 트랜지스터의 소스 및 드레인의 전위를 0V로 설정했다. 그 후, 게이트 절연막에 인가되는 전계 강도가 2MV/cm가 되도록 전압을 인가했다. 박막 트랜지스터의 게이트 절연

막의 두께가 100nm이었기 때문에, 게이트에 +20V를 인가했고, 이 전압을 1시간 동안 유지했다. 여기서 전압 인가 시간을 1시간으로 했지만, 목적에 따라 시간을 적절히 결정할 수 있다.

[0336] 다음에, 게이트와, 소스 및 드레인 사이에 전압을 인가한 채로, 기판 온도를 40℃까지 내렸다. 이때, 기판 온도가 완전히 내려가기 전에 전압의 인가를 중단하면, 잔열로 인해 BT 시험에서 박막 트랜지스터에 주어진 손상이 회복되기 때문에, 전압을 인가한 채로 기판 온도를 내려야 한다. 기판 온도가 40℃로 내려간 후에, 전압의 인가를 종료했다. 엄밀하게는, 온도를 내리는 시간을 전압 인가의 시간에 부가해야 하지만, 실제로는 몇분내에 온도를 40℃까지 내릴 수 있기 때문에, 이를 오차 범위로 생각하고, 온도를 내리는 시간을 인가 시간에 부가하지 않았다.

[0337] 다음에, 초기 특성의 측정과 같은 조건에서, V_g - I_d 특성을 측정했고, +BT 시험 후에 V_g - I_d 특성을 얻었다.

[0338] 계속해서, -BT 시험에 대해서 설명한다. -BT 시험도 +BT 시험과 거의 마찬가지로 행했지만, -BT 시험은 기판 온도를 150℃까지 상승시킨 후에 게이트에 인가하는 전압을 -20V로 했다는 점에서 +BT 시험과 상이하다.

[0339] BT 시험에서는, BT 시험을 행하지 않았던 박막 트랜지스터에 BT 시험을 행하는 것이 중요하다는 점에 유의해야 한다. 예를 들어, +BT 시험을 행한 박막 트랜지스터에 -BT 시험을 행하면, 먼저 행한 +BT 시험의 영향에 의해, -BT 시험의 결과를 올바르게 평가할 수 없다. 또한, +BT 시험을 행한 박막 트랜지스터에 재차 +BT 시험을 행한 경우 등도 마찬가지이다. 이들 영향을 고려하여 BT 시험을 의도적으로 반복하는 경우에는 그러하지 아니하다는 점도 유의해야 한다.

[0340] 도 25a 및 도 25b는, BT 시험 전후에서의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다. 도 25a 및 도 25b에서, 횡축은 게이트 전압(V_g)을 나타내고, 종축은 드레인 전류(I_d)를 로그 스케일로 나타낸다.

[0341] 도 25a는 +BT 시험 전후에서의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다. 초기 특성 곡선(811)은 +BT 시험 전의 박막 트랜지스터의 V_g - I_d 특성을 나타내며, 곡선(812)은 +BT 시험 후의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다.

[0342] 도 25b는 -BT 시험 전후에서의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다. 초기 특성 곡선(821)은 -BT 시험 전의 박막 트랜지스터의 V_g - I_d 특성을 나타내며, 곡선(822)은 -BT 시험 후의 박막 트랜지스터의 V_g - I_d 특성을 나타낸다.

[0343] 실시예 1의 박막 트랜지스터의 V_g - I_d 특성의 이러한 측정에 있어서, 오프 영역(대부분의 n채널 트랜지스터의 V_g 가 대략 0V로부터 네가티브 값인 영역)에서, I_d 가 측정 장치의 검출 한계값 이하가 된다는 점에 유의해야 한다. 따라서, 도 25a 및 도 25b는 I_d 가 측정 장치의 검출 한계값 이하인 부분을 나타내지 않는다.

[0344] 도 25a에서, 곡선(812)의 임계값 전압은 초기 특성 곡선(811)에 비하여 포지티브 방향으로 이동하고, 도 25b에서, 곡선(822)은 초기 특성 곡선(821)에 비하여 임계값 전압이 네가티브 방향으로 이동한다. 따라서, 어느 쪽의 BT 시험에서도, 임계값 전압의 변화량이 수 볼트 정도로 적기 때문에, 실시예 1의 박막 트랜지스터는 BT 시험에서 신뢰성이 높은 박막 트랜지스터인 것으로 확인되었다.

[0345] (실시예 2)

[0346] 실시예 2에서는, 실시 형태 1에서 산소 원소를 포함하는 가스 도입(공정(8005) 또는 공정(8105))으로부터 산화물 절연막 형성(공정(8008) 또는 공정(8108))까지의 공정들에 대해 모델을 이용하여 계산한 결과를 나타낸다.

[0347] 우선, 산소 원소를 포함하는 가스로서 산소를 이용하는 예를 계산함으로써 얻어진 결과를 나타낸다. 제1 원리 MD(분자 동력학)법을 이용하여, 산화물 반도체층과 산소 분자(O_2) 사이의 상호 작용을 계산했다. 계산용 소프트웨어로서는, 엑셀리 소프트웨어 주식회사 제조의 CASTEP을 이용했고, 계산 조건은, NVT 앙상블, 시간을 0.5 피코초(picosecond), 온도를 350℃로 했다. 평면파 기저 슈도포텐셜 방법을 이용한 밀도 함수 이론을 이용했다. 함수로서, GGAPBE를 이용했다.

[0348] 여기서, IGZO 표면의 계산 모델로서, 12개 In원자, 12개 Ga원자, 12개 Zn원자 및 46개 O원자로 이루어지는 아몰퍼스 구조를 이용했다. 계산에 이용한 기본 격자는 1.02nm×1.02nm×2.06nm의 직방체였다. 경계로서, 주기 경계 조건을 이용했다. 이하에서는 상기 표면 모델에 산소 분자(O_2) 혹은 일산화이질소(N_2O) 분자를 부가한 모델을 이용했다.

[0349] 도 10a는 산화물 반도체층 표면과, 산화물 반도체층 표면 근방에 배치한 산소 분자(O_2)의 초기 상태를

나타내고, 도 10b는 0.5 피코초 후의 그 위치를 나타낸다. 도 10b에서, 산소 분자(O_2)는 산화물 반도체층 표면의 금속에 흡착되었다. 0.5 피코초 내에서는, 산소 분자(O_2)의 공유 결합이 끊어지지 않았다.

[0350] 하지만, 산소 원자끼리 결합한 상태보다도, 산소-산소 결합이 끊어지고, 산소 원자가 금속 원자에 인접한 상태에서, 산소 원자는 열역학적으로 보다 안정하다. 또한, 산화물 반도체층의 밀도 측정값을 이용하여 준비한 구조 모델은, 산소 분자(O_2)를 공유 결합을 유지한 채로 확산시키기에는 산화물 반도체층 내부의 공간이 너무 좁다는 것을 나타낸다. 따라서, 산소 원자가 열역학적 평형 상태에서 산화물 반도체층 내에 확산된다.

[0351] 다음에, 산소 원소를 포함하는 가스로서 질화 산소를 이용하는 예를 계산함으로써 얻어진 결과를 나타낸다. 산화물 반도체층 표면 근방에 산화질소(일산화이질소(N_2O)) 분자를 배치하고, 제1 원리 MD법을 이용하여, 산화물 반도체층과 산화질소(일산화이질소(N_2O)) 분자 사이의 상호 작용을 계산했다. 계산 조건은, NVT 앙상블을 사용했고, 시간을 0.5 피코초, 온도를 350℃로 했다.

[0352] 도 11a는 산화물 반도체층 표면 위와, 산화물 반도체층 표면 근방에 배치한 N_2O 분자의 초기 상태를 나타내고, 도 11b는 0.5 피코초 후의 그 위치를 나타낸다. 도 11b에서, N_2O 분자는 분해되었고, 질소 분자가 산화물 반도체층 표면 근방에서 관측되었다. 또한, N_2O 분자로부터 유래된 산소 원자가 산화물 반도체층 내에 확산되었다.

[0353] N_2O 분자의 구조를 도 12a 및 도 12b에 도시한다. N_2O 분자에서는, 도 12a에 도시한 바와 같이 질소 원자와 산소 원자가 선형으로 배열된다. 선형으로 배열한 질소 원자와 산소 원자는, 도 12b에 도시된 바와 같이 공명 상태에서 서로 결합된다.

[0354] 다음에, 산소 밀도가 높은 영역 및 산소 밀도가 낮은 영역을 포함하는 산화물 반도체층에서, 가열 처리에 따른 산소 확산 현상을 계산했다. 결과를, 도 13 및 도 14를 참조하여 설명한다. 여기서, 계산용 소프트웨어로서는, 후지쯔 주식회사 제조의 Materials Explorer 5.0을 이용했다.

[0355] 도 13은 계산에 이용한 산화물 반도체층의 모델을 나타낸다. 산화물 반도체층(701)은 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)의 적층 구조를 갖는다.

[0356] 여기서, 산소 밀도가 낮은 층(703)으로서, 15개 In원자, 15개 Ga원자, 15개 Zn원자 및 54개 O원자로 이루어지는 아몰퍼스 구조를 이용했다.

[0357] 산소 밀도가 높은 층(705)으로서, 15개 In원자, 15개 Ga원자, 15개 Zn원자 및 66개 O원자로 이루어지는 아몰퍼스 구조를 이용했다.

[0358] 산화물 반도체층(701)의 밀도를 $5.9\text{g}/\text{cm}^3$ 로 설정했다.

[0359] 다음에, 산화물 반도체층(701)에 대하여, 온도 250℃에서 NVT 앙상블을 이용하여, 고전적인 MD(분자 동역학) 계산을 행했다. 시간 눈금 폭을 0.2fs로 하고, 총 계산 시간을 200ps로 각각 설정했다. Born-Mayer-Huggins 전위를, 금속-산소 결합 및 산소-산소 결합에 인가했다. 산화물 반도체층(701)의 상단 및 하단의 원자를 고정했다.

[0360] 계산 결과를 도 14에 나타낸다. z축 좌표의 0nm 내지 1.15nm의 범위에, 산소 밀도가 낮은 층(703)이 표시되며, z축 좌표의 1.15nm 내지 2.3nm의 범위에, 산소 밀도가 높은 층(705)이 표시된다. MD 계산 전의 산소의 밀도 분포를 실선(707)으로 나타내고, MD 계산 후의 산소의 밀도 분포를 파선(709)으로 나타낸다.

[0361] 실선(707)에서는, 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)의 계면의 산소 밀도보다도, 산소 밀도가 높은 층(705)의 산소 밀도가 높다. 한편, 파선(709)에 의해 나타내어진 바와 같이, 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)은 거의 동일한 산소 밀도를 갖는다.

[0362] 따라서, 산소 밀도가 낮은 층(703)과 산소 밀도가 높은 층(705)의 적층 상태와 마찬가지로, 밀도 분포에 치우침이 있는 경우, 가열 처리에 의해 산소 밀도가 균일해지는 것을 발견했다.

[0363] 즉, 실시 형태 1에 도시한 바와 같이, 산화물 반도체층 위에 산화물 절연막을 형성하는 것에 의해, 산화물 반도체층과 산화물 절연막의 계면에서 산소 밀도가 증가하기 때문에, 해당 산소가 산화물 반도체층 내에 확산하고, 산화물 반도체층의 저항이 증가한다. 따라서, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0364] 실시예 2에 나타낸 바와 같이, 산소가 산화물 반도체층의 표면에 흡착한 후, 산화물 반도체층에 포함되는 금속

이온(Me)과 산소가 이온 결합하고, 산소 원자의 상태에서 산화물 반도체층 내부에 확산된다(도 15a 내지 도 15c 참조).

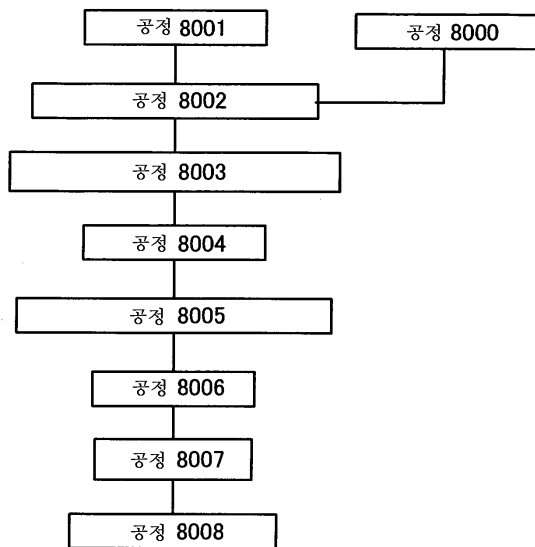
[0365] 본 출원은 2009년 7월 3일자로 일본 특허청에 출원된 일본 특허 출원 번호 제2009-159065호를 기초로 하고, 그 전체 내용은 본원에 참조로서 통합된다.

부호의 설명

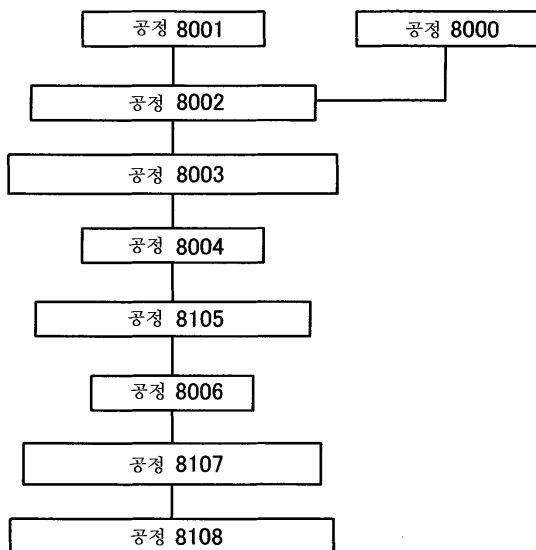
[0366] 100 : 기관; 101 : 게이트 전극층; 102 : 게이트 절연층; 103 : 산화물 반도체층; 105a : 소스 전극층; 105b : 드레인 전극층; 107 : 보호 절연층; 108 : 용량 배선; 110 : 화소 전극층; 121 : 제1 단자; 122 : 제2 단자; 125 : 콘택트 홀; 126 : 콘택트 홀; 127 : 콘택트 홀; 128 : 투명 도전막; 129 : 투명 도전막; 132 : 도전막; 133 : 산화물 반도체층; 135 : 산화물 반도체층; 150 : 제2 단자; 151 : 제1 단자; 152 : 게이트 절연층; 153 : 접속 전극층; 154 : 보호 절연층; 155 : 투명 도전막; 156 : 전극층; 170 : 박막 트랜지스터; 400 : 기관; 401 : 게이트 전극층; 402 : 게이트 절연층; 403 : 산화물 반도체층; 405a : 소스 전극층; 405b : 드레인 전극층; 407 : 산화물 절연층; 430 : 산화물 반도체층; 432 : 산화물 반도체층; 470 : 박막 트랜지스터; 580 : 기관; 581 : 박막 트랜지스터; 583 : 절연막; 585 : 절연층; 587 : 제1 전극층; 588 : 제2 전극층; 589 : 구형 입자; 590a : 흑색 영역; 590b : 백색 영역; 595 : 충전재; 596 : 기관; 701 : 산화물 반도체층; 703 : 층; 705 : 층; 2600 : TFT 기관; 2601 : 대향 기관; 2602 : 밀폐재; 2603 : 화소부; 2604 : 표시 소자; 2605 : 착색층; 2606 : 편광판; 2607 : 편광판; 2608 : 배선 회로부; 2609 : 플렉시블 배선 기관; 2610 : 냉음극관; 2611 : 반사판; 2612 : 회로 기관; 2613 : 확산판; 2700 : 전자 서적; 2701 : 하우징; 2703 : 하우징; 2705 : 표시부; 2707 : 표시부; 2711 : 힌지; 2721 : 전원 스위치; 2723 : 조작 키; 2725 : 스피커; 4001 : 제1 기관; 4002 : 화소부; 4003 : 신호선 구동 회로; 4004 : 주사선 구동 회로; 4005 : 밀폐재; 4006 : 제2 기관; 4008 : 액정층; 4010 : 박막 트랜지스터; 4011 : 박막 트랜지스터; 4013 : 액정 소자; 4015 : 접속 단자 전극; 4016 : 단자 전극; 4018 : FPC; 4019 : 이방성 도전막; 4020 : 보호 절연층; 4021 : 보호 절연층; 4030 : 화소 전극층; 4031 : 대향 전극층; 4032 : 절연층; 4035 : 스페이서; 4501 : 제1 기관; 4502 : 화소부; 4503a : 신호선 구동 회로; 4504a : 주사선 구동 회로; 4505 : 밀폐재; 4506 : 제2 기관; 4507 : 충전재; 4509 : 박막 트랜지스터; 4510 : 박막 트랜지스터; 4511 : 발광 소자; 4512 : 전계발광층; 4513 : 제2 전극층; 4515 : 접속 단자 전극; 4516 : 단자 전극; 4517 : 제1 전극층; 4518a : FPC; 4519 : 이방성 도전막; 4520 : 격벽; 5300 : 기관; 5301 : 화소부; 5302 : 제1 주사선 구동 회로; 5303 : 제2 주사선 구동 회로; 5304 : 신호선 구동 회로; 5305 : 타이밍 제어 회로; 5601 : 시프트 레지스터; 5602 : 스위칭 회로; 5603 : 박막 트랜지스터; 5604 : 배선; 5605 : 배선; 6400 : 화소; 6401 : 스위칭용 트랜지스터; 6402 : 발광 소자 구동용 트랜지스터; 6403 : 용량 소자; 6404 : 발광 소자; 6405 : 신호선; 6406 : 주사선; 6407 : 전원선; 6408 : 공통 전극; 7001 : TFT; 7002 : 발광 소자; 7003 : 음극; 7004 : 발광층; 7005 : 양극; 7009 : 격벽; 7011 : 발광 소자 구동용 트랜지스터; 7012 : 발광 소자; 7013 : 음극; 7014 : 발광층; 7015 : 양극; 7016 : 차광막; 7017 : 도전막; 7019 : 격벽; 7021 : 발광 소자 구동용 트랜지스터; 7022 : 발광 소자; 7023 : 음극; 7024 : 발광층; 7025 : 양극; 7027 : 도전막; 7029 : 격벽; 9201 : 표시부; 9202 : 표시 버튼; 9203 : 조작 스위치; 9204 : 밴드부; 9205 : 조정부; 9206 : 카메라부; 9207 : 스피커; 9208 : 마이크로폰; 9301 : 상부 하우징; 9302 : 하부 하우징; 9303 : 표시부; 9304 : 키보드; 9305 : 외부 접속 포트; 9306 : 포인팅 장치; 9307 : 표시부; 9600 : 텔레비전 장치; 9601 : 하우징; 9603 : 표시부; 9605 : 스탠드; 9607 : 표시부; 9609 : 조작키; 9610 : 원격 컨트롤러; 9700 : 디지털 포토 프레임; 9701 : 하우징; 9703 : 표시부; 9881 : 하우징; 9882 : 표시부; 9883 : 표시부; 9884 : 스피커부; 9885 : 입력 수단; 9886 : 기록 매체 삽입부; 9887 : 접속 단자; 9888 : 센서; 9889 : 마이크로폰; 9890 : LED 램프; 9891 : 하우징; 9893 : 연결부; 9900 : 슬롯 머신; 9901 : 하우징; 9903 : 표시부

도면

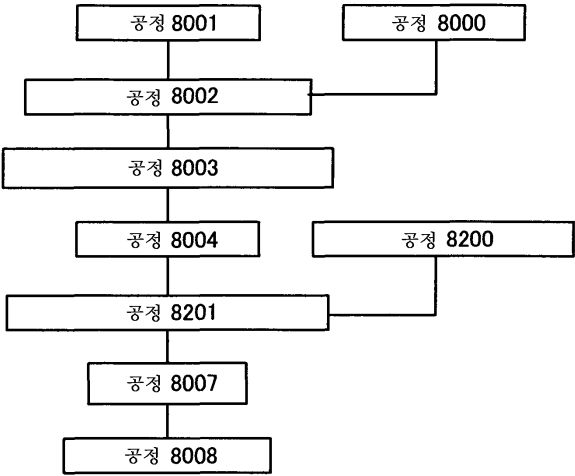
도면1



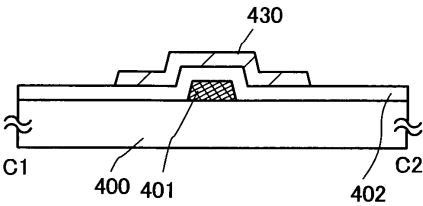
도면2



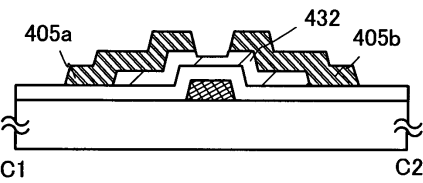
도면3



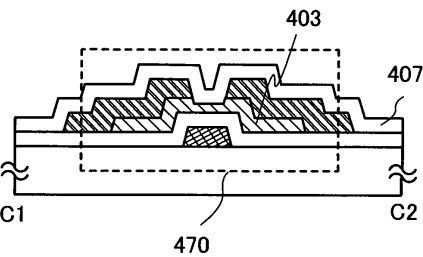
도면4a



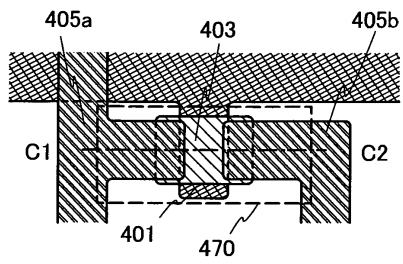
도면4b



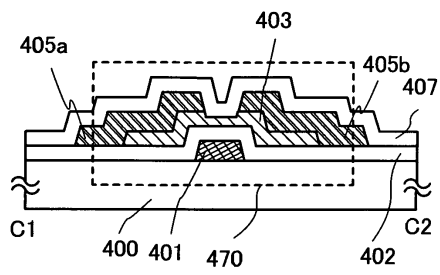
도면4c



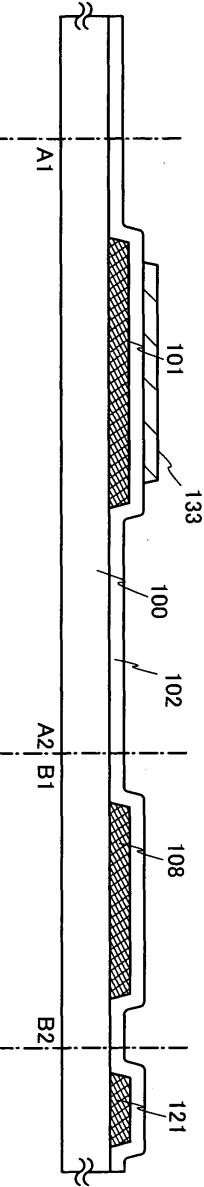
도면5a



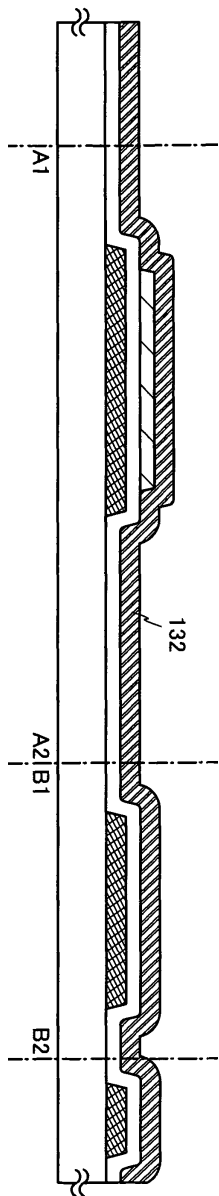
도면5b



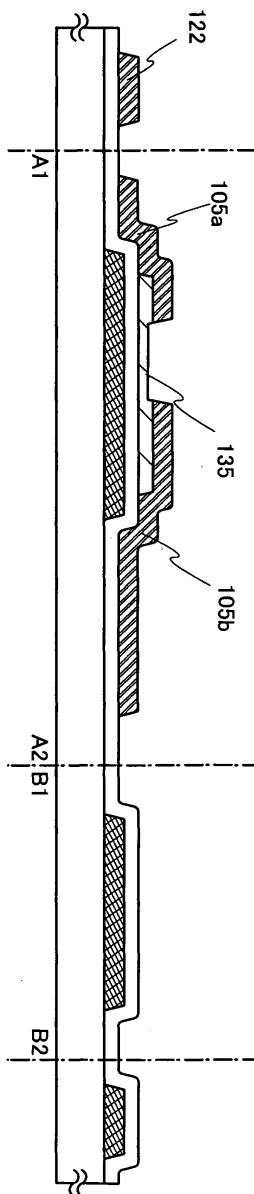
도면6a



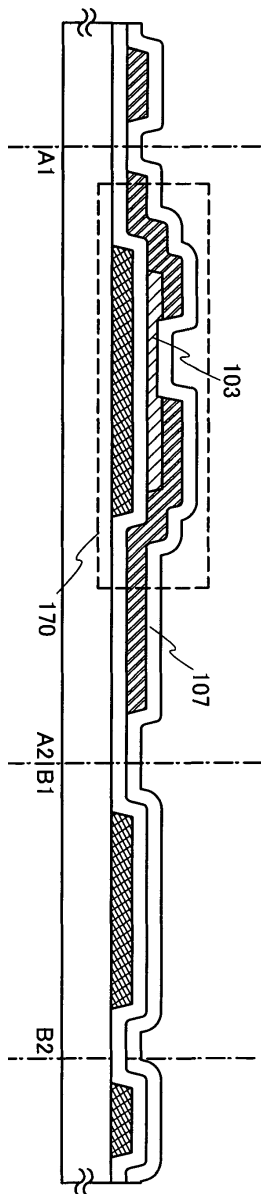
도면6b



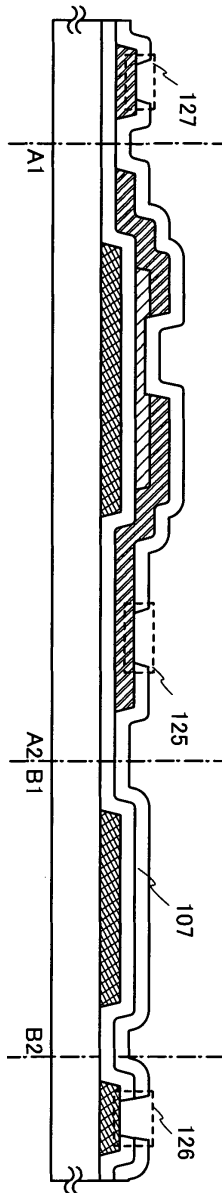
도면6c



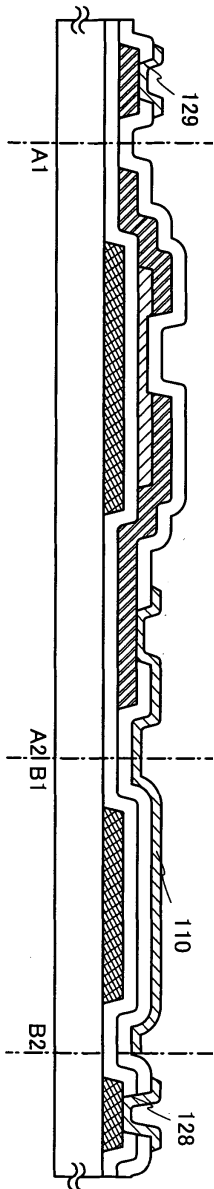
도면7a



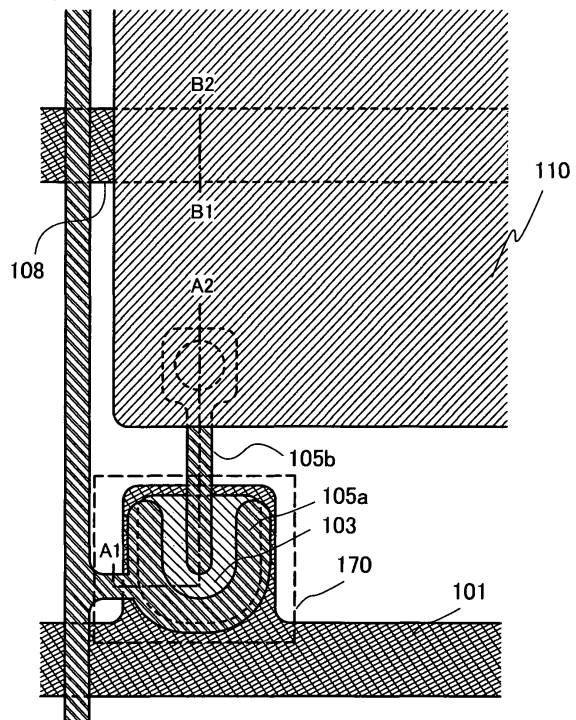
도면7b



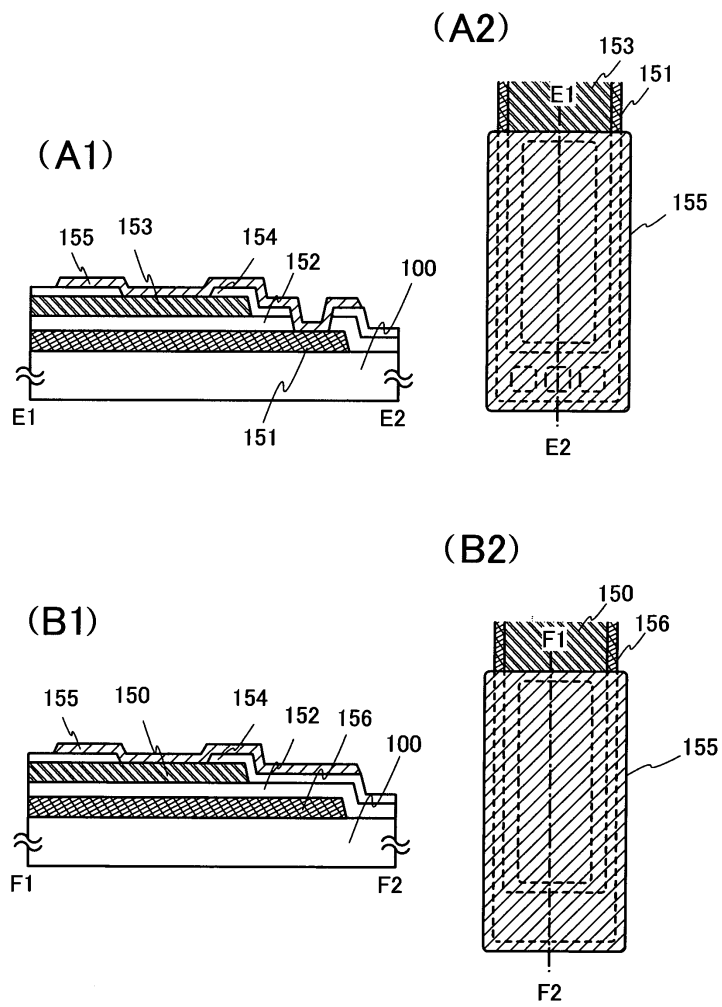
도면7c



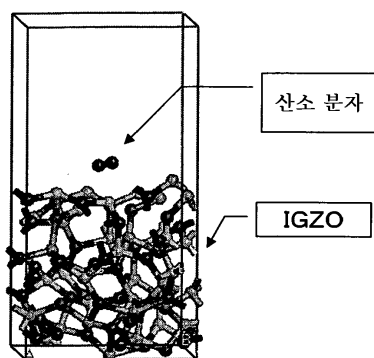
도면8



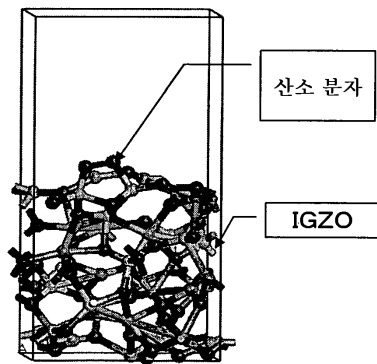
도면9



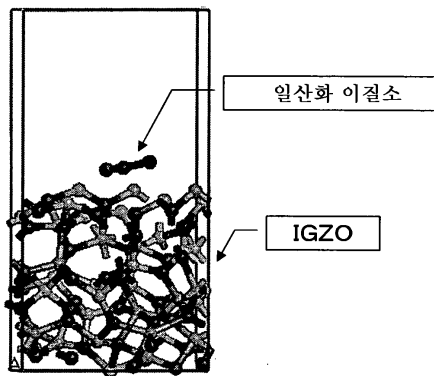
도면10a



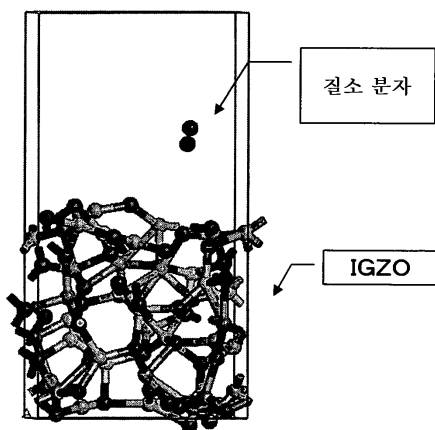
도면10b



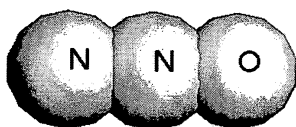
도면11a



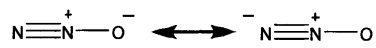
도면11b



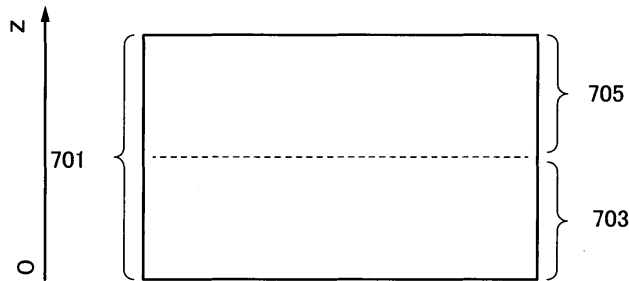
도면12a



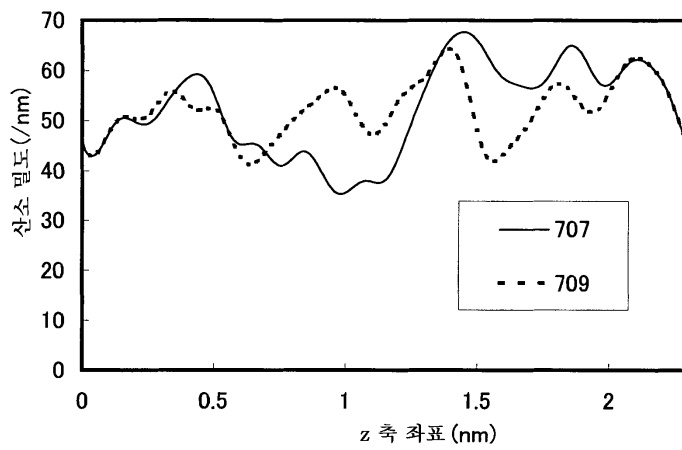
도면12b



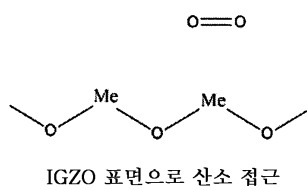
도면13



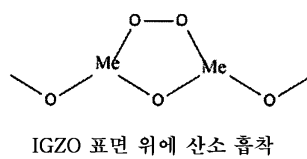
도면14



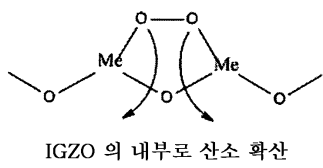
도면15a



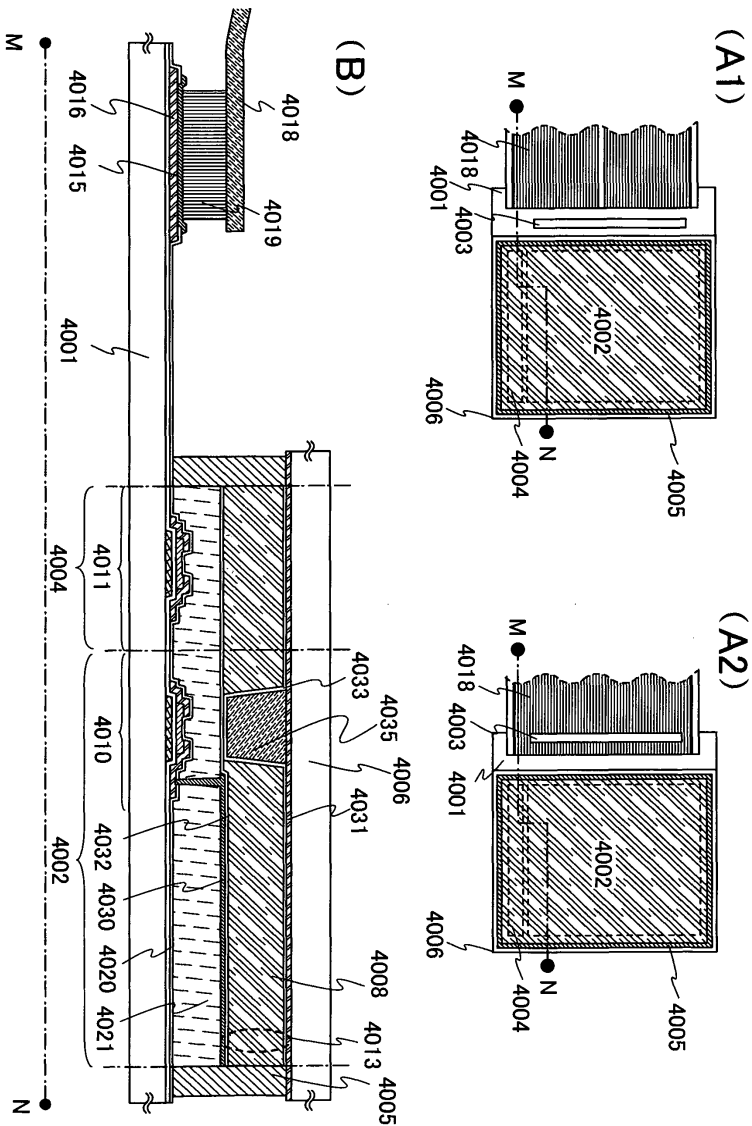
도면15b



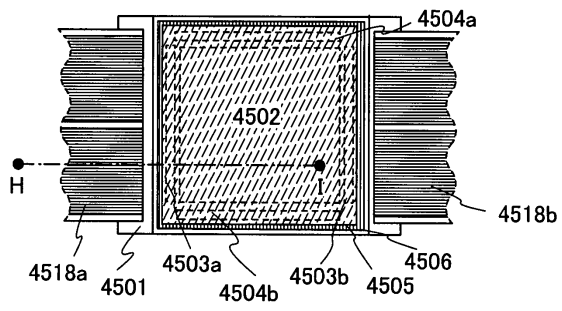
도면15c



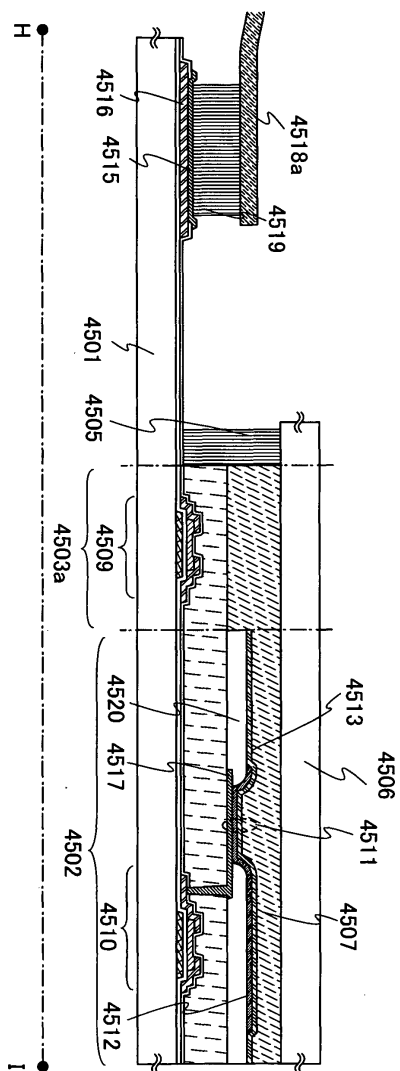
도면16



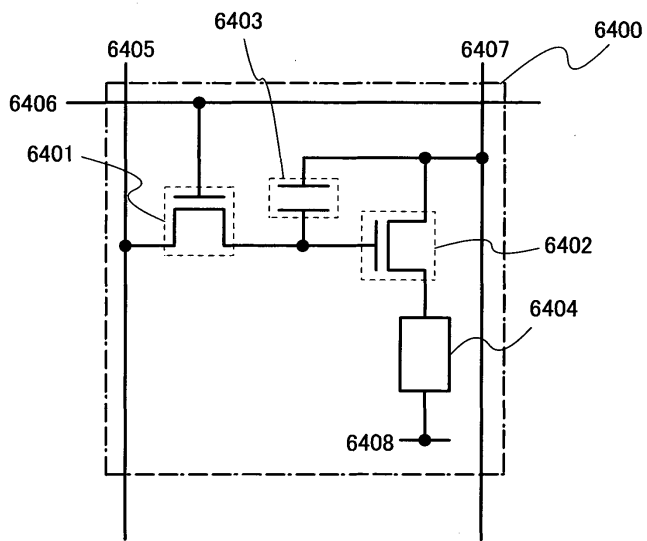
도면17a



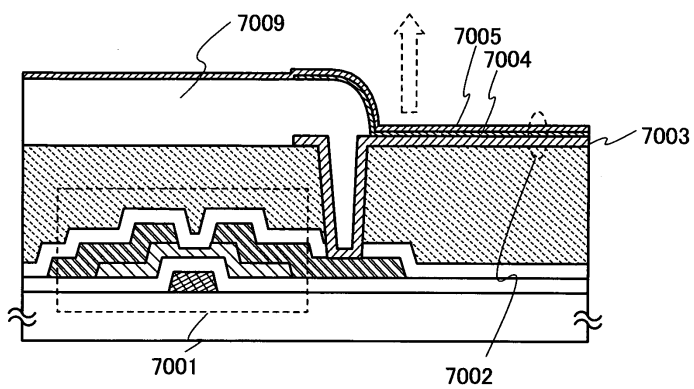
도면 17b



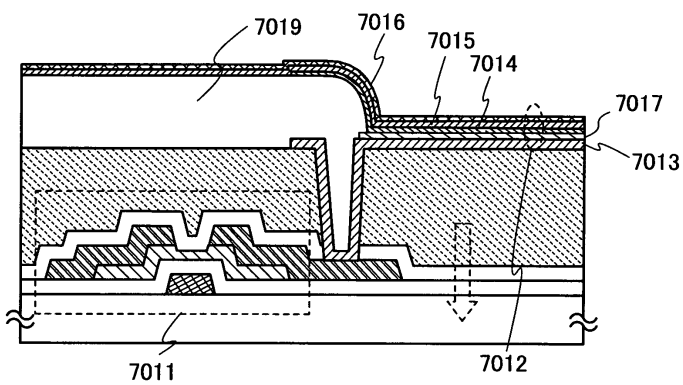
도면18



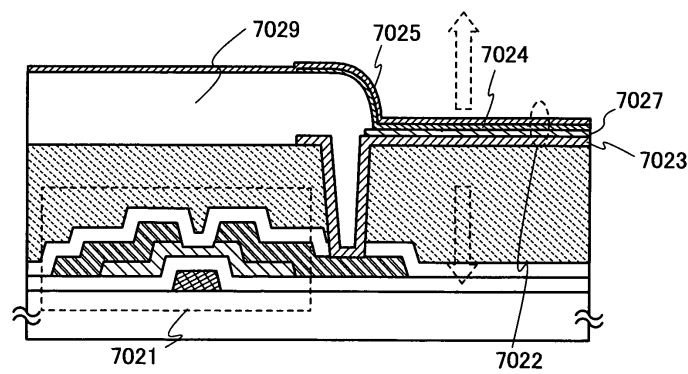
도면19a



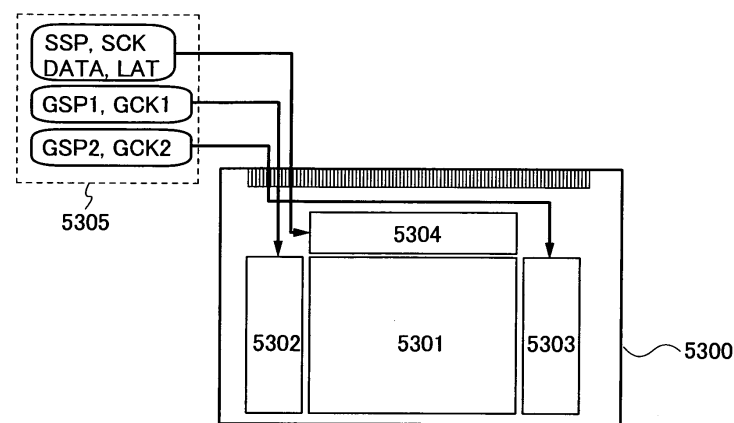
도면19b



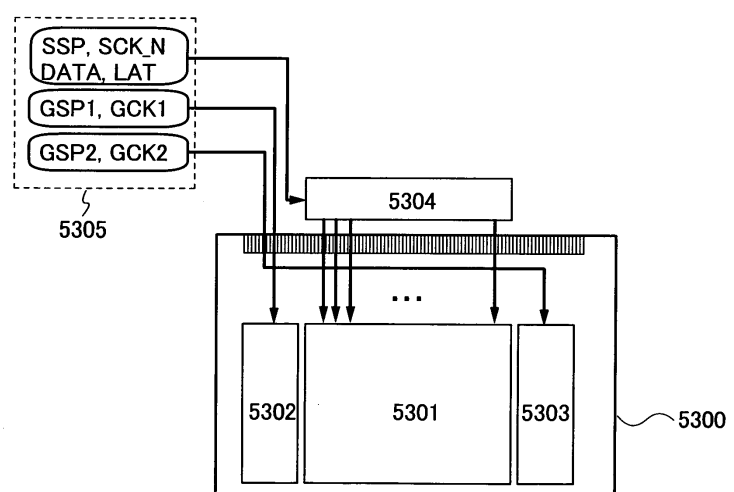
도면19c



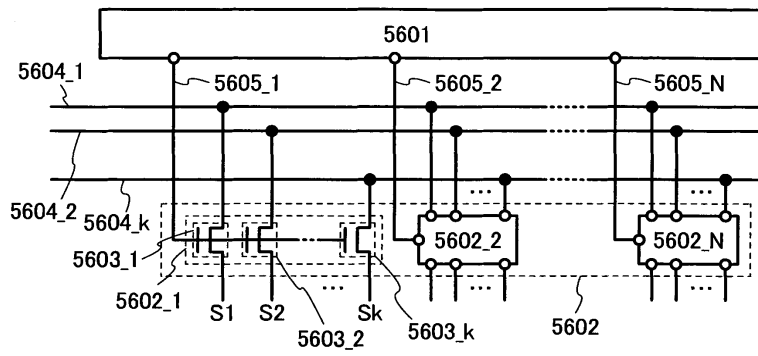
도면20a



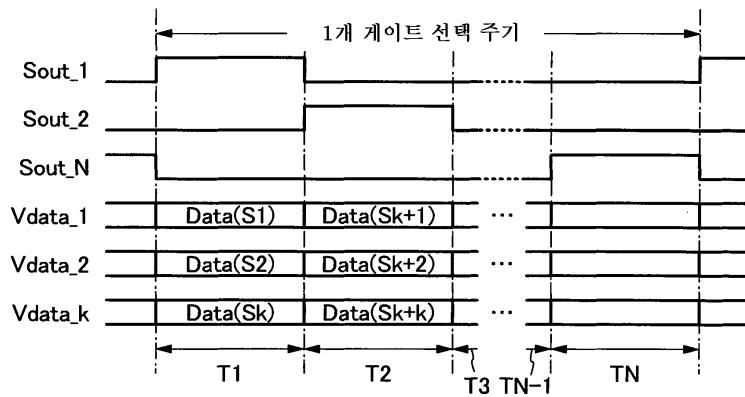
도면20b



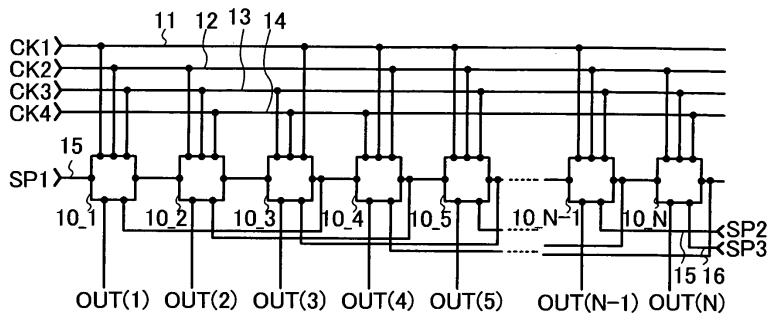
도면21a



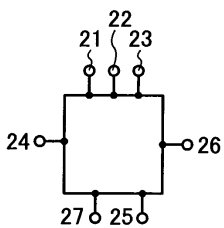
도면21b



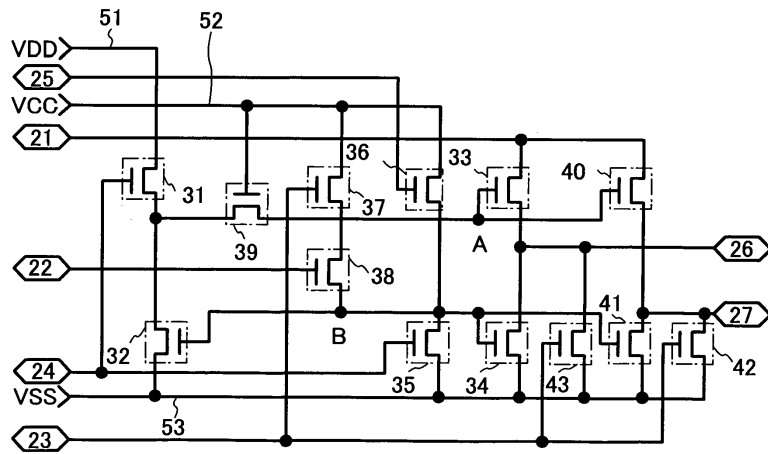
도면22a



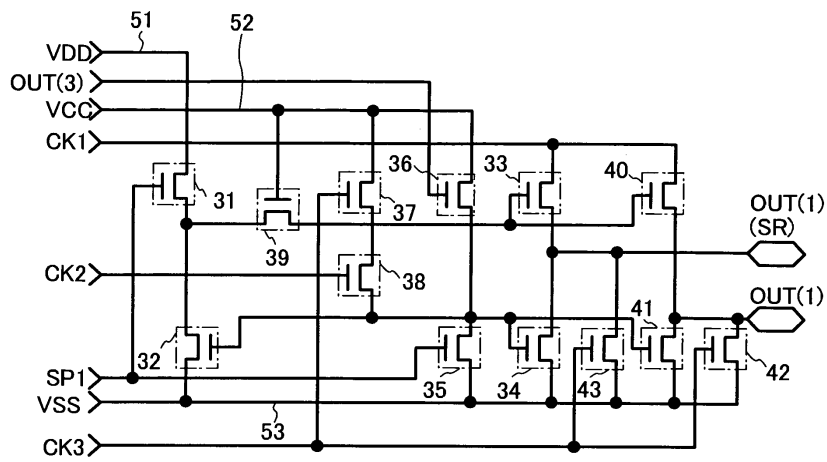
도면22b



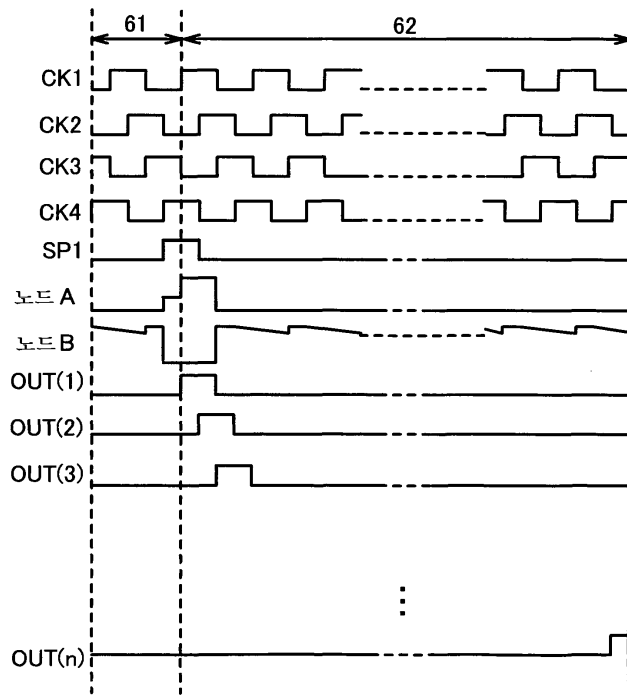
도면22c



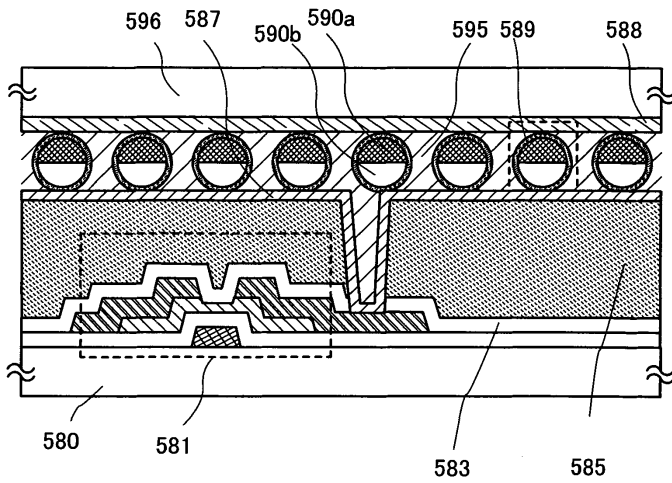
도면23a



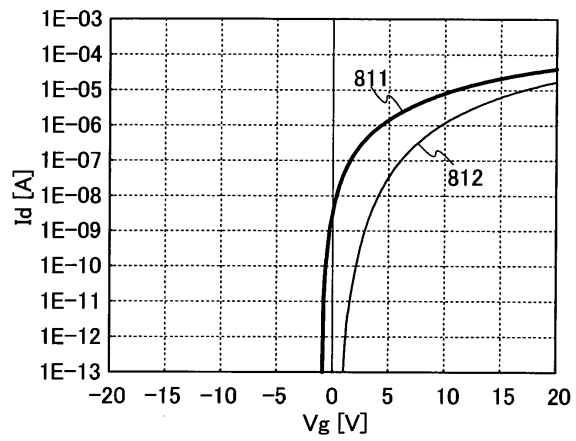
도면23b



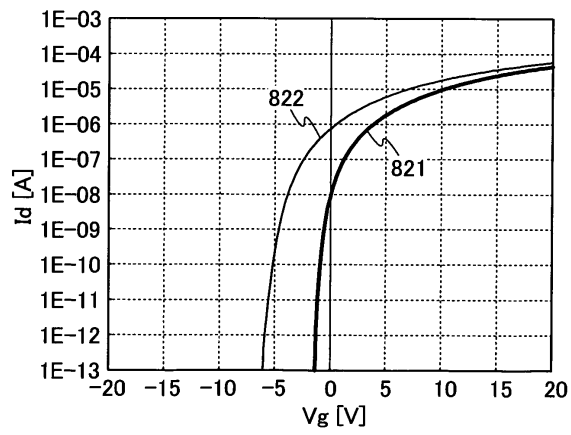
도면24



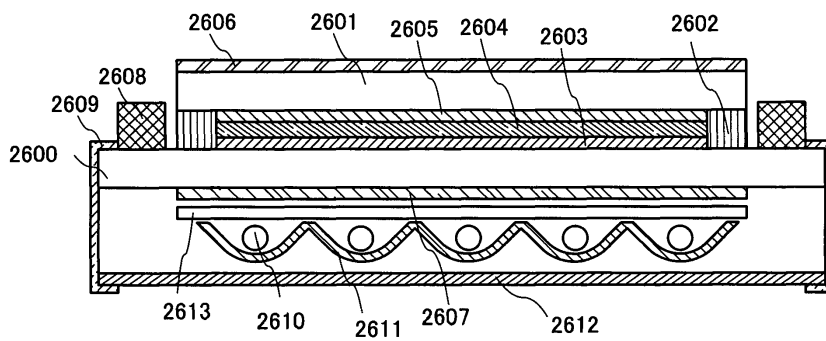
도면25a



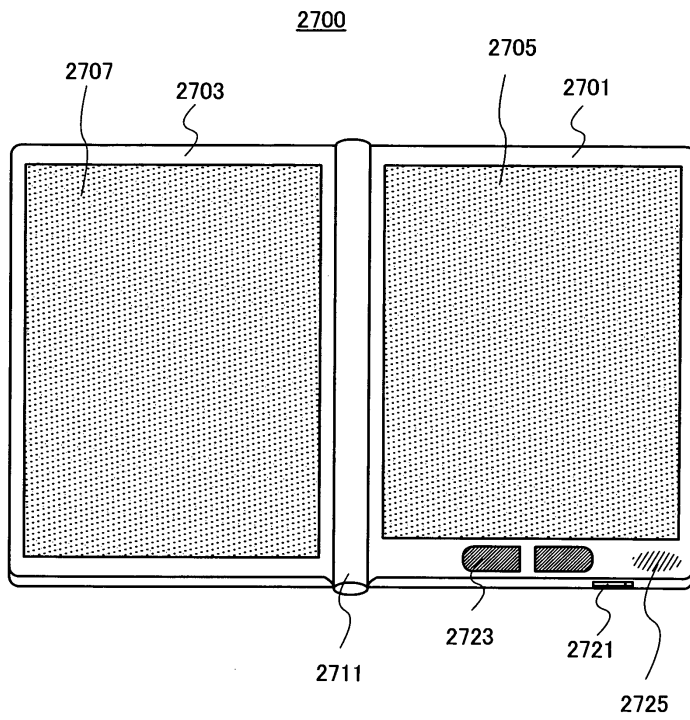
도면25b



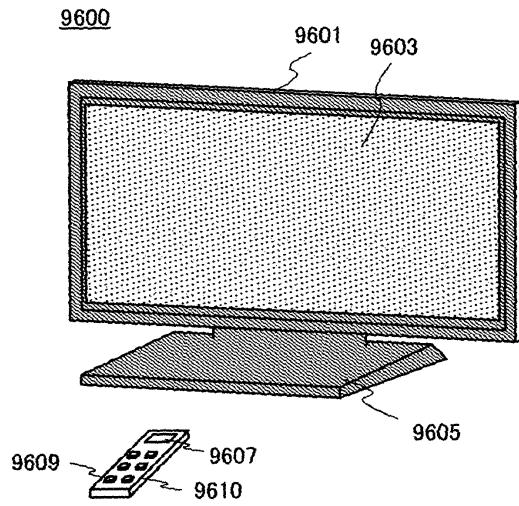
도면26



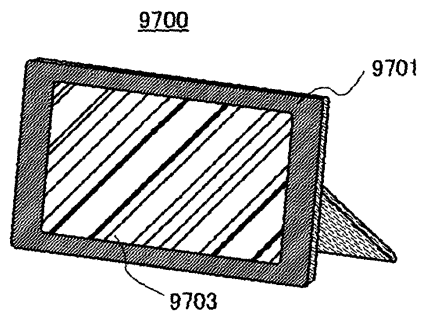
도면27



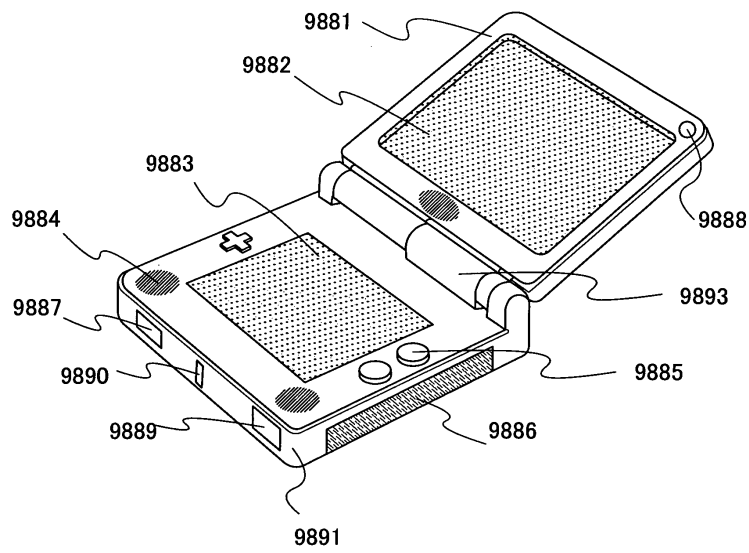
도면28a



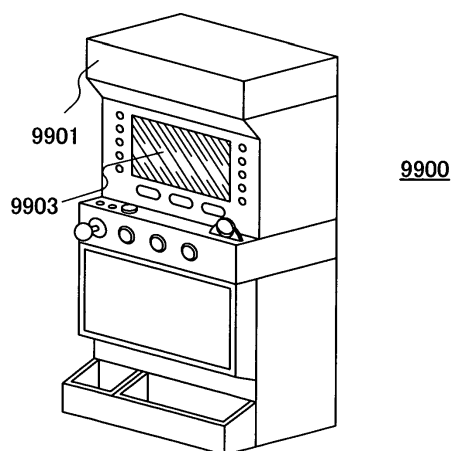
도면28b



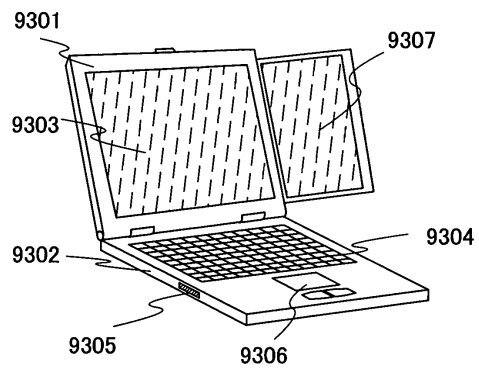
도면29a



도면29b



도면30a



도면30b

