

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7026537号

(P7026537)

(45)発行日 令和4年2月28日(2022.2.28)

(24)登録日 令和4年2月17日(2022.2.17)

(51)国際特許分類

F I

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 3 7 1

H 0 1 L 29/788(2006.01)

H 0 1 L 27/11565

H 0 1 L 29/792(2006.01)

H 0 1 L 27/11568

H 0 1 L 27/11565(2017.01)

H 0 1 L 27/11568(2017.01)

請求項の数 7 (全24頁)

(21)出願番号 特願2018-40612(P2018-40612)
(22)出願日 平成30年3月7日(2018.3.7)
(65)公開番号 特開2019-160828(P2019-160828
A)
(43)公開日 令和1年9月19日(2019.9.19)
審査請求日 令和2年8月18日(2020.8.18)

(73)特許権者 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号
(74)代理人 110001195
特許業務法人深見特許事務所
(72)発明者 天羽生 淳
東京都江東区豊洲三丁目2番24号 ル
ネサスエレクトロニクス株式会社内
審査官 田邊 顕人

最終頁に続く

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

第1面を有する半導体基板と、
前記第1面上にあり、かつ平面視において周回するように形成された第1導電膜と、
前記第1面上にあり、かつ平面視において前記第1導電膜の外周を取り囲む第2導電膜と、
前記第1導電膜と前記第2導電膜との間にある第1絶縁スペーサと、
前記第1面と前記第1導電膜との間にあり、かつ前記第1導電膜と前記半導体基板との間の電圧の変化により電荷の蓄積量が増加する第1ゲート絶縁膜と、
前記第1面と前記第2導電膜との間にある第2ゲート絶縁膜とを備え、
前記第1導電膜は、第1メモリゲート部と、第2メモリゲート部とを有し、
平面視において、前記第1メモリゲート部及び前記第2メモリゲート部は、第1方向において互いに離間し、かつ前記第1方向に直交する第2方向に沿って延在し、
前記第2導電膜は、前記第1メモリゲート部に沿って延在する第1制御ゲート部と、前記第2メモリゲート部に沿って延在する第2制御ゲート部とを有し、
前記半導体基板は、前記第1面にある第1ドレイン領域と、前記第1面にあるソース領域と、前記第1面にある第2ドレイン領域とを有し、
前記第1メモリゲート部及び前記第1制御ゲート部は、平面視において前記第1ドレイン領域と前記ソース領域とに挟み込まれ、
前記第2メモリゲート部及び前記第2制御ゲート部は、平面視において前記第2ドレイン領域と前記ソース領域とに挟み込まれ、

前記第 1 メモリゲート部は、前記第 2 方向に交差する第 1 切断面と、前記第 2 方向において前記第 1 切断面と離間して対向する第 2 切断面とを含み、
前記第 2 メモリゲート部は、前記第 2 方向に交差する第 3 切断面と、前記第 2 方向において前記第 3 切断面と離間して対向する第 4 切断面とを含み、
前記第 1 制御ゲート部は、前記第 2 方向に交差する第 5 切断面と、前記第 2 方向において前記第 5 切断面と離間して対向する第 6 切断面とを含み、
前記第 2 制御ゲート部は、前記第 2 方向に交差する第 7 切断面と、前記第 2 方向において前記第 7 切断面と離間して対向する第 8 切断面とを含み、
前記第 1 切断面及び前記第 2 切断面は、前記第 5 切断面と前記第 6 切断面との間に位置し、
前記第 3 切断面及び前記第 4 切断面は、前記第 7 切断面と前記第 8 切断面との間に位置する、半導体装置。

10

【請求項 2】

前記第 2 方向において前記第 1 導電膜から離間して配置され、かつ前記第 1 方向に沿って延在する第 3 導電膜と、
平面視において前記第 3 導電膜の外周を取り囲む第 2 絶縁スペーサとをさらに備え、
前記第 2 導電膜は、平面視において、前記第 2 絶縁スペーサを介在して前記第 3 導電膜の外周をさらに取り囲む、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 導電膜の上面に配置され、かつ絶縁体で構成されるハードマスクをさらに備える、請求項 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 ゲート絶縁膜は、前記第 1 面上に配置され、かつシリコン酸化物又はシリコン酸窒化物で構成される第 1 層と、前記第 1 層上に配置され、かつアルミニウム酸化物で構成される第 2 層と、前記第 2 層上に配置され、かつハフニウムシリケートで構成される第 3 層と、前記第 3 層上に配置され、かつアルミニウム酸化物で構成される第 4 層とを有する、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 方向に沿って延在する第 1 ビット線と、
前記第 1 方向に沿って延在する第 2 ビット線とをさらに備え、
前記第 1 ビット線は、前記第 1 ドレイン領域に電氣的に接続され、
前記第 2 ビット線は、前記第 2 ドレイン領域に電氣的に接続される、請求項 4 に記載の半導体装置。

30

【請求項 6】

前記第 1 方向に沿って延在する第 3 ビット線をさらに備え、
前記第 3 ビット線は、前記第 1 ドレイン領域及び前記第 2 ドレイン領域に電氣的に接続される、請求項 4 に記載の半導体装置。

【請求項 7】

前記第 1 方向に沿って延在する第 3 ビット線をさらに備え、
前記第 3 ビット線は、前記第 1 ドレイン領域及び前記第 2 ドレイン領域に電氣的に接続される、請求項 1 に記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

従来から、特許文献 1（特開 2015 - 103698 号公報）に記載の半導体装置が知られている。特許文献 1 に記載の半導体装置は、主面を含む半導体基板と、半導体基板の主面の上に配置されるメモリゲート電極部及び制御ゲート電極とを有している。メモリゲート電極部の側壁と制御ゲート電極部の側壁とは、互いに絶縁されている。

50

【 0 0 0 3 】

メモリゲート電極部は、第 1 部分と、第 2 部分とを有している。第 1 部分及び第 2 部分は、半導体基板の主面に平行な平面にある Y 方向に沿って延在している。第 1 部分及び第 2 部分は、半導体基板の主面に平行な平面にあり、かつ、Y 方向に直交する X 方向において離間して配置されている。

【 0 0 0 4 】

制御ゲート電極部は、第 3 部分と、第 4 部分を有している。第 3 部分及び第 4 部分は、Y 方向に沿って延在している。第 3 部分は、第 1 部分と X 方向において隣り合って配置されている。第 4 部分は、第 2 部分と X 方向において隣り合って配置されている。第 1 部分及び第 2 部分は、第 3 部分と第 4 部分との間に配置されている。

10

【 0 0 0 5 】

特許文献 1 に記載の半導体装置の製造工程においては、第 1 に、制御ゲート電極部を構成する材料が、半導体基板の主面に成膜される。第 2 に、成膜された制御ゲート電極部を構成する材料が、パターンニングされる。第 3 に、パターンニングされた制御ゲート電極部を構成する材料を覆うように、メモリゲート電極部を構成する材料が成膜される。第 4 に、成膜されたメモリゲート電極部を構成する材料が、エッチバックによりパターンニングされる。第 5 に、パターンニングされた制御ゲート電極部を構成する材料及びメモリゲート電極部を構成する材料が、X 方向において互いに離間するようにエッチングにより切断される。

【 先行技術文献 】

20

【 特許文献 】

【 0 0 0 6 】

【 文献 】特開 2 0 1 5 - 1 0 3 6 9 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

特許文献 1 に記載の半導体装置の製造工程においては、パターンニングされたメモリゲート電極部を構成する材料及び制御ゲート電極部を構成する材料を X 方向において互いに離間するようにエッチングにより切断する際に、Y 方向における端部の処理をどのように行うのかが明らかではない。

30

【 0 0 0 8 】

その他の課題及び新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【 課題を解決するための手段 】

【 0 0 0 9 】

一実施形態に係る半導体装置は、第 1 面を有する半導体基板と、第 1 面上にあり、かつ平面視において周回するように形成された第 1 導電膜と、第 1 面上にあり、かつ平面視において第 1 導電膜の外周を取り囲む第 2 導電膜と、第 1 導電膜と第 2 導電膜との間にある第 1 絶縁スペーサと、第 1 面と第 1 導電膜との間にあり、かつ第 1 導電膜と半導体基板との間の電圧の変化により電荷の蓄積量に変化する第 1 ゲート絶縁膜と、第 1 面と第 2 導電膜との間にある第 2 ゲート絶縁膜とを備える。

40

【 0 0 1 0 】

第 1 導電膜は、第 1 メモリゲート部と、第 2 メモリゲート部とを有する。平面視において、第 1 メモリゲート部及び第 2 メモリゲート部は、第 1 方向において互いに離間し、かつ第 1 方向に直交する第 2 方向に沿って延在する。第 2 導電膜は、第 1 メモリゲート部に沿って延在する第 1 制御ゲート部と、第 2 メモリゲート部に沿って延在する第 2 制御ゲート部とを有する。

【 0 0 1 1 】

半導体基板は、第 1 面にある第 1 ドレイン領域と、第 1 面にあるソース領域と、第 1 面にある第 2 ドレイン領域とを有する。第 1 メモリゲート部及び第 1 制御ゲート部は、平面視において第 1 ドレイン領域とソース領域とに挟み込まれる。第 2 メモリゲート部及び第 2

50

制御ゲート部は、平面視において第２ドレイン領域とソース領域とに挟み込まれる。

【発明の効果】

【００１２】

一実施形態に係る半導体装置によると、第１導電膜と第２導電膜との間の絶縁耐圧を高めることができる。

【図面の簡単な説明】

【００１３】

【図１】第１実施形態に係る半導体装置の概略レイアウト図である。

【図２】第１実施形態に係る半導体装置のメモリセルアレイＭＣＡにおける拡大レイアウト図である。

【図３】図２のⅠⅠⅠ－ⅠⅠⅠにおける断面図である。

【図４】第１実施形態の変形例に係る半導体装置のメモリセルアレイＭＣＡにおける拡大レイアウト図である。

【図５】第１実施形態に係る半導体装置の製造方法を示す工程図である。

【図６】第１実施形態に係る半導体装置の半導体基板準備工程Ｓ１における断面図である。

【図７】第１実施形態に係る半導体装置の第１ゲート絶縁膜形成工程Ｓ２における断面図である。

【図８】第１実施形態に係る半導体装置の第１導電膜成膜工程Ｓ３における断面図である。

【図９】第１実施形態に係る半導体装置のハードマスク成膜工程Ｓ４１における断面図である。

【図１０】第１実施形態に係る半導体装置のハードマスクパターンニング工程Ｓ４２における断面図である。

【図１１】第１実施形態に係る半導体装置のハードマスクパターンニング工程Ｓ４２における上面図である。

【図１２】第１実施形態に係る半導体装置のエッチング工程Ｓ４３における断面図である。

【図１３】第１実施形態に係る半導体装置の絶縁スペーサ形成工程Ｓ５における断面図である。

【図１４】第１実施形態に係る半導体装置の第２ゲート絶縁膜形成工程Ｓ６における断面図である。

【図１５】第１実施形態に係る半導体装置の第２導電膜成膜工程Ｓ７における断面図である。

【図１６】第１実施形態に係る半導体装置のエッチバック工程Ｓ８における断面図である。

【図１７】第１実施形態に係る半導体装置の第２パターンニング工程Ｓ９における断面図である。

【図１８】第１実施形態に係る半導体装置の第２パターンニング工程Ｓ９における上面図である。

【図１９】比較例に係る半導体装置のメモリセルアレイＭＣＡにおける拡大レイアウト図である。

【図２０】第２実施形態に係る半導体装置のメモリセルアレイＭＣＡにおける拡大レイアウト図である。

【図２１】第２実施形態に係る半導体装置のハードマスクパターンニング工程Ｓ４２における上面図である。

【図２２】第２実施形態に係る半導体装置のエッチバック工程Ｓ８における上面図である。

【図２３】第３実施形態に係る半導体装置のメモリセルアレイＭＣＡにおける拡大レイアウト図である。

【図２４】第３実施形態に係る半導体装置の製造方法を示す工程図である。

【図２５】第３実施形態に係る半導体装置の第３パターンニング工程Ｓ１０における上面図である。

【図２６】第３実施形態に係る半導体装置の第２パターンニング工程Ｓ９における上面図である。

10

20

30

40

50

【発明を実施するための形態】**【0014】**

実施形態の詳細を、図面を参照しながら説明する。以下の図面においては、同一又は相当する部分に同一符号を付し、重複する説明は繰り返さないものとする。

【0015】

(第1実施形態)

以下に、第1実施形態に係る半導体装置の構成を説明する。

【0016】

図1に示されるように、実施形態に係る半導体装置は、メモリ部MBと、ロジック部LOGとを有している。メモリ部MBは、メモリセルアレイMCAを含んでいる。図1中において図示されていないが、メモリ部MBには、メモリセルアレイMCA以外に、制御回路、入出力回路、アドレスバッファ回路、行アドレスデコード回路、列アドレスデコード回路、センスアンプ回路、電源回路等が含まれている。ロジック部LOGは、例えばCMOS(Complementary Metal Oxide Semiconductor)回路で構成される論理回路を含んでいる。メモリ部MB及びロジック部LOGは、半導体基板SUBに形成されている。

10

【0017】

図2に示されるように、第1実施形態に係る半導体装置は、半導体基板SUBと、第1導電膜CF1と、第2導電膜CF2と、絶縁スペーサISS1と、第1ゲート絶縁膜GIF1(図3参照)と、第2ゲート絶縁膜GIF2(図3参照)とを有している。なお、図2においては、コンタクトプラグCP5、コンタクトプラグCP6及びコンタクトプラグCP7(図3参照)の図示は省略してある。

20

【0018】

半導体基板SUBは、第1面FSと、第2面SS(図3参照)とを有している。第2面SSは、第1面FSの反対面である。第1面FS及び第2面SSは、半導体基板SUBの主面を構成している。半導体基板SUBは、例えばシリコン(Si)の単結晶で形成されている。

【0019】

第1導電膜CF1は、例えば、不純物がドーブされた多結晶のシリコンで形成されている。第1導電膜CF1は、第1面FSの上に配置されている。第1導電膜CF1は、第1接続部CF1aと、第1メモリゲート部CF1bと、第2メモリゲート部CF1cと、第2接続部CF1dとを有している。

30

【0020】

第1接続部CF1aは、平面視において(第1面FSに直交する方向からみて)第1方向DR1に沿って延在している。第1接続部CF1aは、第1方向DR1において、第1端と、第2端とを有している。第1端は、第1接続部CF1aの第1方向DR1における一方端である。第2端は、第1接続部CF1aの第1方向DR1における第1端とは反対側の端である。

【0021】

第1メモリゲート部CF1bは、平面視において第1方向DR1に直交する第2方向DR2に沿って延在している。第1メモリゲート部CF1bは、第1接続部CF1aの第1端から延在している。第2メモリゲート部CF1cは、第2方向DR2に沿って延在している。第2メモリゲート部CF1cは、第1接続部CF1aの第2端から延在している。つまり、第1メモリゲート部CF1b及び第2メモリゲート部CF1cは、第1方向DR1において互いに離間している。

40

【0022】

第2接続部CF1dは、第1メモリゲート部CF1bの第1接続部CF1a側とは反対側の端と、第2メモリゲート部CF1cの第1接続部CF1a側とは反対側の端とを接続している。つまり、第1導電膜CF1は、平面視において、周回するように形成されている。このことを別の観点からいえば、第1導電膜CF1には、途中で途切れている箇所がない。第2接続部CF1dは、第1方向DR1に沿って延在している。

50

【 0 0 2 3 】

第 1 導電膜 C F 1 の外周は、平面視において、第 1 矩形形状を有している。なお、「矩形形状」には、角が丸くなっている角丸矩形も含まれている。第 1 矩形形状は、第 1 方向 D R 1 に平行な辺と、第 2 方向 D R 2 に平行な辺とを有している。第 1 導電膜 C F 1 は、開口部 O P を有している。開口部 O P は、第 1 導電膜 C F 1 を厚さ方向に貫通している。開口部 O P は、平面視において第 2 矩形形状を有している。第 2 矩形形状は、第 1 方向 D R 1 に平行な辺と、第 2 方向 D R 2 に平行な辺とを有している。開口部 O P は、平面視において、第 1 矩形形状の内側に位置している。開口部 O P の縁と第 1 導電膜 C F 1 の外周により、第 1 接続部 C F 1 a、第 1 メモリゲート部 C F 1 b、第 2 メモリゲート部 C F 1 c 及び第 2 接続部 C F 1 d が規定されている。

10

【 0 0 2 4 】

第 2 導電膜 C F 2 は、例えば、不純物がドーブされた多結晶のシリコンで形成されている。第 2 導電膜 C F 2 は、第 1 面 F S の上に配置されている。第 2 導電膜 C F 2 は、平面視において、第 1 導電膜 C F 1 の外周を取り囲んでいる。第 2 導電膜 C F 2 は、第 3 接続部 C F 2 a と、第 1 制御ゲート部 C F 2 b と、第 2 制御ゲート部 C F 2 c と、第 4 接続部 C F 2 d とを有している。

【 0 0 2 5 】

第 3 接続部 C F 2 a は、第 1 方向 D R 1 に沿って延在している。第 1 方向 D R 1 において、第 3 接続部 C F 2 a は、第 3 端と、第 4 端とを有している。第 3 端は、第 3 接続部 C F 2 a の第 1 方向 D R 1 における一方端である。第 4 端は、第 3 接続部 C F 2 a の第 1 方向 D R 1 における第 3 端とは反対側の端である。第 3 接続部 C F 2 a は、第 1 接続部 C F 1 a に沿って延在している。

20

【 0 0 2 6 】

第 1 制御ゲート部 C F 2 b は、第 2 方向 D R 2 に沿って延在している。第 1 制御ゲート部 C F 2 b は、第 3 接続部 C F 2 a の第 3 端から延在している。第 1 制御ゲート部 C F 2 b は、第 1 メモリゲート部 C F 1 b に沿って延在している。

【 0 0 2 7 】

第 2 制御ゲート部 C F 2 c は、第 2 方向 D R 2 に沿って延在している。第 2 制御ゲート部 C F 2 c は、第 3 接続部 C F 2 a の第 4 端から延在している。第 2 制御ゲート部 C F 2 c は、第 2 メモリゲート部 C F 1 c に沿って延在している。

30

【 0 0 2 8 】

第 4 接続部 C F 2 d は、第 1 制御ゲート部 C F 2 b の第 3 接続部 C F 2 a 側とは反対側の端と、第 2 制御ゲート部 C F 2 c の第 3 接続部 C F 2 a 側とは反対側の端とを接続している。すなわち、第 2 導電膜 C F 2 には、途中で途切れている箇所がない。第 4 接続部 C F 2 d は、第 1 方向 D R 1 に沿って延在している。

【 0 0 2 9 】

絶縁スペーサ I S S 1 は、絶縁体で形成されている。絶縁スペーサ I S S 1 には、例えばシリコン酸化物 (S i O ₂)、シリコン窒化物 (S i N) 等が用いられる。絶縁スペーサ I S S 1 は、平面視において、第 1 導電膜 C F 1 と第 2 導電膜 C F 2 との間にある。より具体的には、絶縁スペーサ I S S 1 は、第 1 導電膜 C F 1 の外周側の側壁と第 2 導電膜 C F 2 の内周側の側壁との間に配置されている。

40

【 0 0 3 0 】

図 3 に示されるように、半導体基板 S U B は、第 1 ドレイン領域 D R A 1 と、ソース領域 S R と、第 2 ドレイン領域 D R A 2 と、ウェル領域 W R とを有している。なお、図 2 中には図示されていないが、第 1 ドレイン領域 D R A 1、ソース領域 S R、第 2 ドレイン領域 D R A 2、第 1 ドレイン領域 D R A 1 とソース領域 S R との間にあるウェル領域 W R 及び第 2 ドレイン領域 D R A 2 とソース領域 S R との間にあるウェル領域から構成される活性領域は、平面視において、素子分離膜 I S L により絶縁分離されている。素子分離膜 I S L は、例えばシリコン酸化物で構成される S T I (Shallow Trench Isolation) である。

【 0 0 3 1 】

50

第1ドレイン領域DRA1、ソース領域SR及び第2ドレイン領域DRA2は、第1導電型であり、ウェル領域WRは、第2導電型である。第2導電型は、第1導電型の反対の導電型である。第1導電型は、例えばn型である。第2導電型は、例えばp型である。第1ドレイン領域DRA1、ソース領域SR及び第2ドレイン領域DRA2には、例えば、リン(P)、ヒ素(As)等のドナー元素がドーピングされている。ウェル領域WRには、例えば、ホウ素(B)、アルミニウム(Al)等のアクセプタ元素がドーピングされている。

【0032】

第1ドレイン領域DRA1、ソース領域SR及び第2ドレイン領域DRA2は、第1面FSに配置されている。第1ドレイン領域DRA1、ソース領域SR及び第2ドレイン領域DRA2は、第1方向DR1において互いに離間して配置されている。ウェル領域WRは、第1ドレイン領域DRA1、ソース領域SR及び第2ドレイン領域DRA2を取り囲むように、第1面FSに配置されている。

10

【0033】

より具体的には、第1ドレイン領域DRA1は、第1方向DR1において、ソース領域SRとの間で、第1メモリゲート部CF1b及び第1制御ゲート部CF2bを挟みこむように配置されている。第2ドレイン領域DRA2は、第1方向DR1において、ソース領域SRとの間で、第2メモリゲート部CF1c及び第2制御ゲート部CF2cを挟みこむように配置されている。

【0034】

第1ゲート絶縁膜GIF1は、第1導電膜CF1と第1面FSとの間にある。第1導電膜CF1と半導体基板SUBとの間の電圧が変化することにより、第1ゲート絶縁膜GIF1中における電荷の蓄積量が変化する。第1ゲート絶縁膜GIF1は、第2ゲート絶縁膜GIF2よりも厚いことが好ましい。

20

【0035】

第1ゲート絶縁膜GIF1は、例えば、第1層と、第2層と、第3層と、第4層とを有している。第1層は、第1面FSの直上に配置されている。第1層は、シリコン酸化物で構成されている。第2層は、第1層の上に配置されている。第2層は、アルミニウム酸化物(AlO)で構成されている。

【0036】

第3層は、第2層の上に配置されている。第3層は、ハフニウムシリケート(HfSiO)により構成されている。第4層は、第3層の上に配置されている。第4層は、アルミニウム酸化物で構成されている。すなわち、第1ゲート絶縁膜GIF1は、AHAO(Aluminum Hafnium Aluminum Oxide)膜であってもよい。

30

【0037】

但し、第1ゲート絶縁膜GIF1は、AHAO膜に限られるものではない。例えば、第1ゲート絶縁膜GIF1は、第1面FSの直上に配置される第1シリコン酸化物膜と、第1シリコン酸化物膜の上に配置されるシリコン窒化物膜と、シリコン窒化物膜の上に配置される第2シリコン酸化物膜とを含むONO(Oxide Nitride Oxide)膜で構成されていてもよい。

【0038】

第2ゲート絶縁膜GIF2は、例えば、シリコン酸化物で構成される。第2ゲート絶縁膜GIF2は、第1面FSと第2導電膜CF2との間に配置されている。

40

【0039】

第1ドレイン領域DRA1、ソース領域SR、ウェル領域WR、第1ゲート絶縁膜GIF1、第2ゲート絶縁膜GIF2、第1メモリゲート部CF1b及び第1制御ゲート部CF2bは、スプリットゲート型のフラッシュメモリセルMC1を構成している。同様に、第2ドレイン領域DRA2、ソース領域SR、ウェル領域WR、第1ゲート絶縁膜GIF1、第2ゲート絶縁膜GIF2、第2メモリゲート部CF1c及び第2制御ゲート部CF2cは、スプリットゲート型のフラッシュメモリセルMC2を構成している。

【0040】

50

第 1 実施形態に係る半導体装置は、ハードマスク HM をさらに有している。ハードマスク HM は、絶縁体で構成されている。ハードマスク HM には、例えば、シリコン酸化物、シリコン窒化物が用いられる。ハードマスク HM は、第 1 導電膜 CF 1 の上面に配置されている。

【 0 0 4 1 】

第 1 実施形態に係る半導体装置は、層間絶縁膜 IL D 1 と、層間絶縁膜 IL D 2 と、コンタクトプラグ CP 1、コンタクトプラグ CP 2、コンタクトプラグ CP 3、コンタクトプラグ CP 4、コンタクトプラグ CP 5、コンタクトプラグ CP 6 及びコンタクトプラグ CP 7 と、配線 WL 1 a、配線 WL 1 b 及び配線 WL 1 c と、配線 WL 2 a (第 1 ビット線) 及び配線 WL 2 b (第 2 ビット線) とをさらに有している。

10

【 0 0 4 2 】

層間絶縁膜 IL D 1 は、第 1 面 FS の上に配置されている。層間絶縁膜 IL D 1 は、例えば、シリコン酸化物で構成されている。層間絶縁膜 IL D 1 中には、コンタクトホール CH が設けられている。コンタクトホール CH は、層間絶縁膜 IL D 1 を厚さ方向に貫通している。

【 0 0 4 3 】

コンタクトプラグ CP 1 ~ コンタクトプラグ CP 7 は、例えば、タングステン (W) 等で構成されている。コンタクトプラグ CP 1 ~ コンタクトプラグ CP 7 は、層間絶縁膜 IL D 1 中に配置されている。より具体的には、コンタクトプラグ CP 1 ~ コンタクトプラグ CP 7 は、コンタクトホール CH 中に埋め込まれている。

20

【 0 0 4 4 】

図 2 に示されるように、コンタクトプラグ CP 1 は、第 1 接続部 CF 1 a に電氣的に接続されている。コンタクトプラグ CP 2 は、第 2 接続部 CF 1 d に電氣的に接続されている。すなわち、第 1 接続部 CF 1 a 及び第 2 接続部 CF 1 d は、第 1 導電膜 CF 1 のシャント領域となっている。

【 0 0 4 5 】

コンタクトプラグ CP 1 (コンタクトプラグ CP 2) と第 1 接続部 CF 1 a (第 2 接続部 CF 1 d) の第 2 方向 DR 2 における一方端との距離 DIS 1 は、コンタクトプラグ CP 1 (コンタクトプラグ CP 2) と第 1 接続部 CF 1 a (第 2 接続部 CF 1 d) の第 2 方向 DR 2 における他方端との距離 DIS 2 よりも大きくなっている。第 1 接続部 CF 1 a (第 2 接続部 CF 1 d) の第 2 方向 DR 2 における一方端は、第 3 接続部 CF 2 a (第 4 接続部 CF 2 d) 側の端である。

30

【 0 0 4 6 】

コンタクトプラグ CP 3 (コンタクトプラグ CP 4) と第 3 接続部 CF 2 a (第 4 接続部 CF 2 d) の第 2 方向 DR 2 における一方端との距離は、距離 DIS 1 より小さくてもよい。第 3 接続部 CF 2 a (第 4 接続部 CF 2 d) の第 2 方向 DR 2 における一方端は、第 1 接続部 CF 1 a (第 2 接続部 CF 1 d) 側の端である。これは、動作時に第 2 導電膜 CF 2 に印加される電圧は、動作時に第 1 導電膜 CF 1 に印加される電圧よりも低いことが通常であり、コンタクトプラグ CP 3 (コンタクトプラグ CP 4) と第 1 導電膜 CF 1 との間の短絡が相対的に生じにくいからである。

40

【 0 0 4 7 】

なお、第 1 接続部 CF 1 a 上にあるハードマスク HM は、コンタクトプラグ CP 1 (コンタクトプラグ CP 2) との接続のために部分的に除去されているが、コンタクトプラグ CP 1 (コンタクトプラグ CP 2) よりも当該一方端側にあるハードマスク HM は、残存している。

【 0 0 4 8 】

コンタクトプラグ CP 3 は、第 3 接続部 CF 2 a に電氣的に接続されている。コンタクトプラグ CP 4 は、第 4 接続部 CF 2 d に電氣的に接続されている。すなわち、第 3 接続部 CF 2 a 及び第 4 接続部 CF 2 d は、第 2 導電膜 CF 2 のシャント領域になっている。

【 0 0 4 9 】

50

配線WL1a～配線WL1cは、層間絶縁膜ILD1の上に配置されている。配線WL1a～配線WL1cは、例えばアルミニウム、アルミニウム合金、銅(Cu)、銅合金等で構成されている。配線WL1aは、コンタクトプラグCP5を介して、ソース領域SRに電氣的に接続されている。

【0050】

層間絶縁膜ILD2は、配線WL1a～配線WL1cを覆うように、層間絶縁膜ILD1の上に配置されている。層間絶縁膜ILD2は、例えばシリコン酸化物で構成されている。層間絶縁膜ILD2中には、ビアホール(図示せず)が設けられている。ビアホールは、層間絶縁膜ILD2を厚さ方向に貫通している。ビアホールには、ビアプラグ(図示せず)が埋め込まれている。

10

【0051】

配線WL2a及び配線WL2bは、層間絶縁膜ILD2の上に配置されている。配線WL2a及び配線WL2bは、例えばアルミニウム、アルミニウム合金、銅、銅合金等で構成されている。

【0052】

配線WL2a及び配線WL2bは、第1方向DR1に沿って延在している。配線WL2aは、ビアプラグ(図示せず)、配線WL1b及びコンタクトプラグCP6を介して、第1ドレイン領域DRA1に電氣的に接続されている。配線WL2bは、ビアプラグ、配線WL1c及びコンタクトプラグCP7を介して、第2ドレイン領域DRA2に電氣的に接続されている。

20

【0053】

図4に示されるように、第1実施形態に係る半導体装置は、配線WL2a及び配線WL2bに代えて、配線WL2cを有していてもよい。配線WL2cは、第1方向DR1に沿って延在している。配線WL2cは、ビアプラグ、配線WL1b及びコンタクトプラグCP6を介して第1ドレイン領域DRA1に接続されるとともに、ビアプラグ、配線WL1c及びコンタクトプラグCP7を介して第2ドレイン領域DRA2に電氣的に接続されている。

【0054】

なお、メモリセルアレイMCAは、図2に示される構造を第1方向DR1及び第2方向DR2に繰り返し配置することにより構成することができる。

30

【0055】

以下に、第1実施形態に係る半導体装置の製造方法を説明する。

図5に示されるように、第1実施形態に係る半導体装置の製造方法は、半導体基板準備工程S1と、第1ゲート絶縁膜形成工程S2と、第1導電膜成膜工程S3と、第1パターンニング工程S4と、絶縁スペーサ形成工程S5と、第2ゲート絶縁膜形成工程S6と、第2導電膜成膜工程S7と、エッチバック工程S8と、第2パターンニング工程S9とを有している。

【0056】

なお、第1実施形態に係る半導体装置の製造方法は、第2パターンニング工程S9が行われた後に、第1ドレイン領域DRA1、ソース領域SR及び第2ドレイン領域DRA2を形成するための工程、層間絶縁膜ILD1を形成するための工程、コンタクトプラグCP1～コンタクトプラグCP7を形成するための工程、配線WL1a～配線WL1cを形成するための工程、層間絶縁膜ILD2を形成するための工程並びに配線WL2a及び配線WL2cを形成するための工程が行われる。しかし、これらの工程は、従来公知の方法にしたがって行われるため、詳細な説明は省略する。

40

【0057】

図6に示されるように、半導体基板準備工程S1においては、半導体基板SUBが準備される。この時点において、半導体基板SUBには、素子分離膜ISL及びウェル領域WRが形成されている。素子分離膜ISLは、RIE(Reactive Ion Etching)等の異方性エッチングで第1面FSに溝を形成するとともに、当該溝に素子分離膜ISLを構成する

50

材料を埋め込むことにより形成される。ウェル領域WRは、素子分離膜ISLが形成された後に、半導体基板SUBに対してイオン注入を行うことにより形成される。

【0058】

図7に示されるように、第1ゲート絶縁膜形成工程S2においては、第1ゲート絶縁膜GIF1の成膜が行われる。第1ゲート絶縁膜GIF1の成膜は、例えば、CVD (Chemical Vapor Deposition) により行われる。

【0059】

図8に示されるように、第1導電膜成膜工程S3においては、第1導電膜CF1の形成が行われる。第1導電膜CF1の成膜は、例えばCVDにより行われる。

【0060】

第1パターンニング工程S4は、ハードマスク成膜工程S41と、ハードマスクパターンニング工程S42と、エッチング工程S43とを有している。

【0061】

図9に示されるように、ハードマスク成膜工程S41においては、第1導電膜CF1の上に、ハードマスクHMを構成する材料が成膜される。ハードマスクHMを構成する材料の成膜は、例えばCVDにより行われる。

【0062】

図10に示されるように、ハードマスクパターンニング工程S42においては、成膜されたハードマスクHMを構成する材料のパターンニングが行われる。このパターンニングは、ハードマスクHMを構成する材料の上に成膜されたフォトレジストPR1をフォトリソグラフィによりパターンニングするとともに、フォトレジストPR1をマスクとしてハードマスクHMを構成する材料をエッチングすることにより行われる。

【0063】

図11に示されるように、ハードマスクHM (及びフォトレジストPR1) は、第1領域R1を覆うようにパターンニングされる。第1領域R1は、平面視において、第1矩形形状を有している。すなわち、第1領域R1は、第1方向DR1に平行な辺と、第2方向DR2に平行な辺とを有している。

【0064】

図12に示されるように、エッチング工程S43においては、ハードマスクHM及びフォトレジストPR1をマスクとして、第1導電膜CF1のエッチングが行われる。このエッチングは、例えば、RIE等の異方性エッチングにより行われる。エッチング工程S43の結果、第1導電膜CF1は、平面視において第1矩形形状を有するようにパターンニングされる (第1パターンニング)。

【0065】

なお、エッチング工程S43が行われた後には、フォトレジストPR1は、アッシングにより除去されるが、ハードマスクHMは残存する。

【0066】

図13に示されるように、絶縁スペーサ形成工程S5においては、第1導電膜CF1の側壁に、絶縁スペーサISS1が形成される。絶縁スペーサ形成工程S5においては、第1に、絶縁スペーサISS1を構成する材料が、第1導電膜CF1を覆うように成膜される。

【0067】

絶縁スペーサ形成工程S5においては、第2に、成膜された絶縁スペーサISS1を構成する材料のエッチバックが行われる。このエッチバックは、第1導電膜CF1の上面が露出するまで行われる。その結果、第1導電膜CF1の側壁に絶縁スペーサISS1が形成される。

【0068】

図14に示されるように、第2ゲート絶縁膜形成工程S6においては、第1面FSの上に、第2ゲート絶縁膜GIF2の形成が行われる。第2ゲート絶縁膜GIF2の形成は、例えば第1面FSを熱酸化することにより行われる。

【0069】

10

20

30

40

50

図 1 5 に示されるように、第 2 導電膜成膜工程 S 7 においては、第 2 導電膜 C F 2 の成膜が行われる。第 2 導電膜 C F 2 は、第 1 導電膜 C F 1 及び絶縁スペーサ I S S 1 を覆うように成膜される。第 2 導電膜 C F 2 の成膜は、例えば C V D により行われる。

【 0 0 7 0 】

図 1 6 に示されるように、エッチバック工程 S 8 においては、成膜された第 2 導電膜 C F 2 に対するエッチバックが行われる。このエッチバックは、第 1 導電膜 C F 1 の上面が露出するまで行われる。その結果、第 2 導電膜 C F 2 が、平面視において第 1 導電膜 C F 1 の外周を取り囲むように残存する。すなわち、エッチバック工程 S 8 の結果、第 2 導電膜 C F 2 が、第 3 接続部 C F 2 a、第 1 制御ゲート部 C F 2 b、第 2 制御ゲート部 C F 2 c 及び第 4 接続部 C F 2 d を有するように残存する。

10

【 0 0 7 1 】

図 1 7 に示されるように、第 2 パターンニング工程 S 9 においては、第 1 導電膜 C F 1 に対するパターンニングが行われる（第 2 パターンニング）。第 2 パターンニング工程 S 9 においては、第 1 に、第 1 導電膜 C F 1 の上にフォトレジスト P R 2 が成膜される。第 2 パターンニング工程 S 9 においては、第 2 に、フォトレジスト P R 2 がフォトリソグラフィによりパターンニングされる。

【 0 0 7 2 】

図 1 8 に示されるように、フォトレジスト P R 2 は、第 2 領域 R 2 に開口が設けられている。第 2 領域 R 2 は、平面視において、第 2 矩形形状を有している。すなわち、第 2 領域 R 2 は、第 1 方向 D R 1 に平行な辺と、第 2 方向 D R 2 に平行な辺とを有している。第 2 領域 R 2 は、平面視において、第 1 領域 R 1 の内側に位置している。

20

【 0 0 7 3 】

第 2 パターンニング工程 S 9 においては、第 3 に、第 2 領域 R 2 に開口が設けられたフォトレジスト P R 2 をマスクとして、第 1 導電膜 C F 1 のエッチングが行われる。このエッチングは、例えば、R I E 等の異方性エッチングにより行われる。その結果、第 1 導電膜 C F 1 は、第 1 接続部 C F 1 a、第 1 メモリゲート部 C F 1 b、第 2 メモリゲート部 C F 1 c 及び第 2 接続部 C F 1 d を有するように残存する。

【 0 0 7 4 】

以下に、第 1 実施形態に係る半導体装置の効果を、比較例と対比しながら説明する。

図 1 9 に示されるように、比較例に係る半導体装置は、第 1 導電膜 C F 1 と、第 2 導電膜 C F 2 とを有している点に関して、第 1 実施形態に係る半導体装置と共通している。しかし、比較例に係る半導体装置は、第 1 接続部 C F 1 a、第 2 接続部 C F 1 d、第 3 接続部 C F 2 a 及び第 4 接続部 C F 2 d が途中で切断されている点に関して、第 1 実施形態に係る半導体装置と異なっている。

30

【 0 0 7 5 】

比較例に係る半導体装置においては、切断箇所において第 1 導電膜 C F 1 と第 2 導電膜 C F 2 との間の距離が近くなっている。その結果、比較例に係る半導体装置においては、第 1 導電膜 C F 1 と第 2 導電膜 C F 2 との間の絶縁耐圧が不足するおそれがある。

【 0 0 7 6 】

他方で、第 1 実施形態に係る半導体装置においては、上記のような切断箇所は存在しないため、第 1 導電膜 C F 1 と第 2 導電膜 C F 2 との間の絶縁耐圧を高めることができる。

40

【 0 0 7 7 】

第 1 実施形態に係る半導体装置において、第 1 導電膜 C F 1 の上面にハードマスク H M が配置されている場合、ハードマスク H M により、第 1 導電膜 C F 1 の上面と第 2 導電膜 C F 2 の上面との間の絶縁耐圧を高めることができる。

【 0 0 7 8 】

A H A O 膜は、例えば O N O 膜と比較して、誘電率が高い。そのため、第 1 導電膜 C F 1 に印加される電圧を下げる可以降低。第 1 導電膜 C F 1 に印加される電圧が低下した場合、絶縁スペーサ I S S 1 の膜厚を薄くしたとしても、第 1 導電膜 C F 1 と第 2 導電膜 C F 2 との間の絶縁耐圧を確保しやすい。

50

【 0 0 7 9 】

そのため、第 1 実施形態に係る半導体装置において、第 1 ゲート絶縁膜 G I F 1 が A H A O 膜である場合、フラッシュメモリセルのセル面積を縮小することができる。また、この場合には、絶縁スペーサ I S S 1 の膜厚を薄くすることにより第 1 メモリゲート部 C F 1 b と第 1 制御ゲート部 C F 2 b との間隔（第 2 メモリゲート部 C F 1 c と第 2 制御ゲート部 C F 2 c との間隔）を狭めることができるため、フラッシュメモリセルの電流駆動能力を改善することができる。

【 0 0 8 0 】

第 1 実施形態に係る半導体装置においては、第 1 メモリゲート部 C F 1 b 及び第 2 メモリゲート部 C F 1 c が互いに接続されているため、第 1 メモリゲート部 C F 1 b の電位と第 2 メモリゲート部 C F 1 c の電位とが同電位となっている。同様に、第 1 制御ゲート部 C F 2 b 及び第 2 制御ゲート部 C F 2 c が互いに接続されているため、第 1 制御ゲート部 C F 2 b の電位と第 2 制御ゲート部 C F 2 c の電位とが同電位となっている。

10

【 0 0 8 1 】

第 1 実施形態に係る半導体装置が配線 W L 2 a 及び配線 W L 2 b を有している場合、フラッシュメモリセル M C 1 とフラッシュメモリセル M C 2 を独立して動作させることができる。

【 0 0 8 2 】

他方で、第 1 実施形態に係る半導体装置が、配線 W L 2 a 及び配線 W L 2 b に代えて配線 W L 2 c を有している場合、フラッシュメモリセル M C 1 とフラッシュメモリセル M C 2 とを独立して動作させることができない。

20

【 0 0 8 3 】

しかし、この場合には、フラッシュメモリセル M C 1 とフラッシュメモリセル M C 2 とが一体として動作することにより、第 1 ゲート絶縁膜 G I F 1 における電荷蓄積量が倍加する。その結果、フラッシュメモリセルのデータ保持特性を改善することができる。

【 0 0 8 4 】

以下に、第 1 実施形態に係る半導体装置の製造方法の効果を説明する。

第 1 実施形態に係る半導体装置は、例えば、第 1 導電膜 C F 1 を 1 回のパターンニングにより第 1 接続部 C F 1 a と、第 1 メモリゲート部 C F 1 b と、第 2 メモリゲート部 C F 1 c と、第 2 接続部 C F 1 d とを有するようにするとともに、第 1 導電膜 C F 1 を覆うように成膜された第 2 導電膜 C F 2 をエッチバックすることで形成することも可能である。

30

【 0 0 8 5 】

しかし、この場合には、第 2 導電膜 C F 2 をエッチバックした際に、第 1 導電膜 C F 1 の外周側のみならず、第 1 導電膜 C F 1 の内周側にも、第 2 導電膜 C F 2 が残存してしまう。この第 1 導電膜 C F 1 の内周側に残存した第 2 導電膜 C F 2 は、エッチングにより除去される必要がある。しかし、このエッチングの際に、第 2 導電膜 C F 2 の下にある第 2 ゲート絶縁膜 G I F 2 が除去される。そして、この第 2 ゲート絶縁膜 G I F 2 は通常は非常に薄いため、第 2 ゲート絶縁膜 G I F 2 の下にある半導体基板 S U B（具体的には、ソース領域 S R が形成される半導体基板 S U B の部分）も、部分的に除去されてしまう。

【 0 0 8 6 】

他方で、第 1 実施形態に係る半導体装置の製造方法においては、第 1 導電膜 C F 1 は、2 回のパターンニング（第 1 パターンニング工程 S 4 及び第 2 パターンニング工程 S 9）を経ることにより、第 1 接続部 C F 1 a と、第 1 メモリゲート部 C F 1 b と、第 2 メモリゲート部 C F 1 c と、第 2 接続部 C F 1 d とを有ようになる。第 2 導電膜 C F 2 に対するエッチバック（エッチバック工程 S 8）を行う時点では、第 1 導電膜 C F 1 に対する 2 回目のパターンニング（第 2 パターンニング工程 S 9）が行われていない。

40

【 0 0 8 7 】

そのため、第 2 導電膜 C F 2 に対するエッチバックを行った後において、第 2 導電膜 C F 2 は、第 1 導電膜 C F 1 の外周側にのみ残存する。そのため、第 1 実施形態に係る半導体装置の製造方法によると、ソース領域 S R が形成される部分の半導体基板 S U B が部分的

50

に除去されてしまうことを、抑制できる。

【 0 0 8 8 】

(第 2 実施形態)

以下に、第 2 実施形態に係る半導体装置の構成を説明する。以下においては、第 1 実施形態に係る半導体装置の構成と異なる点を説明し、重複する説明は繰り返さないものとする。

【 0 0 8 9 】

第 2 実施形態に係る半導体装置の構成は、半導体基板 SUB と、第 1 導電膜 CF 1 と、第 2 導電膜 CF 2 と、第 1 ゲート絶縁膜 GIF 1 と、第 2 ゲート絶縁膜 GIF 2 と、絶縁スペーサ ISS 1 と、配線 WL 2 a 及び配線 WL 2 b (又は、配線 WL 2 c) とを有している点に関して、第 1 実施形態に係る半導体装置の構成と共通している。

10

【 0 0 9 0 】

しかし、図 20 に示されるように、第 2 実施形態に係る半導体装置においては、第 3 導電膜 CF 3 と、第 4 導電膜 CF 4 と、絶縁スペーサ ISS 2 と、絶縁スペーサ ISS 3 とをさらに有している。これらの点に関して、第 2 実施形態に係る半導体装置の構成は、第 1 実施形態に係る半導体装置の構成と異なっている。以下においては、この相違点を中心に説明する。

【 0 0 9 1 】

第 3 導電膜 CF 3 及び第 4 導電膜 CF 4 は、第 1 方向 DR 1 に沿って延在している。第 3 導電膜 CF 3 は、第 2 方向 DR 2 において、第 1 導電膜 CF 1 (第 1 接続部 CF 1 a) から離間して配置されている。第 4 導電膜 CF 4 は、第 2 方向 DR 2 において、第 1 導電膜 CF 1 (第 2 接続部 CF 1 d) から離間して配置されている。すなわち、第 3 導電膜 CF 3 は第 2 方向 DR 2 において第 1 接続部 CF 1 a との間で第 3 接続部 CF 2 a を挟み込んでおり、第 4 導電膜 CF 4 は第 2 方向 DR 2 において第 2 接続部 CF 1 d との間で第 4 接続部 CF 2 d を挟み込んでいる。第 3 導電膜 CF 3 及び第 4 導電膜 CF 4 は、平面視において、第 3 矩形形状を有している。第 3 矩形形状は、第 1 方向 DR 1 に平行な辺と、第 2 方向 DR 2 に平行な辺とを有している。

20

【 0 0 9 2 】

絶縁スペーサ ISS 2 は、平面視において第 3 導電膜 CF 3 の外周を取り囲んでいる。絶縁スペーサ ISS 3 は、平面視において第 4 導電膜 CF 4 の外周を取り囲んでいる。

【 0 0 9 3 】

第 2 導電膜 CF 2 は、平面視において、絶縁スペーサ ISS 2 を介在して第 3 導電膜 CF 3 の外周を取り囲んでおり、絶縁スペーサ ISS 3 を介在して第 4 導電膜 CF 4 の外周を取り囲んでいる。より具体的には、第 2 導電膜 CF 2 は、第 5 接続部 CF 2 e と、第 6 接続部 CF 2 f とをさらに有している。第 5 接続部 CF 2 e は、平面視において第 3 接続部 CF 2 a とともに第 3 導電膜 CF 3 の外周を取り囲んでいる。第 6 接続部 CF 2 f は、平面視において第 4 接続部 CF 2 d とともに第 4 導電膜 CF 4 の外周を取り囲んでいる。

30

【 0 0 9 4 】

コンタクトプラグ CP 3 は、第 5 接続部 CF 2 e に電氣的に接続されている。コンタクトプラグ CP 4 は、第 6 接続部 CF 2 f に電氣的に接続されている。このことを別の観点からいえば、第 5 接続部 CF 2 e 及び第 6 接続部 CF 2 f は、第 2 導電膜 CF 2 のシャント領域となっている。コンタクトプラグ CP 3 (コンタクトプラグ CP 4) は、平面視において、第 5 接続部 CF 2 e を跨ぎ、かつ、第 3 導電膜 CF 3 に達するように (第 6 接続部 CF 2 f を跨ぎ、かつ、第 4 導電膜 CF 4 に達するように) 配置されている。

40

【 0 0 9 5 】

第 3 導電膜 CF 3 及び第 4 導電膜 CF 4 は、絶縁スペーサ ISS 2 及び絶縁スペーサ ISS 3 により、第 1 導電膜 CF 1 から電氣的に分離されている。そのため、コンタクトプラグ CP 3 が第 3 導電膜 CF 3 に達するように (コンタクトプラグ CP 4 が第 4 導電膜 CF 4 に達するように) 配置されたとしても、第 1 導電膜 CF 1 と第 2 導電膜 CF 2 とが短絡することはない。また、コンタクトプラグ CP 3 (コンタクトプラグ CP 4) が第 5 接続部 CF 2 e (第 6 接続部 CF 2 f) を跨ぐように配置されていることにより、コンタクト

50

プラグ C P 3 (コンタクトプラグ C P 4) の形成箇所がずれたとしても、第 5 接続部 C F 2 e (第 6 接続部 C F 2 f) との接触面積を確保することができる。

【0096】

以下に、第 2 実施形態に係る半導体装置の製造方法を説明する。以下においては、第 1 実施形態に係る半導体装置の製造方法と異なる点を説明し、重複する説明は繰り返さないものとする。

【0097】

第 2 実施形態に係る半導体装置の製造方法は、半導体基板準備工程 S 1 と、第 1 ゲート絶縁膜形成工程 S 2 と、第 1 導電膜成膜工程 S 3 と、第 1 パターンニング工程 S 4 と、絶縁スペーサ形成工程 S 5 と、第 2 ゲート絶縁膜形成工程 S 6 と、第 2 導電膜成膜工程 S 7 と、エッチバック工程 S 8 と、第 2 パターンニング工程 S 9 とを有している。

10

【0098】

第 2 実施形態に係る半導体装置の製造方法において、第 1 パターンニング工程 S 4 は、ハードマスク成膜工程 S 4 1 と、ハードマスクパターンニング工程 S 4 2 と、エッチング工程 S 4 3 とを有している。これらの点に関して、第 2 実施形態に係る半導体装置の製造方法は、第 1 実施形態に係る半導体装置の製造方法と共通している。

【0099】

しかし、第 2 実施形態に係る半導体装置の製造方法は、ハードマスクパターンニング工程 S 4 2 の詳細、絶縁スペーサ形成工程 S 5 の詳細及びエッチバック工程 S 8 の詳細に関して、第 1 実施形態に係る半導体装置の製造方法と異なっている。以下においては、この相違点を中心に説明する。

20

【0100】

図 2 1 に示されるように、ハードマスクパターンニング工程 S 4 2 において、ハードマスク HM (及びフォトレジスト P R 1) は、第 1 領域 R 1、第 3 領域 R 3 及び第 4 領域 R 4 を覆うようにパターンニングされる。第 3 領域 R 3 は、第 2 方向 D R 2 において、第 1 領域 R 1 から離間している。第 4 領域 R 4 は、第 2 方向 D R 2 において、第 1 領域 R 1 から離間している。第 3 領域 R 3 及び第 4 領域 R 4 は、平面視において、第 3 矩形形状を有している。第 3 領域 R 3 及び第 4 領域 R 4 は、それぞれ、第 2 方向 D R 2 において、第 1 領域 R 1 に関して反対側にある。そのため、エッチング工程 S 4 3 により、第 1 導電膜 C F 1 に加え、第 3 導電膜 C F 3 及び第 4 導電膜 C F 4 が残存するように、第 1 導電膜 C F 1 がパターンニングされる。

30

【0101】

なお、エッチング工程 S 4 3 が行われた後の段階において第 3 導電膜 C F 3 及び第 4 導電膜 C F 4 が残存しているため、絶縁スペーサ形成工程 S 5 においては、第 1 導電膜 C F 1 の側壁上に絶縁スペーサ I S S 1 が形成されるとともに、第 3 導電膜 C F 3 の側壁上に絶縁スペーサ I S S 2 が形成され、第 4 導電膜 C F 4 の側壁上に絶縁スペーサ I S S 3 が形成される。

【0102】

図 2 2 に示されるように、第 2 実施形態に係る半導体装置の製造方法においては、エッチバック工程 S 8 が行われる時点で、第 3 導電膜 C F 3 及び第 4 導電膜 C F 4 が形成されている。そのため、エッチバック工程 S 8 においてエッチバックが行われることにより、第 3 導電膜 C F 3 及び第 4 導電膜 C F 4 の側壁に沿って、第 2 導電膜 C F 2 が残存する。この残存した第 2 導電膜 C F 2 は、第 5 接続部 C F 2 e 及び第 6 接続部 C F 2 f となる。

40

【0103】

以下に、第 2 実施形態に係る半導体装置の効果を説明する。以下においては、第 1 実施形態に係る半導体装置の効果と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【0104】

第 1 実施形態に係る半導体装置においては、第 2 導電膜 C F 2 のシャント領域の幅として、第 3 接続部 C F 2 a の幅 (第 4 接続部 C F 2 d の幅) 以上の幅を確保することができな

50

い。そのため、コンタクトホール C H を形成する際にマスクずれが生じた場合、コンタクトプラグ C P 3 が第 3 接続部 C F 2 a と電氣的に接続されない（コンタクトプラグ C P 4 が第 4 接続部 C F 2 d と電氣的に接続されない）、またはコンタクトプラグ C P 3 が第 1 接続部 C F 1 a と第 3 接続部 C F 2 a の双方に電氣的に接続されてしまう（コンタクトプラグ C P 4 が第 2 接続部 C F 1 d と第 4 接続部 C F 2 d の双方に電氣的に接続されてしまう）、といった事態が生じるおそれがある。

【 0 1 0 5 】

これに対し、第 2 実施形態に係る半導体装置においては、コンタクトプラグ C P 3 は、第 5 接続部 C F 2 e と第 3 導電膜 C F 3 とに跨って形成されてもよい（コンタクトプラグ C P 4 は、第 6 接続部 C F 2 f と第 4 導電膜 C F 4 とに跨って形成されてもよい）ため、第 2 導電膜 C F 2 のシャント領域を相対的に広く確保することができる。したがって、第 2 実施形態に係る半導体装置によると、コンタクトプラグ C P 3（コンタクトプラグ C P 4）が第 2 導電膜 C F 2 と電氣的に接続されないこと及び第 1 導電膜 C F 1 と第 2 導電膜 C F 2 とを短絡させてしまうことを抑制することができる。

10

【 0 1 0 6 】

（第 3 実施形態）

以下に、第 3 実施形態に係る半導体装置の構成を説明する。以下においては、第 1 実施形態に係る半導体装置の構成と異なる点を説明し、重複する説明は繰り返さないものとする。

【 0 1 0 7 】

第 3 実施形態に係る半導体装置の構成は、半導体基板 S U B と、第 1 導電膜 C F 1 と、第 2 導電膜 C F 2 と、第 1 ゲート絶縁膜 G I F 1 と、第 2 ゲート絶縁膜 G I F 2 と、絶縁スペーサ I S S 1 と、配線 W L 2 c とを有している点に関して、第 1 実施形態に係る半導体装置の構成と共通している。

20

【 0 1 0 8 】

しかし、図 2 3 に示されるように、第 3 実施形態に係る半導体装置においては、第 1 メモリゲート部 C F 1 b に第 1 切断面 C S 1 及び第 2 切断面 C S 2 が設けられており、第 2 メモリゲート部 C F 1 c に第 3 切断面 C S 3 及び第 4 切断面 C S 4 が設けられている。また、第 1 制御ゲート部 C F 2 b に第 5 切断面 C S 5 及び第 6 切断面 C S 6 が設けられており、第 2 制御ゲート部 C F 2 c に第 7 切断面 C S 7 及び第 8 切断面 C S 8 が設けられている。これらの点に関して、第 3 実施形態に係る半導体装置の構成は、第 1 実施形態に係る半導体装置の構成と異なっている。以下においては、この相違点を中心に説明する。

30

【 0 1 0 9 】

第 1 切断面 C S 1 及び第 2 切断面 C S 2 は、第 2 方向 D R 2 に交差している。好ましくは、第 1 切断面 C S 1 及び第 2 切断面 C S 2 は、第 2 方向 D R 2 に直交している。第 1 切断面 C S 1 及び第 2 切断面 C S 2 は、第 2 方向 D R 2 において互いに離間して対向している。すなわち、第 1 切断面 C S 1 と第 2 切断面 C S 2 との間において、第 1 メモリゲート部 C F 1 b は、除去されている。

【 0 1 1 0 】

第 3 切断面 C S 3 及び第 4 切断面 C S 4 は、第 2 方向 D R 2 に交差している。好ましくは、第 3 切断面 C S 3 及び第 4 切断面 C S 4 は、第 2 方向 D R 2 に直交している。第 3 切断面 C S 3 及び第 4 切断面 C S 4 は、第 2 方向 D R 2 において互いに離間して対向している。すなわち、第 3 切断面 C S 3 と第 4 切断面 C S 4 との間において、第 2 メモリゲート部 C F 1 c は、除去されている。

40

【 0 1 1 1 】

第 5 切断面 C S 5 及び第 6 切断面 C S 6 は、第 2 方向 D R 2 に交差している。好ましくは、第 5 切断面 C S 5 及び第 6 切断面 C S 6 は、第 2 方向 D R 2 に直交している。第 5 切断面 C S 5 及び第 6 切断面 C S 6 は、第 2 方向 D R 2 において互いに離間して対向している。すなわち、第 5 切断面 C S 5 と第 6 切断面 C S 6 との間において、第 1 制御ゲート部 C F 2 b は、除去されている。

【 0 1 1 2 】

50

第7切断面CS7及び第8切断面CS8は、第2方向DR2に交差している。好ましくは、第7切断面CS7及び第8切断面CS8は、第2方向DR2に直交している。第7切断面CS7及び第8切断面CS8は、第2方向DR2において互いに離間して対向している。すなわち、第7切断面CS7と第8切断面CS8との間において、第2制御ゲート部CF2cは、除去されている。

【0113】

第1切断面CS1及び第2切断面CS2は、平面視において第5切断面CS5と第6切断面CS6との間にある。第3切断面CS3及び第4切断面CS4は、平面視において第7切断面CS7と第8切断面CS8との間にある。すなわち、第1制御ゲート部CF2bは、第1メモリゲート部CF1bよりも第2方向DR2において広い範囲で除去されており、第2制御ゲート部CF2cは、第2メモリゲート部CF1cよりも第2方向DR2において広い範囲で除去されている。

10

【0114】

以下に、第3実施形態に係る半導体装置の製造方法を説明する。以下においては、第1実施形態に係る半導体装置の製造方法と異なる点を説明し、重複する説明は繰り返さないものとする。

【0115】

第3実施形態に係る半導体装置の製造方法は、半導体基板準備工程S1と、第1ゲート絶縁膜形成工程S2と、第1導電膜成膜工程S3と、第1パターンニング工程S4と、絶縁スペーサ形成工程S5と、第2ゲート絶縁膜形成工程S6と、第2導電膜成膜工程S7と、エッチバック工程S8と、第2パターンニング工程S9とを有している。

20

【0116】

第3実施形態に係る半導体装置の製造方法において、第1パターンニング工程S4は、ハードマスク成膜工程S41と、ハードマスクパターンニング工程S42と、エッチング工程S43とを有している。これらの点に関して、第3実施形態に係る半導体装置の製造方法は、第1実施形態に係る半導体装置の製造方法と共通している。

【0117】

しかし、図24に示されるように、第3実施形態に係る半導体装置の製造方法は、第3パターンニング工程S10をさらに有している。また、第3実施形態に係る製造方法において、第2パターンニング工程S9は、その詳細に関して、第1実施形態に係る半導体装置の製造方法における第2パターンニング工程S9と異なっている。これらの点に関し、第3実施形態に係る半導体装置の製造方法は、第1実施形態に係る半導体装置の製造方法と異なっている。以下においては、この相違点を中心に説明する。

30

【0118】

第3パターンニング工程S10は、エッチバック工程S8の後であって、第2パターンニング工程S9の前に行われる。第3パターンニング工程S10においては、第1に、フォトレジストPR3が形成される。図25に示されるように、フォトレジストPR3は、第5領域R5及び第6領域R6に開口が設けられている。

【0119】

第5領域R5及び第6領域R6は、第4矩形形状を有している。第4矩形形状は、第1方向DR1に平行な辺と、第2方向DR2に平行な辺とを有している。第5領域R5は、第1方向DR1に沿って第1制御ゲート部CF2bを跨ぎ、かつ、第1導電膜CF1に達するように配置される。第6領域R6は、第1方向DR1に沿って第2制御ゲート部CF2cを跨ぎ、かつ、第1導電膜CF1に達するように配置される。これにより、フォトレジストPR3を形成する際に第1方向DR1に沿ったマスクずれが生じたとしても、第5切断面CS5、第6切断面CS6、第7切断面CS7及び第8切断面CS8を形成することができる。なお、第5領域R5及び第6領域R6が第1方向DR1において第1導電膜CF1に達するように配置されていても、第1導電膜CF1の上面にはハードマスクHMがあるため、第3パターンニング工程S10において、第1導電膜CF1はエッチングされない。

40

50

【 0 1 2 0 】

第3パターンニング工程S 1 0においては、第2に、フォトリジストP R 3を用いてエッチングが行われる。このエッチングは、例えば、R I E等の異方性エッチングである。これにより、第1制御ゲート部C F 2 bが部分的に除去され、第5切断面C S 5と、第6切断面C S 6とが形成される。また、これにより、第2制御ゲート部C F 2 cが部分的に除去され、第7切断面C S 7と、第8切断面C S 8とが形成される。

【 0 1 2 1 】

図26に示されるように、第2パターンニング工程S 9において、フォトリジストP R 2には、第2領域R 2、第7領域R 7及び第8領域R 8に開口が設けられている。第7領域R 7及び第8領域R 8は、第5矩形形状を有している。第5矩形形状は、平面視において、第1方向D R 1に平行な辺と、第2方向D R 2に平行な辺とを有している。第7領域R 7及び第8領域R 8の第2方向D R 2における幅は、第5領域R 5及び第6領域R 6の第2方向D R 2における幅よりも狭くなっている。

10

【 0 1 2 2 】

第7領域R 7は、第2方向D R 2において第5領域R 5に重なり、かつ、第1方向D R 1における端が第2領域R 2に達するように配置されている。第8領域R 8は、第2方向D R 2において第6領域R 6に重なり、かつ、第1方向D R 1における端が第2領域R 2に達するように配置される。

【 0 1 2 3 】

第2領域R 2、第7領域R 7及び第8領域R 8が設けられたフォトリジストP R 2を用いて第1導電膜C F 1のエッチングを行うことにより、第1接続部C F 1 aと、第1切断面C S 1及び第2切断面C S 2が設けられた第1メモリゲート部C F 1 bと、第3切断面C S 3及び第4切断面C S 4が設けられた第2メモリゲート部C F 1 cと、第2接続部C F 1 dとが形成される。

20

【 0 1 2 4 】

以下に、第3実施形態に係る半導体装置の効果を説明する。以下においては、第1実施形態に係る半導体装置の効果と異なる点を主に説明し、重複する説明は繰り返さないものとする。

【 0 1 2 5 】

第3実施形態に係る半導体装置においては、第1メモリゲート部C F 1 b、第2メモリゲート部C F 1 c、第1制御ゲート部C F 2 b及び第2制御ゲート部C F 2 cが途中で切断されている。そのため、第3実施形態に係る半導体装置においては、フラッシュメモリセルM C 1とフラッシュメモリセルM C 2とを独立して動作させることができる。

30

【 0 1 2 6 】

また、第3実施形態に係る半導体装置においては、第1制御ゲート部C F 2 bに設けられた切断面が第1メモリゲート部C F 1 bに設けられた切断面から後退しており、第2制御ゲート部C F 2 cに設けられた切断面が第2メモリゲート部C F 1 cに設けられた切断面から後退している。そのため、第3実施形態に係る半導体装置によると、第1導電膜C F 1及び第2導電膜C F 2に切断面があったとしても、第1導電膜C F 1と第2導電膜C F 2との間の絶縁耐圧を確保しやすい。

40

【 0 1 2 7 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 符号の説明 】

【 0 1 2 8 】

C F 1 第1導電膜、C F 1 a 第1接続部、C F 1 b 第1メモリゲート部、C F 1 c 第2メモリゲート部、C F 1 d 第2接続部、C F 2 第2導電膜、C F 2 a 第3接続部、C F 2 b 第1制御ゲート部、C F 2 c 第2制御ゲート部、C F 2 d 第4接続部、C F 2 e 第5接続部、C F 2 f 第6接続部、C F 3 第3導電膜、C F 4 第4導電膜、

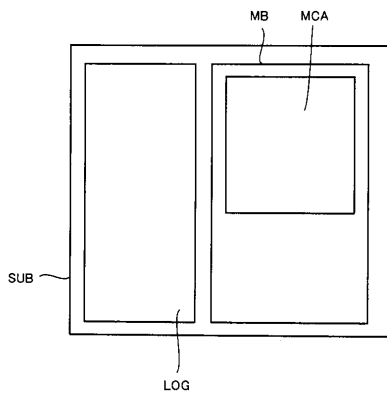
50

CP 1 , CP 2 , CP 3 , CP 4 , CP 5 , CP 6 , CP 7 コンタクトプラグ、CH コンタクトホール、CS 1 第1切断面、CS 2 第2切断面、CS 3 第3切断面、CS 4 第4切断面、CS 5 第5切断面、CS 6 第6切断面、CS 7 第7切断面、CS 8 第8切断面、DIS 1 , DIS 2 距離、DR 1 第1方向、DR 2 第2方向、DRA 1 第1ドレイン領域、DRA 2 第2ドレイン領域、FS 第1面、GIF 1 第1ゲート絶縁膜、GIF 2 第2ゲート絶縁膜、HM ハードマスク、ILD 1 , ILD 2 層間絶縁膜、ISS 1 , ISS 2 , ISS 4 絶縁スペーサ、LOG ロジック部、MC 1 , MC 2 フラッシュメモリセル、MCA アレイ、OP 開口部、PR 1 , PR 2 , PR 3 フォトリソグリス、R 1 第1領域、R 2 第2領域、R 3 第3領域、R 4 第4領域、R 5 第5領域、R 6 第6領域、R 7 第7領域、R 8 第8領域、S 1 半導体基板準備工程、S 2 第1ゲート絶縁膜形成工程、S 3 第1導電膜成膜工程、S 4 第1パターンニング工程、S 5 絶縁スペーサ形成工程、S 6 第2ゲート絶縁膜形成工程、S 7 第2導電膜成膜工程、S 8 エッチバック工程、S 9 第2パターンニング工程、S 10 第3パターンニング工程、S 41 ハードマスク成膜工程、S 42 ハードマスクパターンニング工程、S 43 エッチング工程、SR ソース領域、SS 第2面、SUB 半導体基板、WL 1 a , WL 1 b , WL 1 c , WL 2 a , WL 2 c , WL 2 b 配線、WR ウェル領域。

【図面】

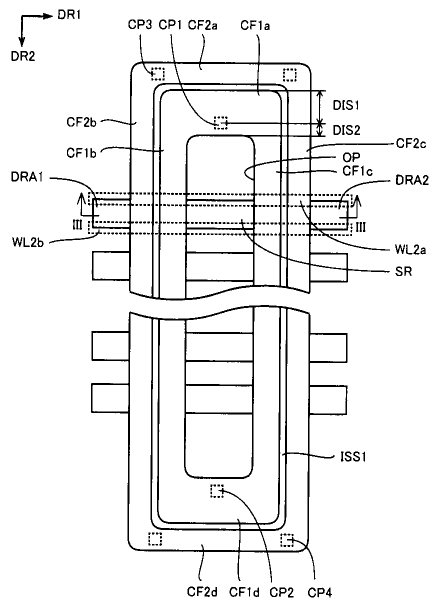
【図 1】

図1



【図 2】

図2



10

20

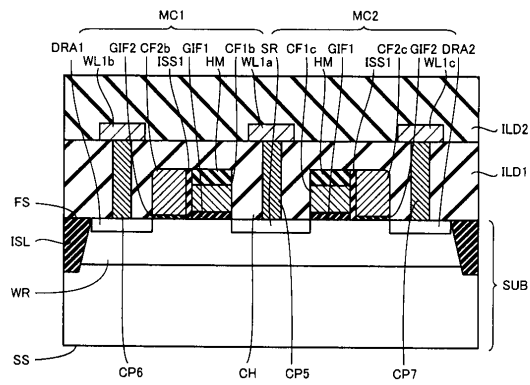
30

40

50

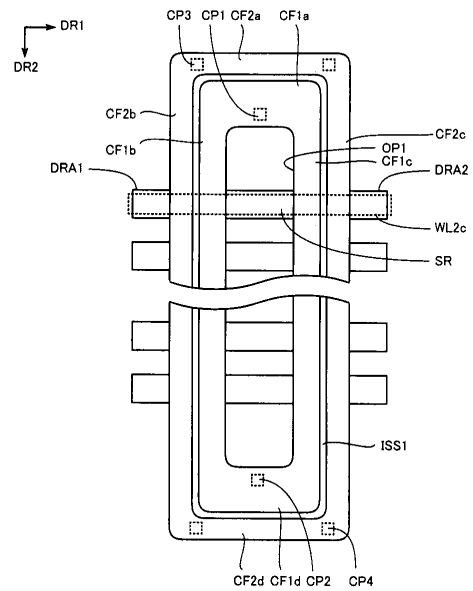
【 図 3 】

图3



【 図 4 】

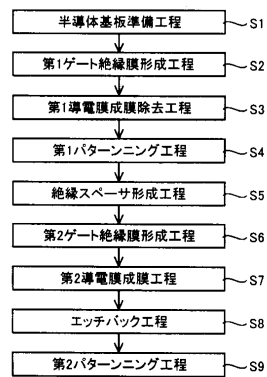
图 4



10

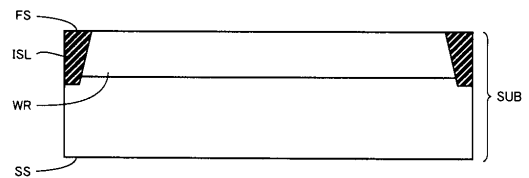
【 図 5 】

图5



【 図 6 】

图6



20

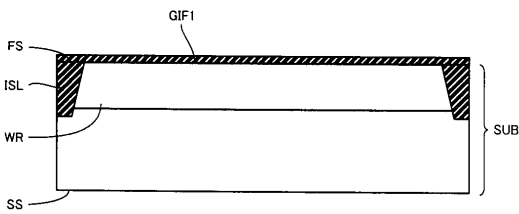
30

40

50

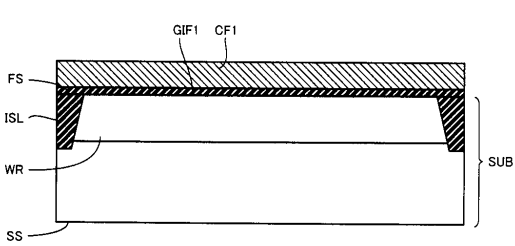
【図 7】

図7



【図 8】

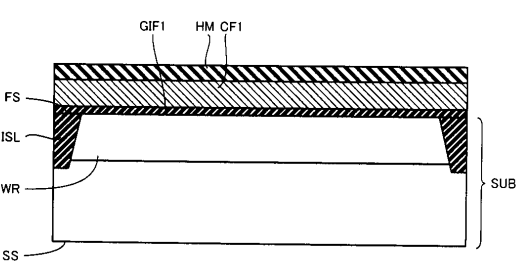
図8



10

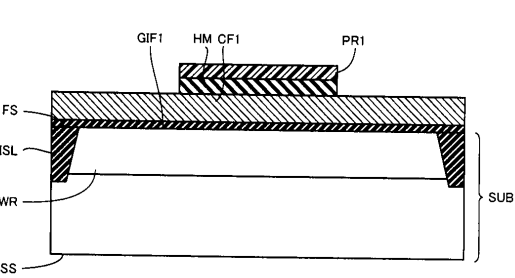
【図 9】

図9



【図 10】

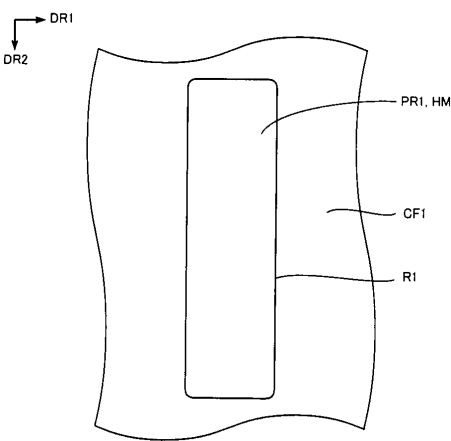
図10



20

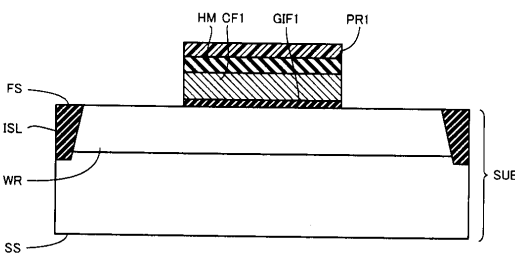
【図 11】

図11



【図 12】

図12



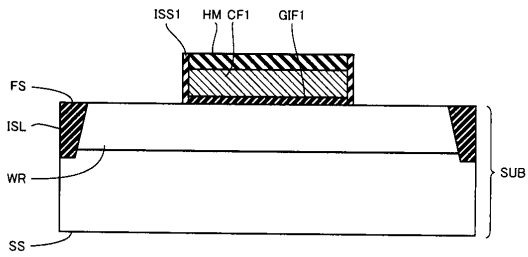
30

40

50

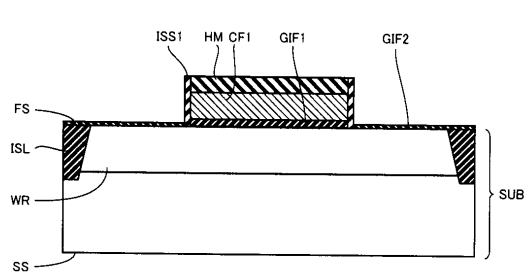
【図 13】

図13



【図 14】

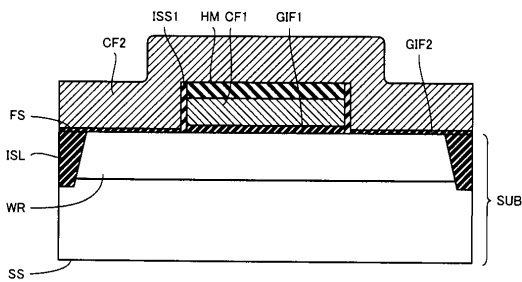
図14



10

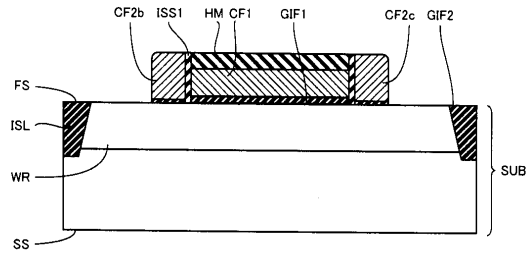
【図 15】

図15



【図 16】

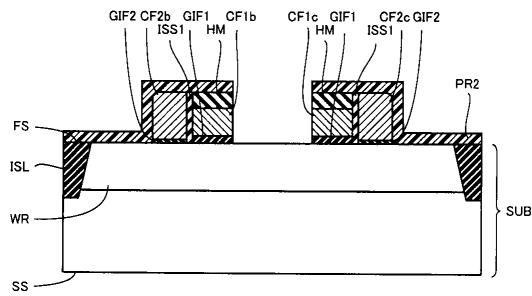
図16



20

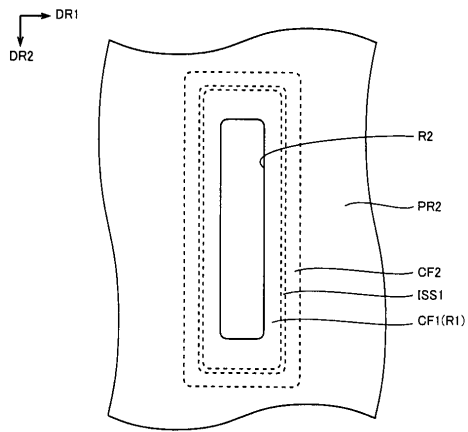
【図 17】

図17



【図 18】

図18



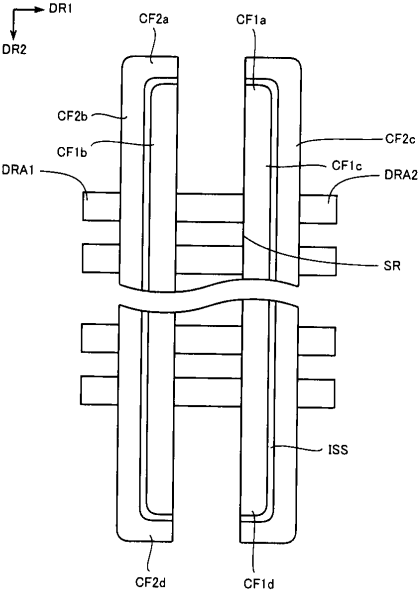
30

40

50

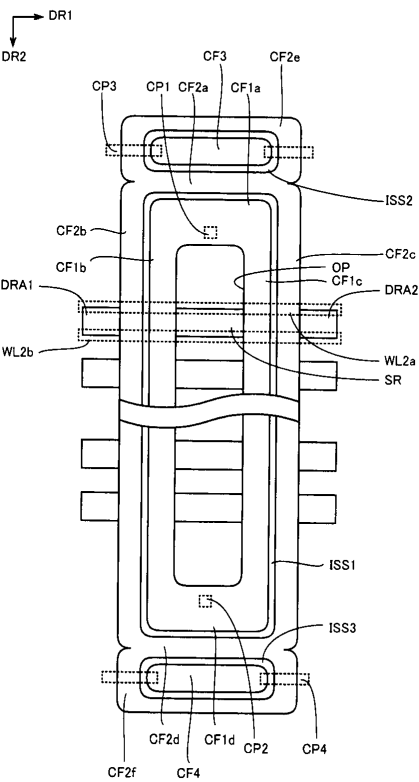
【図 19】

図19



【図 20】

図20

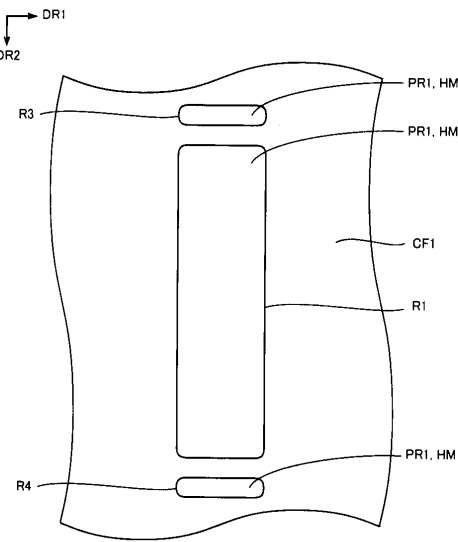


10

20

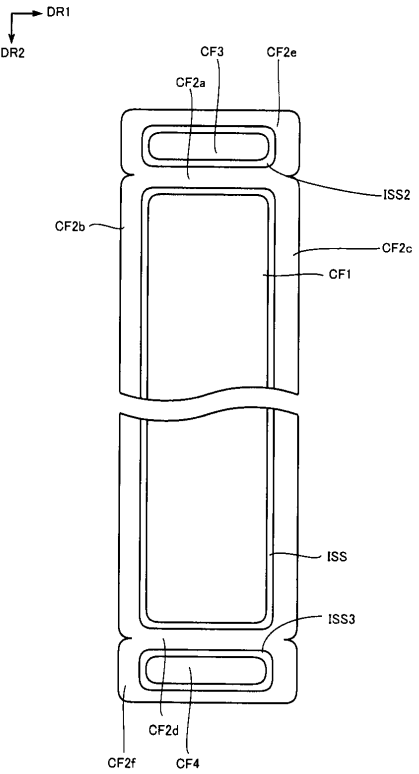
【図 21】

図21



【図 22】

図22



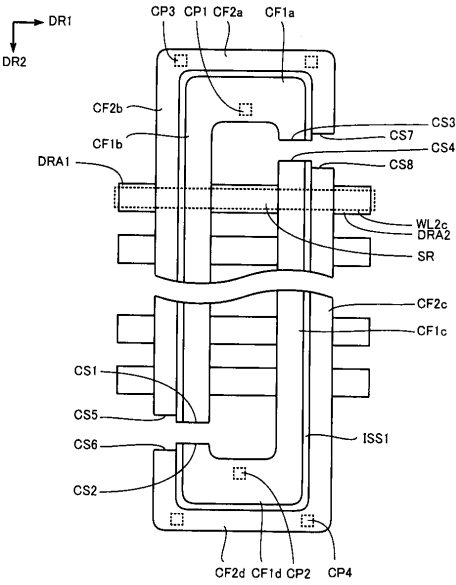
30

40

50

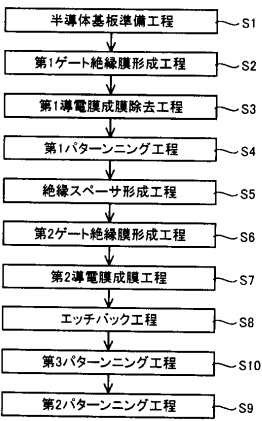
【図 2 3】

図23



【図 2 4】

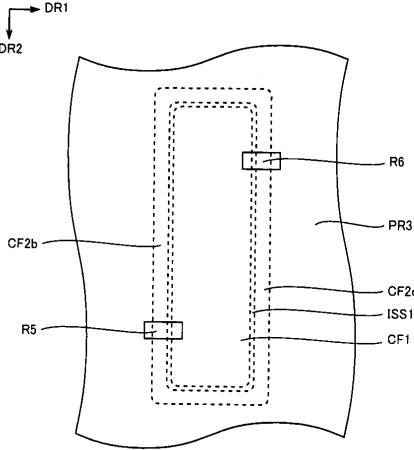
図24



10

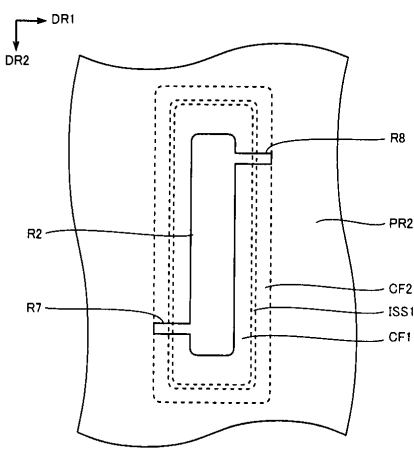
【図 2 5】

図25



【図 2 6】

図26



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 0 - 2 5 1 5 5 7 (J P , A)
国際公開第 2 0 1 6 / 0 6 0 0 1 4 (W O , A 1)
特開 2 0 1 6 - 1 9 2 4 3 0 (J P , A)
特開 2 0 1 5 - 0 5 3 4 7 4 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 0 4 3 0 9 7 (U S , A 1)
米国特許出願公開第 2 0 0 7 / 0 1 4 1 7 8 0 (U S , A 1)
国際公開第 2 0 1 7 / 0 5 7 2 4 2 (W O , A 1)
特開 2 0 0 7 - 3 3 5 7 6 3 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 7 / 1 1 5 6 5
H 0 1 L 2 7 / 1 1 5 6 8