

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5555685号  
(P5555685)

(45) 発行日 平成26年7月23日 (2014. 7. 23)

(24) 登録日 平成26年6月6日 (2014. 6. 6)

(51) Int. Cl.

F I

H O 1 L 27/105 (2006. 01)

H O 1 L 27/10 4 4 7

H O 1 L 21/8246 (2006. 01)

H O 1 L 29/82 Z

H O 1 L 29/82 (2006. 01)

H O 1 L 43/08 Z

H O 1 L 43/08 (2006. 01)

請求項の数 15 (全 11 頁)

(21) 出願番号 特願2011-275641 (P2011-275641)  
 (22) 出願日 平成23年12月16日 (2011. 12. 16)  
 (65) 公開番号 特開2012-134495 (P2012-134495A)  
 (43) 公開日 平成24年7月12日 (2012. 7. 12)  
 審査請求日 平成24年7月31日 (2012. 7. 31)  
 (31) 優先権主張番号 12/973, 536  
 (32) 優先日 平成22年12月20日 (2010. 12. 20)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500373758  
 シーゲイト テクノロジー エルエルシー  
 アメリカ合衆国、95014 カリフォル  
 ニア州、クパチーノ、サウス・デ・アンザ  
 ・ブールバード、10200  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 シー・ハイウェン  
 アメリカ合衆国、95120 カリフォル  
 ニア州、サン・ノゼ、チコリ・コート、1  
 111  
 (72) 発明者 アントワン・コウエアー  
 アメリカ合衆国、55124 ミネソタ州  
 、アップル・バレー、ドウェラーズ・ウェ  
 イ、15578

最終頁に続く

(54) 【発明の名称】 磁気スタックおよびメモリセル、ならびにセルを製造する方法

(57) 【特許請求の範囲】

【請求項 1】

磁気スタックであって、下から順番に積層される、下部電極と、合成反強磁性層 (S A F) と、磁気トンネル接合と、磁気自由層と、上部電極とを備え、  
前記磁気トンネル接合、前記磁気自由層および前記上部電極の横方向に配置されて、前  
記磁気トンネル接合を超えて横方向に伸延する前記 S A F のピニング領域との接触を通じ  
て、前記 S A F の磁化を固定する反強磁性層 (A F M) と、前記磁気自由層および前記上部電極から、前記反強磁性層 (A F M) を物理的かつ磁気  
的に分離するための非磁気スペーサ層とを備えた磁気スタック。

【請求項 2】

トンネル磁気抵抗効果は、昇温および面内磁場の存在下における焼鈍を通して増加され  
る、請求項 1 に記載の磁気スタック。

【請求項 3】

前記ピニング領域は、焼鈍中に、揮発性 A F M 原子の拡散を抑制する、請求項 1 に記載  
の磁気スタック。

【請求項 4】

前記磁気自由層は、第 1 の幅を有し、

前記磁気トンネル接合は、第 2 の幅を有し、

前記 S A F は、第 3 の幅を有し、

前記ピニング領域は、前記第 2 の幅と前記第 3 の幅との差によって定められる、請求項 1 に記載の磁気スタック。

【請求項 5】

前記ピニング領域は、前記磁気自由層の横方向の両側に配置される、請求項 1 に記載の磁気スタック。

【請求項 6】

磁気スタックであって、

下から順番に積層される、下部電極と、単一の強磁性層と、磁気トンネル接合と、磁気自由層と、上部電極とを備え、

前記磁気トンネル接合、前記磁気自由層および前記上部電極の横方向に配置されて、前記磁気トンネル接合を超えて横方向に伸延する前記単一の強磁性層のピニング領域との接触を通じて、前記単一の強磁性層の磁化を固定する反強磁性層 (AFM) と、

前記磁気自由層および前記上部電極から、前記反強磁性層 (AFM) を物理的かつ磁氣的に分離するための非磁気スペーサ層とを備えた磁気スタック。

【請求項 7】

前記 AFM は、マンガ化合物である、請求項 1 に記載の磁気スタック。

【請求項 8】

前記マンガ化合物は、IrMnである、請求項 7 に記載の磁気スタック。

【請求項 9】

前記磁気スタックは不揮発性であり、スピン偏極電流を用いて前記磁気自由層に論理状態がプログラムされる、請求項 1 に記載の磁気スタック。

【請求項 10】

下から順番に積層される、下部電極と、合成反強磁性層 (SAF) と、磁気トンネル接合と、磁気自由層と、上部電極とを提供するステップと、

前記磁気トンネル接合、前記磁気自由層および前記上部電極の横方向に反強磁性層 (AFM) を提供するステップと、

前記磁気自由層および前記上部電極から、前記反強磁性層 (AFM) を物理的かつ磁氣的に分離するための非磁気スペーサ層を提供するステップと、

前記 AFM を用いて、前記磁気トンネル接合を超えて横方向に伸延する前記 SAF のピニング領域との接触を通じて、前記 SAF の磁化を固定するステップとを備える、方法。

【請求項 11】

前記 AFM は、交換バイアス場を用いて前記 SAF を固定する、請求項 10 に記載の方法。

【請求項 12】

前記 SAF は、前記磁気自由層の幅の少なくとも 2 倍の長さの幅を有する、請求項 10 に記載の方法。

【請求項 13】

前記ピニング領域は、前記磁気トンネル接合の側面部を除去することによって形成される、請求項 10 に記載の方法。

【請求項 14】

メモリセルであって、

下から順番に積層される、下部電極と、合成反強磁性層 (SAF) と、磁気トンネル接合と、磁気自由層と、上部電極とを備え、前記磁気自由層は、第 1 の幅を有し、前記磁気トンネル接合は、前記第 1 の幅よりも大きい第 2 の幅を有し、前記合成反強磁性層 (SAF) は、少なくとも前記第 1 の幅の 2 倍である第 3 の幅を有し、

前記磁気トンネル接合、前記磁気自由層および前記上部電極の横方向に配置されて、前記磁気トンネル接合を超えて横方向に伸延する前記 SAF のピニング領域との接触を通じて、前記 SAF の磁化を固定する反強磁性層 (AFM) と、

前記磁気自由層および前記上部電極から、前記反強磁性層 (AFM) を物理的かつ磁氣的に分離するための非磁気スペーサ層とを備え、

10

20

30

40

50

前記ピニング領域は、昇温および面内磁場の存在下における焼鈍中に、A F M原子の拡散を抑制する、メモリセル。

【請求項 1 5】

前記 A F M 原子の拡散の抑制は、前記 S A F の磁気安定性を増加し、

前記焼鈍は、前記メモリセルについてのトンネル磁気抵抗を増加する、請求項 1 4 に記載のメモリセル。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

要約

本発明のさまざまな実施形態は、概して、横方向磁気ピニング層を用いて構成される不揮発性メモリセルに向けられる。

【発明の概要】

【課題を解決するための手段】

【0 0 0 2】

さまざまな実施形態に従えば、磁気自由層は、非磁気スペーサ層によって反強磁性層 (A F M) から横方向に分離されるとともに、磁気トンネル接合によって合成反強磁性層 (S A F) から内側に分離される。A F Mは、磁気トンネル接合を超えて横方向に伸延する S A F のピニング領域との接触を通じて S A F の磁化を固定する。

【0 0 0 3】

本発明のさまざまな実施形態を特徴付けるこれらおよび他の多くの特徴および利点は、以下の詳細な議論および添付の図面に照らして理解することができる。

【図面の簡単な説明】

【0 0 0 4】

【図 1】本発明のさまざまな実施形態に従って構築されかつ動作される、例示的なデータ記憶装置の概略機能ブロック図である。

【図 2】図 1 の装置のメモリアレイからデータを読み出し、かつデータを書込むために用いられる回路を示す図である。

【図 3】メモリアレイのメモリセルにデータが書込まれる態様を概略的に示す図である。

【図 4】図 3 のメモリセルからデータが読み出される態様を概略的に示す図である。

【図 5】本発明のさまざまな実施形態に従って構築されかつ動作される例示的なメモリセルを示す図である。

【図 6】本発明のさまざまな実施形態に従って構築されかつ動作される例示的なメモリセルの等角図である。

【図 7】メモリセルの例示的な代替構造を示す図である。

【図 8】本発明のさまざまな実施形態に従って実行される、例示的な「セル製造」ルーチンのフロー図、および、対応する例示的な磁気スタックを示す図である。

【発明を実施するための形態】

【0 0 0 5】

詳細な説明

本開示は、概して、スピントルクランダムアクセスメモリ (S T R A M) セルのような、不揮発性メモリセルに関する。ソリッドステート不揮発性メモリは、フォームファクタを低減しつつ、信頼性のあるデータ記憶および高速データ転送を提供することを狙った、開発中の技術である。しかしながら、低い全体のデータ容量をもたらす大スイッチング電流、低動作マージン、および低面積密度のような、ソリッドステートセルに関連するいくつかの問題は、実際の用途を抑制する。最近の試みにおいては、高揮発性は、セルのトンネル磁気抵抗 (T M R) 効果を低下させることによって、ソリッドステートセルをさらに苦しみ、それはセルの読出可能性 (readability) および書込可能性 (writeability) を低減させる。

【0 0 0 6】

したがって、磁気自由層に横方向に配置された反強磁性層（A F M）によって磁気的に固定される合成反強磁性（S A F）層を有するソリッドステート不揮発性メモリセルは、読出可能性および書込可能性を強化しながら、揮発性を低減する。A F Mの自由層への横方向の配向は、A F Mからの揮発性原子拡散を通して揮発性を同時に増加することなく、セルのT M Rを増加するための高温焼鈍を可能にする。このようなA F Mの横方向構造は、さまざまなデータ記憶装置における増加された記憶容量をもたらす得る、より小さい全体セル厚さも提供する。

#### 【 0 0 0 7 】

図 1 は、本発明のさまざまな実施形態に従って構築されかつ動作されるデータ記憶装置の概略機能ブロック図を提供する。データ記憶装置は、P C M C I AカードおよびU S B型外部メモリセル装置のような携帯型不揮発性メモリ記憶装置を含むものとして考えられる。しかしながら、装置 1 0 0 のそのような特性は、単に特定の実施形態を示すことを目的としているのであって、主張される課題を限定するものではないことが理解されるであろう。

#### 【 0 0 0 8 】

装置 1 0 0 の上位制御は、適切なコントローラ 1 0 2 で実行され、それはプログラム可能であってもよいし、またはハードウェアベースのマイクロコントローラであってもよい。コントローラ 1 0 2 は、コントローラインターフェース（I / F）回路 1 0 4 およびホスト I / F 回路 1 0 6 を介して、ホスト装置と通信する。必要な指令、プログラミング、操作データなどの局部記憶は、ランダムアクセスメモリ（R A M）1 0 8 および読み取り専用メモリ（R O M）1 1 0 を介して提供される。バッファ 1 1 2 は、ホスト装置からの入力書込みデータおよびホスト装置への転送を保留中のリードバックデータを一時的に記憶するように機能する。

#### 【 0 0 0 9 】

（アレイ 0 ~ N で示される）多くのメモリアレイ 1 1 6 を含むメモリ空間が 1 1 4 に示されるが、必要に応じて、単一のアレイが利用され得ることが理解されるであろう。各アレイ 1 1 6 は、選択された記憶容量の半導体メモリのブロックを含む。コントローラ 1 0 2 とメモリ空間 1 1 4 との間の通信は、メモリ（M E M）I / F 1 1 8 を介して適合される。必要に応じて、オンザフライエラー検出および訂正（E D C）エンコーディング動作およびデコーディング動作が、データ転送中に E D C ブロック 1 2 0 によって実行される。

#### 【 0 0 1 0 】

限定しないが、いくつかの実施形態においては、図 1 に示されるさまざまな回路は、適切な容器、筐体、および相互接続フィーチャ（明確化のために、個別には図示せず）を有する 1 つまたはより多くの半導体ダイ上に形成される、シングルチップセットとして配列される。装置を動作させる入力電力は、適切な電力管理回路 1 2 2 によって処理され、バッテリー、A C 電源入力などのような適当なソースから供給される。電力は、たとえば U S B 型インターフェースなどの使用を通して、ホストから装置 1 0 0 へ直接供給されてもよい。

#### 【 0 0 1 1 】

論理ブロックアドレッシング（L B A）のような、多くのデータ記憶プロトコルおよびデータ転送プロトコルを利用することができ、それによって、データは、（5 1 2 バイトのユーザデータに加えて、E C C、スペアリング、ヘッダ情報などについてのオーバーヘッドバイトのような）固定サイズのブロックに配置されかつ記憶される。ホスト指令は、L B A ごとに発行され、装置 1 0 0 は、対応する L B A - P B A（物理ブロックアドレス）変換を実行して、データが記憶されるべき、または抽出されるべき関連した場所を識別し提供する。

#### 【 0 0 1 2 】

図 2 は、図 1 のメモリ空間 1 1 4 の選択された局面の概略図を提供する。データは、さまざまな行（ワード）ラインおよび列（ビット）ラインによってアクセス可能な、メモリ

10

20

30

40

50

セル 1 2 4 の行および列の配列として記憶される。セルの実際の構造およびそれ上のアクセスラインは、所与の用途の要件に依存する。しかしながら、一般的に、さまざまな制御ラインが、個々のセルの値のそれぞれの書込みおよび読出しを、選択的に可能および不可能にするイネーブルラインを一般的に含むことが理解されるであろう。

#### 【 0 0 1 3 】

制御ロジック 1 2 6 は、マルチラインバス経路 1 2 9 , 1 3 0 , 1 3 2 に沿って、データ、アドレッシング情報、および制御 / 状態値をそれぞれ受信しかつ転送する。X デコーダ回路 1 3 4 および Y デコーダ回路 1 3 6 は、適切なセル 1 2 4 にアクセスするための、適切な切換えおよび他の機能を提供する。書込回路 1 3 8 は、セル 1 2 4 へデータを書込むための書込動作を実行するように動作する回路要素を表わし、読出回路 1 4 0 は、セル 1 2 4 からのリードバックデータを取得するように対応して動作する。転送されたデータおよび他の値の局部バッファリングは、1 つまたはより多くの局部レジスタ 1 4 4 を介して提供される。この時点において、図 2 の回路は、実際には単に例に過ぎず、多くの代替的な構造が、必要に応じ、所与の用途の要件に応じて容易に採用され得ることが理解されるであろう。

#### 【 0 0 1 4 】

データは、図 3 に概略的に示されるように、個別のメモリセル 1 2 4 へ書込まれる。一般的に、書込電源 1 4 6 は、( 電流、電圧、磁化などの形態の ) 必要な入力を印加して、メモリセル 1 2 4 を所望の状態に構成する。図 3 は、ビット書込動作の代表的な図に過ぎないことが理解され得る。書込電源 1 4 6、メモリセル 1 2 4、および基準ノード 1 4 8 の構成は、適切に操作されて、各セルへの選択された論理状態の書込みを可能とする。

#### 【 0 0 1 5 】

以下に説明されるように、いくつかの実施形態においては、メモリセル 1 2 4 は、修正された S T R A M 構造を採用し、その場合においては、書込電源 1 4 6 は、メモリセル 1 2 4 を通って、接地のような適当な基準ノード 1 4 8 へ接続される電流ドライバとして特徴付けられる。書込電源 1 4 6 は、メモリセル 1 2 4 内の磁気材料を通して動かされることによってスピン偏極される電力の流れを提供する。結果として得られる偏極されたスピンの回転は、メモリセル 1 2 4 の磁気モーメントを変化させるトルクを生成する。

#### 【 0 0 1 6 】

磁気モーメントに応じて、セル 1 2 4 は、相対的に低い抵抗 ( $R_L$ ) または相対的に高い抵抗 ( $R_H$ ) のいずれかをとり得る。限定しないが、例示的な  $R_L$  の値は、約 1 0 0 オーム ( ) くらいの範囲内であり、一方、例示的な  $R_H$  の値は、約 1 0 0 K くらいの範囲内であり得る。これらの値は、後続の書込動作によって状態が変化されるときまで、個別のセルによって維持される。限定しないが、本実施例においては、高抵抗値 ( $R_H$ ) はセル 1 2 4 によって論理 1 の記憶を示し、低抵抗値 ( $R_L$ ) は論理 0 の記憶を示すことが企図される。

#### 【 0 0 1 7 】

各セル 1 2 4 に記憶された論理ビット値は、図 4 によって示されるような態様で決定することができる。読出電源 1 5 0 が、適切な入力 (たとえば、選択された読出電圧) をメモリセル 1 2 4 に印加する。セル 1 2 4 を流れる読出電流  $I_R$  の量は、セルの抵抗 ( $R_L$  または  $R_H$  のそれぞれ) の関数である。メモリセルにわたる電圧降下 (電圧  $V_{MC}$ ) が、経路 1 5 2 を介して、比較器 (センスアンプ) 1 5 4 の正側 ( + ) 入力によって検出される。(電圧基準  $V_{REF}$  のような) 適当な基準が、基準源 1 5 6 から比較器 1 5 4 の負側 ( - ) 入力へ供給される。

#### 【 0 0 1 8 】

メモリセル 1 2 4 にわたる電圧降下  $V_{MC}$  が、セルの抵抗が  $R_L$  に設定されると  $V_{REF}$  値より低くなり、セルの抵抗が  $R_H$  に設定されると電圧降下  $V_{MC}$  が  $V_{REF}$  値より高くなるように、電圧基準  $V_{REF}$  がさまざまな実施形態から選択され得る。このように、比較器 1 5 4 の出力電圧レベルは、メモリセル 1 2 4 によって記憶された論理ビット値 ( 0 または 1 ) を示す。

10

20

30

40

50

## 【 0 0 1 9 】

図 5 は、本発明のさまざまな実施形態に従う不揮発性メモリストック 1 6 0 を概略的に示す。スタック 1 6 0 は、トンネル接合 1 6 4、上部電極 1 6 6、および非磁気スペーサ層 1 6 8 のそれぞれの間に配置された磁気自由層 1 6 2 を有する。トンネル接合 1 6 4 は、幅 1 7 0 で配向され、接触的に隣接する下部電極 1 7 6 によって共有される幅 1 7 4 を有する合成反強磁性 ( S A F ) 層 1 7 2 の内側部に取付けられる。

## 【 0 0 2 0 】

図示されるように、上部電極 1 6 6 および自由層 1 6 2 の各々は、トンネル接合の幅 1 7 0 より短い幅 1 7 8 を有する。このような幅の差は、X 軸に沿って測定されるような、横方向に隣接する反強磁性層 ( A F M ) 1 8 0 から自由層 1 6 2 を分離するスペーサ層 1 6 8 を収容する。A F M 1 8 0 は、トンネル接合幅 1 7 0 と S A F 幅 1 7 4 との間の幅の差 1 8 4 によって定められる S A F 1 7 2 のピニング領域 1 8 2 との接触を通して S A F 1 7 2 の磁化を固定する磁気交換バイアスを提供する。ピニング領域 1 8 2 のそのような横方向の配置は、A F M 層 1 8 0 が、Y 軸に沿って測定されるように、スタック 1 6 0 にいかなる厚みも追加することなく、自由層 1 6 2 の両横側に配置されることを可能にする。

## 【 0 0 2 1 】

動作中、自由層 1 6 2 は、正極または負極のような層 1 6 2 における磁化方向を設定する予め定められたプログラミング電流に磁氣的に応答する。このような磁化方向は、磁氣的に非応答の S A F 層 1 7 2 と関連して、スタック 1 6 0 へ記憶されるべき ( 0 または 1 のような ) 論理状態を提供する T M R 効果を生成するように機能する。トンネル接合 1 6 4 によって、引き続いて、S A F 1 7 2 および自由層 1 6 2 の磁化方向が、プログラムされた論理状態として読み出すことができる T M R 効果を生成するように相互作用する。

## 【 0 0 2 2 】

スタック 1 6 0 の機能は、T M R 効果を増加することによって強化することができ、それは、プログラムされた論理状態と、自由層 1 6 2 の磁化方向を設定および切換えるために必要なより低いプログラミング電流との間における、より大きな磁化の差に対応する。T M R 効果は、焼鈍を通じて上昇された温度にさらされることによって増加するし得る。しかしながら、そのような焼鈍は A F M 1 8 0 の原子反強磁性移動 ( migration ) を通して、S A F 1 7 2 および自由層 1 6 2 の磁化の揮発性を増加することによってスタック 1 6 0 に悪影響を及ぼし得る。

## 【 0 0 2 3 】

図 5 のメモリストック 1 6 0 では、焼鈍は、S A F 1 7 2 および自由層 1 6 2 に対する A F M 1 8 0 の横方向の配置のために、揮発性を増加させることなく生じ得る。つまり、非磁気スペーサ層 1 6 8 による A F M 1 8 0 と自由層 1 6 2 との分離は、A F M 1 8 0 の横方向取り付けをピニング領域 1 8 2 に沿って S A F 1 7 2 に結合し、S A F 1 7 2 および自由層 1 6 2 への揮発性 A F M 原子の移動を低減する。結果として、スタック 1 6 0 は、低磁気揮発性を併用した焼鈍によって、強化された T M R 効果を通して、より大きな読出可能性および書込可能性を有し得る。

## 【 0 0 2 4 】

図 6 は、さまざまな実施形態にしたがって構築された例示的な不揮発性メモリセルの等角図を示す。磁気自由層 1 9 2 が、M g O のトンネル接合 1 9 4 に取付けられ、それは、有利にも、自由層 1 9 2 を S A F 3 層 1 9 6 により近接させる、低減された厚さを有する T M R を生成することに寄与し得る。自由層 1 9 2 および S A F 3 層 1 9 6 の各々は、上部電極 1 9 8 および下部電極 2 0 0 にそれぞれ取付けられ、それらの電極は、限定されないが、T a および C u のような、せる 1 9 0 に電流を伝達することができる、さまざまな電流導通材料であり得る。

## 【 0 0 2 5 】

S A F 3 層 1 9 6 は、示されているように、一対の強磁性層 2 0 4 の間に配置された、R u のような結合スペーサ層 2 0 2 を有し、それは、N i および C o のような金属、C o

10

20

30

40

50

FeおよびNiFeのような合金、およびCoFeBのような高偏極比化合物には限定されない、さまざまな材料であり得る。このような強磁性層204は、AFM208からのSAF196のピニング領域206に沿って与えられる交換バイアスに磁氣的に応答し、それは、PtMnおよびIrMnのような、任意の反強磁性的に順序付けられた材料であり得る。

#### 【0026】

しかしながら、マンガンは特に揮発性であり、焼鈍時に原子がセルを通して容易に拡散することが観測された。したがって、AFM208からの拡散は、AFM208へのSAF196の制限された取り付けによって抑制される。言い換えれば、ピニング領域206の制限された表面積は、マンガン原子がセル190を通して拡散すること、および磁気揮発性を増加することを抑制する。拡散は、自由層192および上部電極198からAFM208を物理的および磁氣的に分離する非磁気スペーサ層210によって、さらに抑制される。

10

#### 【0027】

このように、セル190は、Mn原子の最小移動を有するTMR強化焼鈍、およびSAF196の磁化を固定する交換バイアスを生成するAFM208の能力の維持を受ける。読出電流または書込電流がセル190を通して伝達されると、薄いMgOトンネル接合194、横方向AFM208配向、および焼鈍の結合は、より薄いセルにおける高められたTMR効果を可能とし、それは、データ記憶装置において、論理状態間のより高いマージン、より低いプログラミング電流、および増加された面積密度をもたらす。

20

#### 【0028】

図7には、図6のSAFの位置に単一の強磁性固定層212を有する他の例示的なセル210が示される。図6のセル190の動作と同様に、セル210は、横方向に堆積されたAFM層214を有する強磁性固定層212の磁化を固定する。単一の強磁性固定層212の使用によって、セル210について、焼鈍中の揮発性原子の拡散を抑止し、かつ増加されたTMR効果を通して読出可能性および書込可能性を強化しながら、セル190に対して低減された厚みを有するようにできる。

#### 【0029】

セル210は、単に例示に過ぎず、図7に示される構成には限定されない。実際に、必要に応じて、セル210のサイズ、形状、材料、および動作についてのさまざまな修正が意図され得る。図示されるように、1つのこのような修正は、自由層222および上部電極224の幅220の2倍と等しいまたはより大きい幅218への、固定層212および下部電極216の拡張であり得る。このような構成は、相対的に大きなピニング領域226を与え、それは結果として、AFM層214と固定層212との間の表面積およびピニング接続を増加する。

30

#### 【0030】

さらに、トンネル接合230の幅228は、AFM214と自由層222との間の、NiOのような非磁気スペーサ材料232の増加された量を提供して、自由層222の磁気自由度を保護するように修正され得る。さらに他の修正においては、AFM214が除去されるとともに、固定層212が、予め定められた磁化方向を個々に維持する非対称SAFに置き換えられ得る。セル210についてのさまざまな修正は、構造および動作を変化させるが、固定層212に対するAFM214の横方向配向および接続は、焼鈍中の揮発性原子拡散の抑制剤(inhibitor)を維持し、それは、増加されたTMRおよび改善されたセル210機能を可能とする。

40

#### 【0031】

本発明のさまざまな実施形態に従う例示的なメモリセルを形成するセル製造ルーチン240および対応する図示的表現が、図8に概略的に示される。まず、ステップ242にて、予め定められた数の層が、少なくとも2つの幅で堆積される。さまざまな層の順序、数および厚さは限定されないが、磁気積層(スタック)342は、ステップ242からもたらされる例を示しており、それにおいて、下部電極、SAFおよびトンネル接合は第1の

50

幅を有し、一方、自由層および上部電極はより小さい第2の幅を共有する。

【0032】

そして、ステップ244は、前に堆積された層の上にマスク層を堆積し、上部を包み込む。スタック344は、いくつかの実施形態においては、NiOのような絶縁材料である、そのようなマスク層の例を視覚的に提供する。堆積されたマスク層およびトンネル接合は、その後、スタック346に示されるように、自由層について選択された量のマスク層が維持されるような予め定められたパターンで除去される。スタック346は、自由層およびSAFの横側のピニング領域を定めるためにトンネル接合が除去されることも、さらに示している。

【0033】

ステップ248にて、AFM材料が、前で定められたピニング領域上にSAFが少なくとも接触するように、既存の磁気スタック上に堆積される。AFM層の形状および材料は限定されないが、サンプル構成がスタック348によって与えられ、それは、AFM材料がSAFの上面および側面を包み込むことを示している。ルーチン240が進められ、ステップ250にて、AFM材料の一部が、AFMを上部電極から分離する予め定められたパターンで除去される。ステップ250は、AFM材料を除去するための切削動作のために呼び出されるが、スタック350と同様のスタックを製造するために研磨およびエッチングのようなさまざまな処理を用いることができるので、このような動作は必要とされずまたは限定されない。

【0034】

形成および成形されたセルのさまざまな要素の層を用いて、ステップ252は、上昇された温度および面内磁場の存在下で、その構造の焼鈍を行なう。上述のように、AFM材料の横配置は、焼鈍中にSAFへの揮発性反強磁性原子の最小拡散を可能とする。スタック352は、焼鈍がセルの以前の構造を維持していることは示すが、焼鈍が、自由層、SAF、およびトンネル接合の間における相互作用のTMR効果を強化することは図示できない。最後に、ステップ254にて、ビットラインが上部電極上に堆積され、セルへの読出電流および書込電流を導く導電経路を提供する。ステップ254は、ビットライン材料の堆積または成長のために、上部電極の上表面を準備する複数のサブステップを有し得る。スタック354は、特定の磁化方向にプログラムすることができるとともに、再プログラムされるまでその方向を維持することができる、ステップ254からの完成したセルを概略的に図示する。

【0035】

製造ルーチン240は、図8に示されたステップ、および対応する例示的な磁気スタックには限定されないことに注意すべきである。必要に応じて、さまざまなステップが、修正または省略でき、一方、新しいステップを追加することができる。例として、ステップ242は、スタック342に示されるSAFに代えて単一の強磁性層の堆積を含むように修正されてもよい。また、ステップ252および対応するスタック352が、データを記憶するためのアレイ内に実装されることが可能な完成したセルであるので、ステップ254は省略してもよい。

【0036】

当業者によって理解されるように、本明細書に示されたさまざまな実施形態は、メモリセル効率および複雑性の双方においての利点を提供する。焼鈍を通してメモリセルのTMR効果を強化する能力は、結果として、動作マージンを増加しながら、より低いプログラミング電流を必要とする。さらに、AFM層の横方向配置は、焼鈍中のAFM原子拡散に関連する磁気揮発性によるエラーの数が低減された、より薄いメモリ装置構造を可能とする。しかしながら、本明細書で言及されたさまざまな実施形態は、多くの潜在的な用途を有し、電子媒体またはデータ記憶装置のタイプの特定の分野に限定されないことが理解されるであろう。

【0037】

本発明のさまざまな実施形態の多くの特徴および利点が、本発明のさまざまな実施形態

10

20

30

40

50



の構造および機能の詳細とともに上記の説明に記載されるけれども、この詳細な説明はほんの例示的なものに過ぎず、詳細において、特に本発明の原理の範囲内で部品の構造および配列の点において、添付の特許請求の範囲に表現された語句の広く一般的な意味によって示される全範囲までの変更がなされても良いことが理解されるべきである。

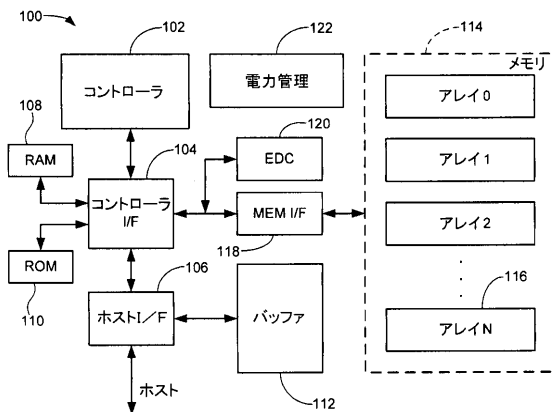
【符号の説明】

【0038】

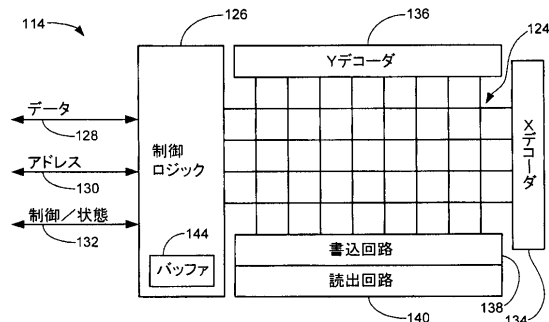
100 装置、102 コントローラ、104 制御I/F回路、106 ホストI/F回路、112 バッファ、114 メモリ空間、116 メモリアレイ、118 MEM I/F、120 EDCブロック、122 電力管理回路、124, 190, 210 メモリセル、126 制御ロジック、129, 130, 132 マルチラインバス経路、134 Xデコーダ回路、136 Yデコーダ回路、138 書込回路、140 読出回路、144 局部レジスタ、146 書込電源、148 基準ノード、150 読出電源、152 経路、154 比較器、156 基準源、160, 342, 344, 346, 348, 350, 352, 354 メモリスタック、162, 192, 222 自由層、164, 194, 230 トンネル接合、166, 198, 224 上部電極、168 スペース層、172 SAF層、176, 200, 216 下部電極、180, 214 AFM層、182, 206, 226 ピニング領域、196 SAF3層、202 結合スペース層、204 強磁性層、210 非磁気スペース層、212 固定層、232 非磁気スペース材料。

10

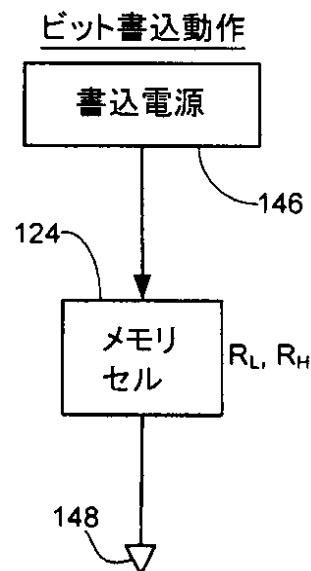
【図1】



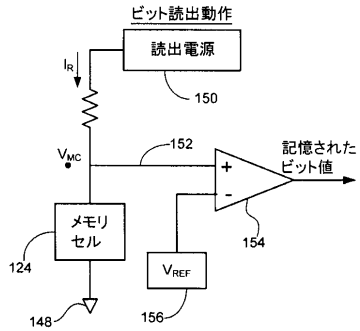
【図2】



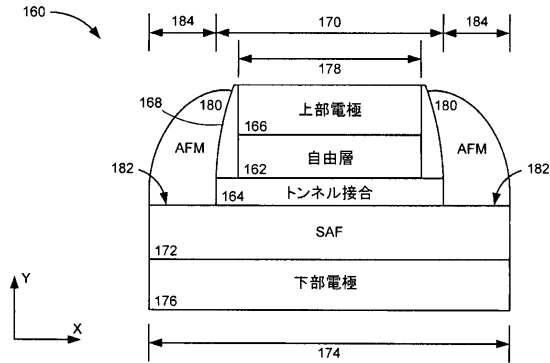
【図3】



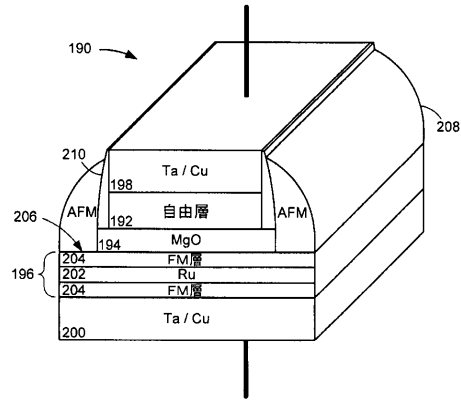
【図 4】



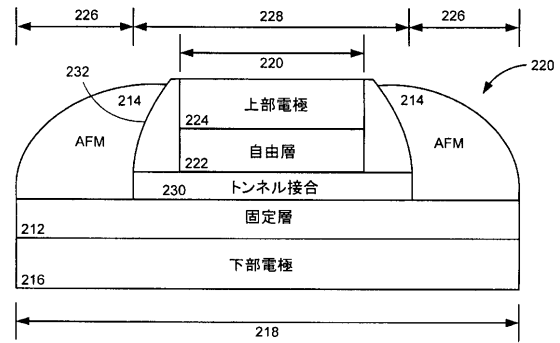
【図 5】



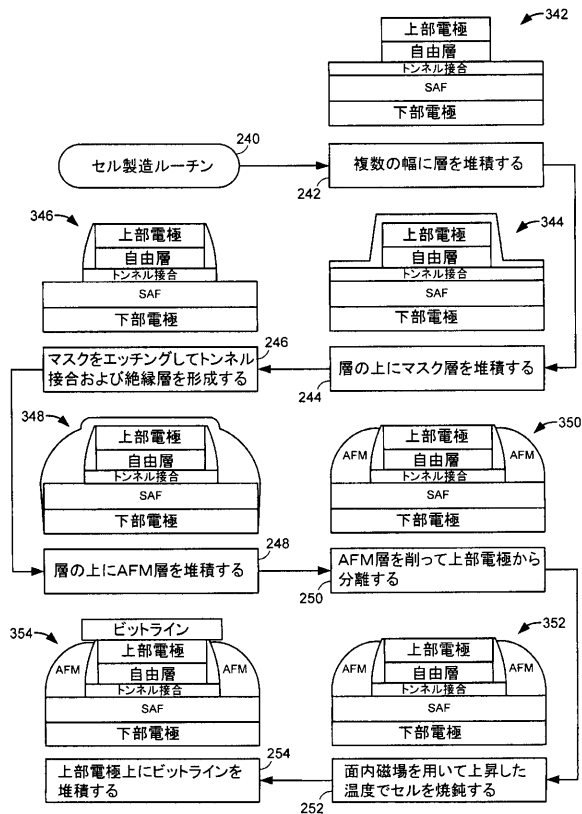
【図 6】



【図 7】



【図 8】



---

フロントページの続き

(72)発明者 ブライアン・リー

アメリカ合衆国、02881 マサチューセッツ州、ボストン、ワシントン・ストリート、1313、ナンバー・705

(72)発明者 パトリック・ジェイ・ライアン

アメリカ合衆国、55116 ミネソタ州、セント・ポール、シェファード・アベニュー、1249

審査官 境 周一

(56)参考文献 特開2006-059869(JP,A)

特開2004-031605(JP,A)

特開2008-277621(JP,A)

特開2005-150303(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10 - 27/118

H01L 29/82

G11C 11/00 - 11/16

H01L 43/00 - 43/14