



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 698 16 937 T2** 2004.06.17

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 914 717 B1**

(21) Deutsches Aktenzeichen: **698 16 937.9**

(86) PCT-Aktenzeichen: **PCT/IB98/00677**

(96) Europäisches Aktenzeichen: **98 915 053.7**

(87) PCT-Veröffentlichungs-Nr.: **WO 98/053555**

(86) PCT-Anmeldetag: **07.05.1998**

(87) Veröffentlichungstag

der PCT-Anmeldung: **26.11.1998**

(97) Erstveröffentlichung durch das EPA: **12.05.1999**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **06.08.2003**

(47) Veröffentlichungstag im Patentblatt: **17.06.2004**

(51) Int Cl.7: **H03M 1/66**

(30) Unionspriorität:

9710658 **24.05.1997** **GB**

(73) Patentinhaber:

**Koninklijke Philips Electronics N.V., Eindhoven,
NL**

(74) Vertreter:

Volmer, G., Dipl.-Ing., Pat.-Anw., 52066 Aachen

(84) Benannte Vertragsstaaten:

DE, FR, GB

(72) Erfinder:

**REDMAN-WHITE, William, NL-5656 AA Eindhoven,
NL; BRACEY, Mark, NL-5656 AA Eindhoven, NL**

(54) Bezeichnung: **DIGITAL-ANALOG- UND ANALOG-DIGITAL-WANDLER**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf einen Digital-Analog-Wandler. Des Weiteren bezieht sich die vorliegende Erfindung auf einen Analog-Digital-Wandler. Es werden im Besonderen, jedoch nicht ausschließlich, Sigma-Delta-Wandler eingesetzt.

[0002] Bei einem Sigma-Delta-Analog-Digital-(A/D)-Wandler besteht die Notwendigkeit, dass ein Digital-Analog-(D/A)-Wandler den Rückführungskreis schließt. Es ist bekannt, dass die Linearitätsleistung dieses D/A-Wandlers die Gesamtlinearität des kompletten Systems bestimmt. Bei vielen Systemen erfolgt die Quantisierung mit 1-Bit-Genauigkeit, wodurch mögliche Linearitätsprobleme verhindert werden, da die Transferfunktion ideal sein sollte.

[0003] Bei einem Sigma-Delta-A/D-Wandler mit Mehrbitquantisierung ist das Linearitätsproblem von großer Bedeutung. Selbstverständlich müssen die Elemente, welche die Größenordnung der Signalmenge bestimmen, mit großer Genauigkeit definiert werden, da diese die statische Linearität des D/A-Wandlers festlegen. Solche Faktoren, wie optimale Wahl der Transistor- oder Widerstandsgröße, gemeinsame Schwerpunktanordnung, können zur Optimierung dieser statischen Linearität eingesetzt werden.

[0004] Bei einem stromschaltenden Sigma-Delta-Wandler führt der D/A-Rückkopplungswandler seinen Signalausgang dem Eingang des ersten Integrators (oder möglicherweise Differentiators) in dem Rauschformfilter zu. Eine Signalsummierung, d. h. des Eingangs- und Rückkopplungsstroms, wird durch einfache Verbindung von Drähten erreicht. Bei solchen stromschaltenden Schaltungen tritt auf Grund der Zeitkonstanten, welche durch die gesamte Lastkapazität an dem Summierknotenpunkt und g_m des MOS-Speichertransistors primär vorgesehen wird, stets ein Einstellfehler auf. Dieses wird normalerweise bei der Konstruktion und Organisation der Speicherzellen berücksichtigt. Ein Einstellfehler sollte Idealerweise effektiv sehr gering sein, da eine nicht lineare Beziehung zwischen dem Ausmaß des Fehlers und dem Eingangssignal bestehen kann. Eine solche Variation des Einstellfehlers manifestiert sich als Verzerrung des Signals

[0005] Die zweckmäßigste Form für einen stromgeschalteten D/A-Wandler ist die Verwendung von Stromquellen (oder -senken) mit entsprechend vorgespannten MOS-Transistoren, welche unter Steuerung des angewandten Digitalcodes an einen Stromsummierknotenpunkt selektiv geschaltet sind. Jede dieser Stromquellen weist, in der Hauptsache auf Grund der Drain-Bulk-Kapazitäten der MOS-Transistoren, ihre eigene Fremdkapazität gegen Erde auf. Infolgedessen stellt die Gesamtkapazität an dem Summierknotenpunkt (welcher ebenfalls den Eingangsknotenpunkt des A/D-Wandlers bildet) eine Wirkungsweise des angewandten Digitalcodes dar. Folglich besteht in der Einstellzeit des ersten Integra-

tors eine entsprechende Variation und daher bei dem gespeicherten Signal ein codeabhängiger Einstellfehler. Dieses stellt, insbesondere bei einer, für hohe Abtastgeschwindigkeiten optimierten Ausführung, bei welcher bei der Einstellzeit Einschränkungen bei akzeptablem Abtastfehler präzise gemacht werden, eine ernsthafte Verzerrungsgefahr dar.

[0006] In einer idealen Situation sollte die Kapazität an dem Eingangsknotenpunkt auf einem absolutem Minimum gehalten werden, was jedoch die Verwendung sehr kleiner Transistoren einschließt, welche andere Kompromisse zur Folge haben, wodurch diese Strategie recht begrenzt ist.

[0007] Es ist Aufgabe der vorliegenden Erfindung, die Herstellung eines Sigma-Delta-Analog-Digital-Wandlers zu ermöglichen, bei welchem die Eingangssignalverzerrung in dem Quantisierungsverfahren verringert wird. Weiterhin ist es Aufgabe der vorliegenden Erfindung, die Herstellung eines Digital-Analog-Wandlers zu ermöglichen, bei welchem codeabhängige Fehler reduziert werden.

[0008] Die vorliegende Erfindung sieht einen Digital-Analog-Wandler vor, welcher mehrere Stromquellen aufweist, die über einen jeweiligen Schalter, dessen Zustand entsprechend einem umzusetzenden, angewandten Digitalcode gesteuert wird, jeweils mit einem, einen Ausgang des Digital-Analog-Wandlers bildenden, gemeinsamen Knotenpunkt verbunden sind, wobei der Digital-Analog-Wandler weiterhin eine entsprechend große Anzahl Blindstromquellen aufweist, welche praktisch Nullstrom erzeugen, jedoch eine zugeordnete Kapazität vorsehen, welche im Wesentlichen dieser ihrer entsprechenden Stromquelle entspricht, wobei jede der Blindstromquellen über weitere jeweilige Schalter mit dem gemeinsamen Knotenpunkt verbunden ist und wobei der Zustand jedes weiteren Schalters entsprechend dem logischen Komplement des angewandten Digitalcodes gesteuert wird.

[0009] Die gemäß der Erfindung ergriffenen Maßnahmen sehen einen D/A-Wandler vor, welcher, ungeachtet des umzusetzenden Digitalcodes, eine im Wesentlichen konstante Kapazität an dem Summierknotenpunkt aufweist. Damit tritt bei einem Sigma-Delta-A/D-Wandler bei sofortigem Digitalcode keine Änderung des Einstellfehlers auf, und es besteht die Möglichkeit, die Abstriche bei stromgeschalteten Speicherzellen in Bezug auf eine bekannte Lastkapazität zu optimieren.

[0010] In einem Ausführungsbeispiel können sämtliche Stromquellen den gleichen Wert aufweisen. Diese Anordnung ist bei Mehrfachbit-Sigma-Delta-Wandlern zweckmäßig, da sie direkt nach dem von dem Quantisierer natürlich erzeugten Thermometercode arbeiten kann.

[0011] Jede Stromquelle kann einen MOSFET aufweisen, dessen Gate-Elektrode mit einer Vorspannungsquelle verbunden ist. In diesem Falle weist der D/A-Wandler zweckmäßigerweise mehrere, eine Einheitsgröße aufweisende MOS-Transistoren auf, wel-

che von einem gemeinsamen Bezugspunkt vorge-spannt werden, so dass mehrere identische Ströme über digital gesteuerte Schalter dem Ausgang zugeführt werden können.

[0012] Die Blindstromquelle kann einen weiteren MOSFET mit den gleichen Dimensionen wie der entsprechende Strom gesteuerte MOSFET aufweisen, wobei der weitere MOSFET nicht leitend vorge-spannt ist.

[0013] Durch Anordnen der Blindstromquellen in Form von MOSFETs, welche die gleichen Dimensionen und Charakteristiken wie die Strom gesteuerten MOSFETs aufweisen, wird eine genau angepasste, parasitäre Kapazität erhalten. Werden diese in Angrenzungen an die Stromquellen in einem integrierten Schaltkreis ausgebildet, führt dieses zu Verfahrensänderungen, wodurch eine genaue Anpassung der Kapazitäten vorgesehen wird.

[0014] Die vorliegende Erfindung sieht ferner einen Sigma-Delta-Analog-Digital-Wandler vor, welcher einen solchen Digital-Analog-Wandler aufweist. Der A/D-Wandler kann so vorgesehen sein, dass er Differenzeingangsströme verarbeitet und einen ersten und zweiten solchen D/A-Wandler aufweist.

[0015] Weist der A/D-Wandler einen Rauschformer mit stromschaltenden Schaltungen für die Signalverarbeitung auf, wird dem Speicherzelleneingang eine konstante Knotenkapazität zugeführt, woraufhin keine codeabhängige Änderung der Einstellzeit durch sich ändernde Knotenkapazität erfolgt.

[0016] Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und werden im Folgenden näher beschrieben. Es zeigen:

[0017] **Fig. 1** – ein elektrisches Schaltbild eines Ausführungsbeispiels eines Digital-Analog-Wandlers gemäß der vorliegenden Erfindung;

[0018] **Fig. 2** – ein Blockschemaschaltbild eines Ausführungsbeispiels eines Analog-Digital-Wandlers gemäß der vorliegenden Erfindung;

[0019] **Fig. 3** – den Wandler von **Fig. 1**, welcher mit einer Ausführungsform einer stromgeschalteten Speicherzelle, welche einen Teil eines Integrators in einem, bei dem Wandler von **Fig. 2** verwendeten Rauschformer bildet, verbunden ist; sowie

[0020] **Fig. 4** – eine Anordnung zur Umwandlung eines Differenzeingangsstroms in ein Digitalsignal.

[0021] **Fig. 1** zeigt in schematischer Form einen Digital-Analog-Wandler gemäß der vorliegenden Erfindung, welcher einen Analogausgangsstrom erzeugt, dessen Wert von einem angewandten Digitalcode abhängig ist. Der in **Fig. 1** dargestellte Digital-Analog-Wandler weist eine Stromquelle **1** auf, welche einen Referenzstrom I_{ref} abgibt und zwischen einem Versorgungsbus V_{dd} und der Drain- und Gate-Elektrode eines n-Kanal-Feldeffekttransistors T_{ref} geschaltet ist. Die Source-Elektrode des Transistors T_{ref} ist mit einem Versorgungsbus V_{SS} verbunden. Die Gate-Elektrode von Transistor T_{ref} ist mit den Gate-Elektroden mehrerer Transistoren $T_0, T_1 \dots T_N$ verbunden. Die Source-Elektroden der Transistoren

T_0 bis T_N sind mit dem Versorgungsbus V_{SS} verbunden, während deren Drain-Elektroden über jeweilige Schalter $D_0, D_1 \dots D_N$ mit einer Leitung **2** verbunden sind, welche an einen Ausgang **3** des Digital-Analog-Wandlers gekoppelt ist. Eine weitere Stromquelle **4** ist zwischen dem Versorgungsbus V_{dd} und der Leitung **2** geschaltet, um als Vorspannung und Stromoffset zu wirken, so dass der Gesamtausgangsstrom in beide Richtungen abgegeben werden kann.

[0022] Mehrere weitere Transistoren $\bar{T}_0, \bar{T}_1 \dots \bar{T}_N$ sind mit ihren Gate- und Source-Elektroden mit dem Versorgungsbus V_{SS} verbunden. Die Drain-Elektroden der Transistoren $\bar{T}_0, \bar{T}_1 \dots \bar{T}_N$ sind über jeweilige Schalter $\bar{D}_0, \bar{D}_1 \dots \bar{D}_N$ mit der Leitung **2** verbunden.

[0023] Jede der aus den Transistoren T_0 bis T_N jeweils bestehenden Stromquellen weist, in der Hauptsache auf Grund der Drain-Bulk-Kapazitäten, ihre eigene Fremdkapazität C_0 bis C_N gegen Erde auf. Wenn wir zunächst den Einfluss der Transistoren $\bar{T}_0, \bar{T}_1 \dots \bar{T}_N$ und Schalter $\bar{D}_0, \bar{D}_1 \dots \bar{D}_N$ unbeachtet lassen, stellt die Gesamtkapazität an dem Ausgang **3** eine annähernd lineare Wirkungsweise des Digitalcodes dar. Sollte ein solcher Ausgang mit dem Eingang eines stromgeschalteten Integrators verbunden sein, führt dieses zu einer folgenden Änderung der Einstellzeitkonstanten des Integrators und daher einem codeabhängigen Einstellfehler der gespeicherten Signale. Dieses stellt, insbesondere bei einer, für hohe Abtastgeschwindigkeiten optimierten Ausführung, bei welcher bei der Einstellzeit Einschränkungen bei akzeptablem Abtastfehler präzise gemacht werden, eine ernsthafte Verzerrungsgefahr dar. Folglich sollte die Ausgangskapazität an Ausgang **3** Idealerweise auf einem absoluten Minimum gehalten werden, was jedoch keinen Vorrang vor den Linearitätsproblemen haben sollte. Daher ist ein Wandler, bei welchem die Ausgangskapazität, unabhängig von dem Digitalcode, konstant ist, von Vorteil, da dann bei dem sofortigen Digitalcode keine Änderung des Einstellfehlers entsteht und es infolgedessen möglich ist, die Abstriche bei den stromgeschalteten Speicherzellen in Bezug auf eine bekannte Lastkapazität zu optimieren.

[0024] Um eine solche konstante Ausgangskapazität vorsehen zu können, werden weitere Transistoren \bar{T}_0 bis \bar{T}_N und Schalter \bar{D}_N bis \bar{D}_0 angeordnet. Die Transistoren \bar{T}_0 bis \bar{T}_N weisen zugeordnete Kapazitäten C_0 bis C_N auf, welche im Wesentlichen den Kapazitäten C_0 bis C_N entsprechen. Die Schalter \bar{D}_0 bis \bar{D}_N werden durch den, zu dem die Schalter D_0 bis D_N aktivierenden, inversen Binärcode betätigt. Damit liegt an Ausgang **3** zu jeder Zeit die gleiche Gesamtkapazität vor. Selbstverständlich haben die Transistoren \bar{T}_0 bis \bar{T}_N keinen Einfluss auf den Stromausgang des D/A-Wandlers, da diese nicht leitend sind, jedoch sind die zugeordneten Kapazitäten derselben selektiv geschaltet, um eine konstante Gesamtkapazität an Ausgang **3** sicherzustellen.

[0025] Ein solcher Digital-Analog-Wandler kann bei einer Sigma-Delta-Analog-Digital-Wandler-Anord-

nung Verwendung finden. **Fig. 2** zeigt einen Sigma-Delta-Analog-Digital-Wandler gemäß der Erfindung. Wie in **Fig. 2** dargestellt, weist der Wandler einen Eingang **20** auf, welchem ein Eingangssignal zugeführt wird und welcher mit dem ersten Eingang eines Summierschaltkreises **21** verbunden ist. Der Ausgang eines Digital-Analog-Wandlers **22** ist mit einem zweiten Eingang des Summierschaltkreises **21** verbunden. Der Digital-Analog-Wandler **22** nimmt die Foren des in **Fig. 1** dargestellten an. Der Ausgang des Summierschaltkreises **21** wird einem Rauschformer **23**, dessen Ausgang an einen Quantisierer **24** geleitet wird, zugeführt. Der Ausgang des Quantisierers **24** wird dem Eingang des Digital-Analog-Wandlers **22** und als ein Ausgangsdigitalcode einem Ausgang **25** zugeführt. Der Rauschformer **23** kann zum Beispiel aus stromgeschalteten Integratoren bestehen. Wie bekannt, weisen stromgeschaltete Integratoren einen Eingang auf, welcher den Ausgangsstrom von dem Summierschaltkreis **21** abtasten kann.

[0026] **Fig. 3** zeigt im Einzelnen die Schnittstelle zwischen dem Eingangssignal, dem Ausgang des Digital-Analog-Wandlers und dem Rauschformer. Der Eingang **20** wird einem ersten Eingang eines Stromsummierknotenpunkts **21**, der Ausgang des Digital-Analog-Wandlers dagegen einem zweiten Eingang des Stromsummierknotenpunkts **21** zugeführt. Der Ausgang von dem Stromsummierknotenpunkt **21** wird dem Eingang des Rauschformers **23** zugeführt. Wie in **Fig. 3** dargestellt, weist der Eingang des Rauschformers **23** eine stromgeschaltete Speicherzelle auf, welche den Eingang während einer ersten Phase eines Taktsignals abtastet. Die als Eingangskreis des Rauschformers **23** dargestellte, spezielle Art der Stromspeicherzelle ist in EP-A-0 608 936, PHB 33830, beschrieben und wird im Allgemeinen als Stromspeicherzelle S21 bezeichnet. Bei Verarbeiten von Eingangsstromsignalen mit Hochfrequenzkomponenten besteht die Notwendigkeit, dass das den Stromspeicherzellen zugeführte Taktsignal eine noch höhere Frequenz aufweist und die Einstellzeit für den Strom zu der Speicherzelle damit entsprechend kurz ist. Somit ist es wichtig, dass eine gleichbleibende, kapazitive Last an diesen Eingang gekoppelt ist, so dass, ungeachtet der Stromeingangsstärke, eine gleichbleibende Einstellzeit erreicht wird. Das Stromsummiernetz **21** kann lediglich aus einem Knotenpunkt bestehen, dem der Eingangsstrom und der Ausgangsstrom des Digital-Analog-Wandlers **22** zugeführt werden, wobei der aus dem Knotenpunkt fließende Strom dem Eingang des Rauschformers **23** zufließt.

[0027] Es können verschiedene Modifikationen dieser Anordnung vorgenommen werden, ohne dabei von dem Schutzzumfang der Erfindung abzuweichen. Zum Beispiel könnten bei Kaskodierung komplexere Stromquellen verwendet werden, um die Ausgangsimpedanz der Stromquelle zu erhöhen. In dem dargestellten Ausführungsbeispiel können die Strom-

quellen genauer als Stromsenken angesehen werden. Der dem Rauschformer zugeführte, tatsächliche Strom, bei dem es sich um den von der Stromquelle erzeugten, abzüglich dem einer der Stromquellen entnommenen Strom handelt, wird über die Schalter D_0 bis D_N der Leitung **2** zugeführt. Es wäre selbstverständlich möglich, diesen Schaltkreis zu invertieren, so dass die geschalteten Stromquellen aus, mit dem Versorgungsbus V_{dd} verbundenen, p-Kanal-Feldeffekttransistoren bestünden, wobei eine entsprechende Stromsenke **4** einen n-Kanal-Feldeffekttransistor aufweist.

[0028] Es besteht ebenfalls die Möglichkeit, eine differentielle Version eines solchen Analog-Digital-Wandlers vorzusehen, welche die bekannten Vorteile eines differentiellen Betriebs hinsichtlich der Reduzierung harmonischer Verzerrung bietet. Eine solche differentielle Version ist in **Fig. 4** dargestellt, wobei ein umzuwandelnder, analoger Differenzstrom den Eingängen **20+** und **20-** zugeführt wird. Zwei Digital-Analog-Wandler **22+** und **22-**, welche in diesem Beispiel durch 3-Bit-Wandler dargestellt sind, erzeugen die anderen Eingänge in die Summierschaltkreise **21+** und **21-**. Die Ausgänge der Summierschaltkreise **21+** und **21-** erzeugen Stromeingänge in differentielle, stromgeschaltete Integratorkreise, welche den Eingang des Rauschformers **23** bilden.

[0029] Es besteht keine Notwendigkeit, dass der Rauschformer **2** unter Anwendung von Schaltstromtechniken vorgesehen wird, da das Ansprechen einer Transkonduktanzstufe durch die an dem Eingang vorliegende Kapazität beeinträchtigt wird.

[0030] Bei Lesen der vorliegenden Offenbarung ergeben sich für Fachkundige weitere Modifikationen. Solche Modifikationen können weitere Merkmale umfassen, welche bei der Konstruktion, der Herstellung und der Verwendung von Analog-Digital- oder Digital-Analog-Wandlern sowie Bauelementen derselben bereits bekannt sind und an Stelle oder zusätzlich zu den hier bereits beschriebenen eingesetzt werden können. Obgleich Ansprüche in dieser Anmeldung auf bestimmte Kombinationen von Merkmalen gerichtet sind, versteht es sich von selbst, dass der Schutzzumfang der vorliegenden Anmeldung ein neuartiges Merkmal oder eine neuartige Kombination von Merkmalen, die hier entweder explizit oder implizit oder als Verallgemeinerung offenbart worden sind, ebenfalls umfasst, ganz gleich, ob dieses die gleiche Erfindung, wie hier in einem Anspruch beansprucht, betrifft, und ob es einige oder sämtliche der gleichen technischen Probleme wie im Falle der vorliegenden Erfindung reduziert. Die Anmelder teilen hiermit mit, dass auf solche Merkmale und/oder Kombinationen solcher Merkmale gerichtete, neue Ansprüche während der Weiterverfolgung der vorliegenden Anmeldung bzw. einer von dieser abgeleiteten, weiteren Anmeldung abgefasst werden können.

Patentansprüche

1. Digital-Analog-Wandler, welcher mehrere Stromquellen ($T_0 \dots T_N$) aufweist, die über einen jeweiligen Schalter ($D_0 \dots D_N$), dessen Zustand entsprechend einem umzusetzenden, angewandten Digitalcode gesteuert wird, jeweils mit einem, einen Ausgang (3) des Digital-Analog-Wandlers bildenden, gemeinsamen Knotenpunkt (2) verbunden sind, wobei der Digital-Analog-Wandler weiterhin eine entsprechend große Anzahl Blindstromquellen ($\bar{T}_0 \dots \bar{T}_N$) aufweist, welche praktisch Nullstrom erzeugen, jedoch eine zugeordnete Kapazität ($\bar{C}_0 \dots \bar{C}_N$) vorsehen, welche im Wesentlichen dieser ihrer entsprechenden Stromquelle entspricht, wobei jede der Blindstromquellen ($\bar{T}_0 \dots \bar{T}_N$) über weitere jeweilige Schalter ($\bar{D}_0 \dots \bar{D}_N$) mit dem gemeinsamen Knotenpunkt (2) verbunden ist und wobei der Zustand jedes weiteren Schalters entsprechend dem logischen Komplement des angewandten Digitalcodes gesteuert wird.

2. Digital-Analog-Wandler nach Anspruch 1, wobei sämtliche Stromquellen der gleichen Wert aufweisen.

3. Digital-Analog-Wandler nach Anspruch 1, wobei jede Stromquelle einen MOSFET aufweist, dessen Gate-Elektrode mit einer Vorspannungsquelle verbunden ist.

4. Digital-Analog-Wandler nach Anspruch 2, wobei jede Stromquelle einen MOSFET aufweist, dessen Gate-Elektrode mit einer Vorspannungsquelle verbunden ist.

5. Digital-Analog-Wandler nach Anspruch 3, wobei die Blindstromquelle ($\bar{T}_0 \dots \bar{T}_N$) einen weiteren MOSFET mit den gleichen Dimensionen wie der entsprechende Strom gesteuerte MOSFET aufweist, wobei der weitere MOSFET nicht leitend vorgespannt ist.

6. Digital-Analog-Wandler nach Anspruch 4, wobei die Blindstromquelle ($\bar{T}_0 \dots \bar{T}_N$) einen weiteren MOSFET mit den gleichen Dimensionen wie der entsprechende Strom gesteuerte MOSFET ($T_0 \dots T_N$) aufweist, wobei der weitere MOSFET nicht leitend vorgespannt ist.

7. Sigma-Delta-Analog-Digital-Wandler mit einem Digital-Analog-Wandler, wie in einem der vorangegangenen Ansprüche beansprucht.

8. Sigma-Delta-Analog-Digital-Wandler zur Umwandlung eines analogen Differenzstromeingangs mit einem ersten und zweiten Digital-Analog-Wandler, wobei jeder Digital-Analog-Wandler wie in einem der Ansprüche 1 bis 6 beansprucht vorgesehen ist.

Es folgen 3 Blatt Zeichnungen

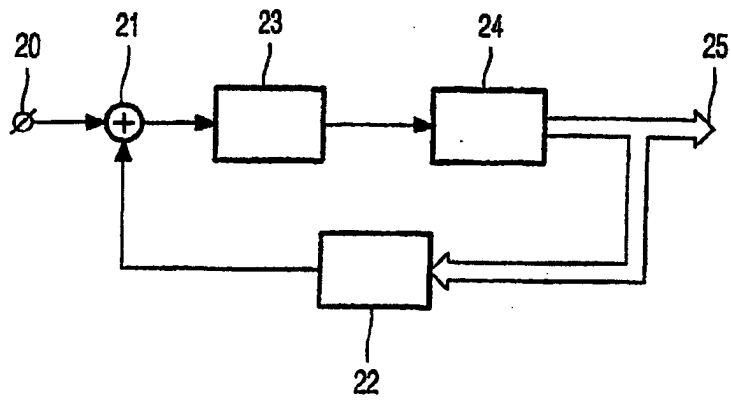


FIG. 2

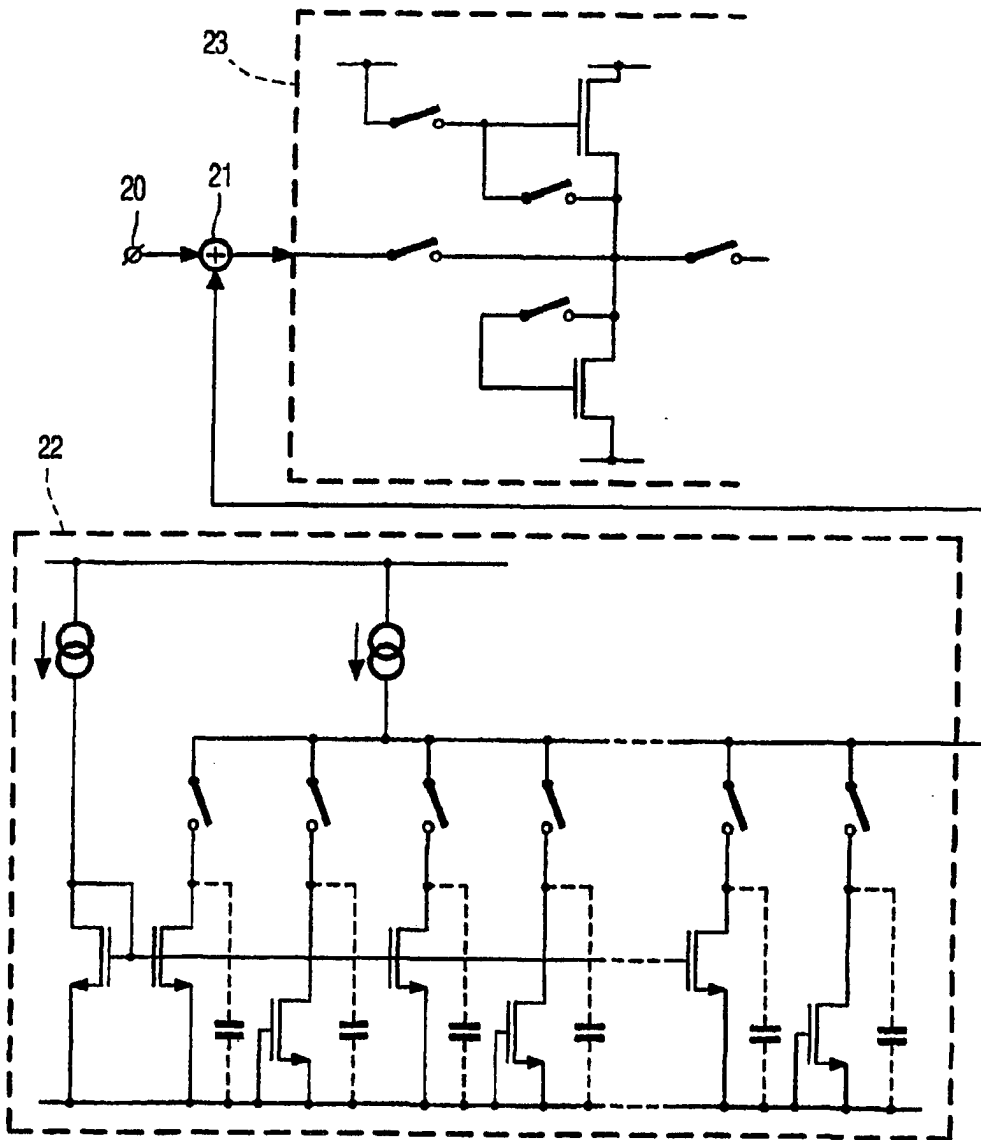


FIG. 3

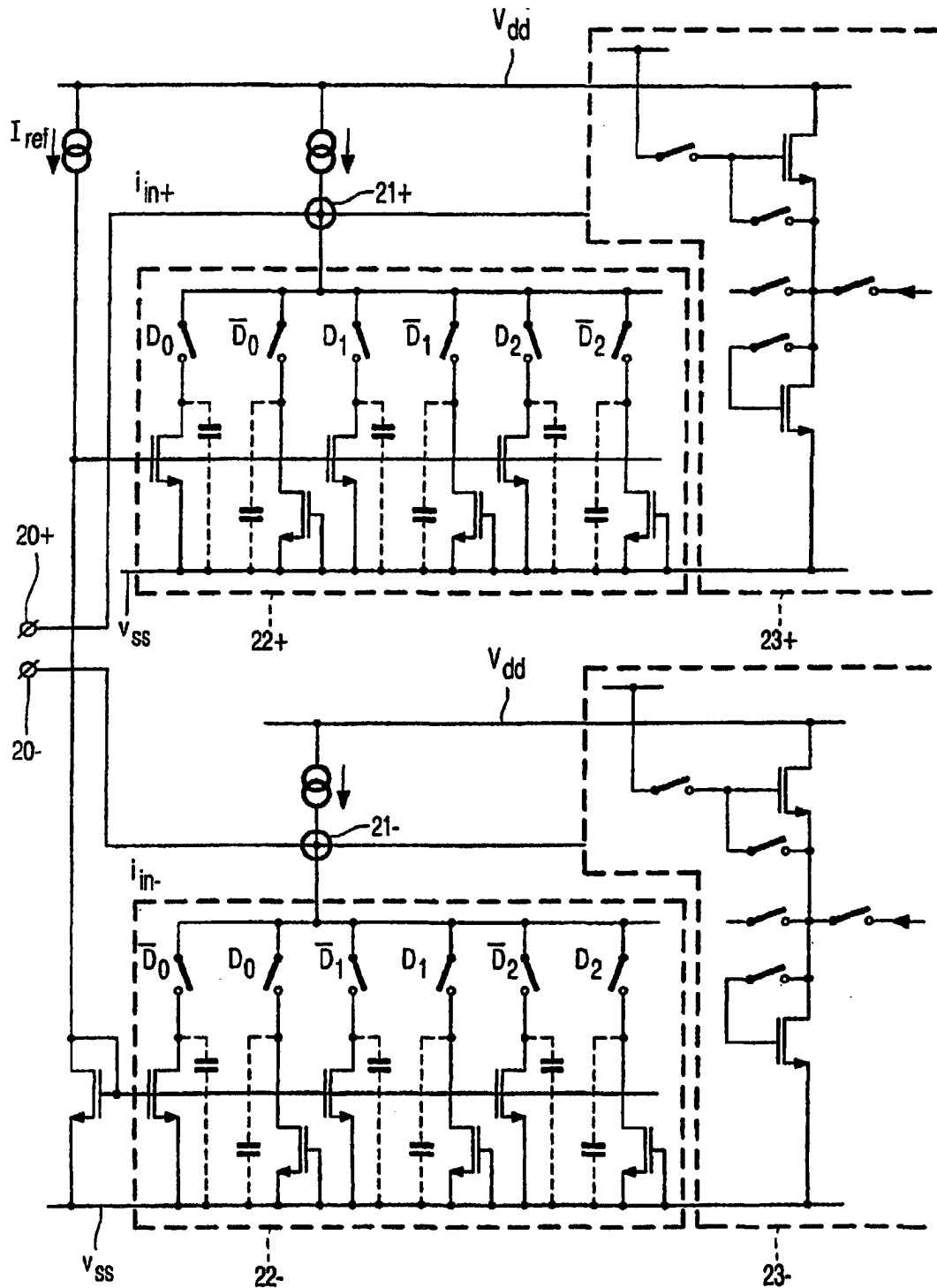


FIG. 4