

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-90361
(P2011-90361A)

(43) 公開日 平成23年5月6日(2011.5.6)

(51) Int.Cl.			F I	テーマコード (参考)		
G06F	12/00	(2006.01)	G06F 12/00	564A	5B018	
G06F	1/04	(2006.01)	G06F 1/04	301	5B060	
G06F	1/06	(2006.01)	G06F 1/04	311	5B079	
G06F	12/16	(2006.01)	G06F 12/16	320M		

審査請求 未請求 請求項の数 12 O L (全 18 頁)

(21) 出願番号 特願2009-241115 (P2009-241115)
(22) 出願日 平成21年10月20日 (2009.10.20)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 高木 健一
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 5B018 GA04 HA11 HA31 MA24 QA14
5B060 CC03
5B079 AA07 BA01 BB01 BC03 CC00

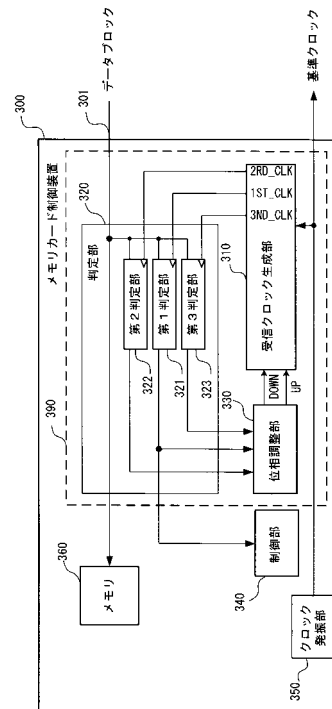
(54) 【発明の名称】 位相キャリブレーション回路、メモリカード制御装置、及び位相キャリブレーション方法

(57) 【要約】

【課題】メモリカードからデータを読み出すときの転送効率の低下を抑制する

【解決手段】基準クロック信号を用いて転送される、データ本体と検出情報を含むデータブロックを取り込む位相キャリブレーション回路390であって、基準クロック信号に対して位相をずらした第1クロック信号と、第1クロック信号に対して位相を早めた第2クロック信号と、第1クロック信号に対して位相を遅らせた第3クロック信号とを生成する受信クロック生成部310と、データブロックを、複数のクロック信号に応じて取り込み、検出情報を用いてリードエラーが発生したか否かを判定し、第1～第3のクロック信号それぞれに応じて取り込んだデータブロックを判定した第1～第3判定結果を出力する判定部320と、複数の判定結果に応じて、第1クロック信号の位相を調整することを受信クロック生成部310へ指示する位相調整部330と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

データ本体と、誤りを検出するための検出情報を含むデータブロックを使用し、基準クロック信号を用いて転送される前記データブロックを取り込む位相キャリブレーション回路であって、

前記基準クロック信号に対して位相をずらした第 1 クロック信号と、前記第 1 クロック信号に対して位相を早めた第 2 クロック信号と、前記第 1 クロック信号に対して位相を遅らせた第 3 クロック信号とを少なくとも含む複数のクロック信号を生成する受信クロック生成部と、

前記データブロックを、前記複数のクロック信号に応じて取り込み、前記検出情報を用いてリードエラーが発生したか否かを判定し、前記第 1 のクロック信号に応じて取り込んだデータブロックを判定した第 1 判定結果、前記第 2 のクロック信号に応じて取り込んだデータブロックを判定した第 2 判定結果、及び前記第 3 のクロック信号に応じて取り込んだデータブロックを判定した第 3 判定結果を少なくとも含む複数の判定結果を出力する判定部と、

前記複数の判定結果に応じて、前記第 1 クロック信号の位相を調整することを前記受信クロック生成部へ指示する位相調整部と、を備える位相キャリブレーション回路。

【請求項 2】

前記位相調整部は、前記第 2 判定結果がエラー発生を示す場合、前記第 1 クロック信号の位相を遅らせることを指示し、前記第 3 判定結果がエラー発生を示す場合、前記第 1 クロック信号の位相を早めることを指示することを特徴とする請求項 1 記載の位相キャリブレーション回路。

【請求項 3】

前記受信クロック生成部は、あらかじめ設定された位相調整単位の位相を前記第 1 クロック信号に対して早めた前記第 2 クロック信号を生成し、前記位相調整単位の位相を前記第 1 クロック信号に対して遅らせた前記第 3 クロック信号を生成することを特徴とする請求項 1 または 2 記載の位相キャリブレーション回路。

【請求項 4】

前記受信クロック生成部は、前記第 1 クロック信号の位相を遅らせることを指示された場合、前記第 1 クロック信号を前記位相調整単位の位相遅らせ、前記第 1 クロック信号の位相を早めることを指示された場合、前記第 1 クロック信号を前記位相調整単位の位相早めることを特徴とする請求項 3 記載の位相キャリブレーション回路。

【請求項 5】

前記位相調整単位は、データウィンドウ幅の 3 分の 1 以下であることを特徴とする請求項 3 または 4 記載の位相キャリブレーション回路。

【請求項 6】

前記データブロックは、データ本体として、メモリカードへ送信したコマンドへ応答するレスポンスデータと、メモリカードから読み出したリードデータとのいずれかを含み、前記判定部は、

前記レスポンスデータを含むデータブロックを、前記第 1 のクロック信号に応じて取り込み、前記検出情報を用いてリードエラーが発生したか否かを判定し、判定した結果を前記第 1 判定結果として出力する第 1 レスポンスデータ判定部と、

前記レスポンスデータを含むデータブロックを、前記第 2 のクロック信号に応じて取り込み、前記検出情報を用いてリードエラーが発生したか否かを判定し、判定した結果を前記第 2 判定結果として出力する第 2 レスポンスデータ判定部と、

前記レスポンスデータを含むデータブロックを、前記第 3 のクロック信号に応じて取り込み、前記検出情報を用いてリードエラーが発生したか否かを判定し、判定した結果を前記第 3 判定結果として出力する第 3 レスポンスデータ判定部と、

前記リードデータを含むデータブロックを、前記第 1 のクロック信号に応じて取り込み、前記検出情報を用いてリードエラーが発生したか否かを判定し、判定した結果を前記第

10

20

30

40

50

1 判定結果として出力する第1リードデータ判定部と、
 前記リードデータを含むデータブロックを、前記第2のクロック信号に応じて取り込み、
 前記検出情報を用いてリードエラーが発生したか否かを判定し、判定した結果を前記第2
 判定結果として出力する第2リードデータ判定部と、
 前記リードデータを含むデータブロックを、前記第3のクロック信号に応じて取り込み、
 前記検出情報を用いてリードエラーが発生したか否かを判定し、判定した結果を前記第3
 判定結果として出力する第3リードデータ判定部と、
 を備えることを特徴とする請求項1乃至5のいずれか一項に記載の位相キャリブレーション回路。

【請求項7】

10

前記位相調整部は、前記判定部が一つのデータブロックを取り込んだ後、次に受信するデータブロックを取り込む前に前記第1クロック信号の位相を調整することを前記受信クロック生成部へ指示することを特徴とする請求項1乃至6のいずれか一項に記載の位相キャリブレーション回路。

【請求項8】

前記誤り検出するための検出情報を含むデータは、データ本体へ誤り検出符号が付加されたデータであり、

前記判定部は、前記データブロックと前記誤り検出符号とを比較してエラーが発生した否かを判定することを特徴とする請求項1乃至7のいずれか一項に記載の位相キャリブレーション回路。

20

【請求項9】

前記誤り検出データは、サイクル・リダンダンシ・チェック符号、パリティ符号、チェックサム、ハッシュ符号のうちのいずれかを用いることを特徴とする請求項8記載の位相キャリブレーション回路。

【請求項10】

前記誤り検出するための検出情報を含むデータは、データ本体と誤り訂正符号とを含むデータであり、

前記判定部は、前記データブロックと前記誤り訂正符号とを用いてエラーが発生した否かを判定することを特徴とする請求項1乃至7のいずれか一項に記載の位相キャリブレーション回路。

30

【請求項11】

請求項1乃至10のいずれか一項に記載の位相キャリブレーション回路と、
 前記データ本体を保持するメモリと、
 を備えるメモリカード制御装置。

【請求項12】

データ本体と、誤りを検出するための検出情報を含むデータブロックを使用し、基準クロック信号を用いて転送される前記データブロックを取り込む位相キャリブレーション回路の位相キャリブレーション方法であって、

前記基準クロック信号に対して位相をずらした第1クロック信号と、前記第1クロック信号に対して位相を早めた第2クロック信号と、前記第1クロック信号に対して位相を遅らせた第3クロック信号を少なくとも含む複数のクロック信号を生成し、

40

前記データブロックを、前記複数のクロック信号に応じて取り込み、

前記検出情報を用いてリードエラーが発生したか否かを判定し、

前記第1のクロック信号に応じて取り込んだデータブロックを判定した第1判定結果、前記第2のクロック信号に応じて取り込んだデータブロックを判定した第2判定結果、及び前記第3のクロック信号に応じて取り込んだデータブロックを判定した第3判定結果を少なくとも含む複数の判定結果を生成し、

前記複数の判定結果に応じて、前記第1クロック信号の位相を調整する位相キャリブレーション方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、メモリカード制御装置、特に、メモリカードからのデータ読み出すときに、クロック制御を行う位相キャリブレーション回路及び位相キャリブレーション方法に関する。

【背景技術】

【0002】

メモリカードとデータを送受するため、メモリカード制御装置（以降、適宜「ホストコントローラ」ともいう）はメモリカードに転送クロック信号（基準クロック信号）を供給し、メモリカードは供給された転送クロック信号を元にデータ送受する。また、ホストコントローラは、メモリカードからデータを読み出す場合、メモリカードから転送されるデータを当該転送クロック信号に同期したクロック信号に応じて取り込む。

10

【0003】

しかし、メモリカードへ供給する転送クロック信号と、読み出しデータを取り込むクロック信号とが同一であるため、あわせ込みが困難となっている。すなわち、メモリカードに供給されるクロック（転送クロック）と、ホスト側がメモリカードからのデータを取り込むレジスタに供給されるクロック（取り込みクロック）は、同一クロックが各々分配回路を通じて分配されるので一定の位相差を有する。ここで、あわせ込みとは、実際のLSI（Large Scale Integration）の設計において、メモリカードから読み出したデータを確実に取り込むために、データを取り込む際に用いるクロック信号へ遅延を付加することや、メモリカードへ供給する転送クロック信号の位相を早める等、クロック信号の微調整を行うことである。このようなあわせ込みは高速化に伴って困難化する。

20

【0004】

例えば、特許文献1にはクロック信号及びデータの伝播遅延に起因するアクセスエラーを解消するデータプロセッサが開示されている。この例では、図9の構成図のように、メモリカードからの読み出しデータの取り込みを、メモリカードに供給する転送クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかを、セレクタ32、35により選択可能となっている。これにより、クロック信号の半サイクルずれたタイミングで読み出しデータの取り込みタイミングを調整することができるようにしている。

30

【0005】

また、当該クロック信号の周波数の切り換えを周波数制御回路13で行なう事ができ、周波数の切り換えを併用したタイミング調整を行うことができるようになっている。タイミング調整は、読み出しデータのリードエラーに回答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換える事により行なう。また、読み出しデータのリードエラーに回答してクロック信号を高周波から低周波に変更する事により行なう。

【0006】

タイミング調整にはCPU等によりアクセス可能なレジスタD1、D2を利用する。レジスタD1に設定される制御データにしたがって、前記読み出しデータの取り込みをクロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが決定される。レジスタD2に設定される制御データにしたがって、前記クロック信号の高周波又は低周波が決定される。

40

リードエラーの検出はリードデータに付加されるCRC（サイクル・リダンダンシ・チェック）コード等を用いて行なわれる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-192488号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 8 】

しかしながら、特許文献 1 に開示されたメモリコントローラでは、読み出しデータの取り込みエッジ決定後、またはクロック信号の周波数決定後の、電圧・温度変化などに起因した読み出しデータの伝播遅延変動に対応できなかった。また、データの伝播遅延変動により読み出しデータのリードエラーが発生した場合、読み出しデータの取り込みエッジ決定、およびクロック信号の周波数の決定を再度実施する必要があった。そのため、その期間本来のデータ転送を行なう事ができず、その結果、転送効率の低下につながっていた。

また一般に転送クロック信号の周波数は、そのメモリカードが採用する規格における最大周波数である事が望ましい。しかしながら、特許文献 1 に開示された技術ではクロック信号の周波数調整は、高周波から低周波に変更されるのみであり、規格上の最大周波数で動作できない可能性があった。

10

【 0 0 0 9 】

このように、従来技術では、メモリカードからデータを読み出すときに、転送効率の低下が生じているという問題があった。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明に係る位相キャリブレーション回路の一態様は、データ本体と、誤りを検出するための検出情報を含むデータブロックを使用し、基準クロック信号を用いて転送される前記データブロックを取り込む位相キャリブレーション回路であって、受信クロック生成部、判定部及び位相調整部を備える。受信クロック生成部は、基準クロック信号に対して位相をずらした第 1 クロック信号と、前記第 1 クロック信号に対して位相を早めた第 2 クロック信号と、前記第 1 クロック信号に対して位相を遅らせた第 3 クロック信号とを少なくとも含む複数のクロック信号を生成する。判定部は、前記データブロックを、前記複数のクロック信号に応じて取り込み、前記検出情報を用いてリードエラーが発生したか否かを判定し、前記第 1 のクロック信号に応じて取り込んだデータブロックを判定した第 1 判定結果、前記第 2 のクロック信号に応じて取り込んだデータブロックを判定した第 2 判定結果、及び前記第 3 のクロック信号に応じて取り込んだデータブロックを判定した第 3 判定結果を少なくとも含む複数の判定結果を出力する。位相調整部は、前記複数の判定結果に応じて、前記第 1 クロック信号の位相を調整することを前記受信クロック生成部へ指示する。上述したように、位相キャリブレーション回路は、データ本体と検出情報（例えば、CRC 符号）とを含むデータブロックを、基準クロックを用いて転送するインターフェースを実現するものである。そして、位相キャリブレーション回路は、第 1 ~ 第 3 のクロック信号によって、データブロックをシリアルに受信し、受信したデータブロックの各データの検出情報を用いてリードエラーの発生を検出する。位相調整判定部はリードエラーの発生に応じて、第 1 ~ 第 3 のクロック信号と基準クロックとの位相を調整する。このような構成を備えることにより、データブロックを受信する度に、受信クロック信号となる第 1 クロック信号の位相調整を行なうことが可能となる。これにより、リードエラーの発生を抑制できる。また、受信クロック信号の位相を補正するための特別な調整期間を不要とする。その結果、データの転送効率の低下を抑制することが可能となる。

20

30

【 0 0 1 1 】

また、本発明に係るメモリカード制御装置の一態様は、上述した位相キャリブレーション回路と、前記データ本体を保持するメモリと、を備える。

40

【 0 0 1 2 】

さらに、本発明に係る位相キャリブレーション方法の一態様は、データ本体と、誤りを検出するための検出情報を含むデータブロックを使用し、基準クロック信号を用いて転送される前記データブロックを取り込む位相キャリブレーション回路の位相キャリブレーション方法であって、前記基準クロック信号に対して位相をずらした第 1 クロック信号と、前記第 1 クロック信号に対して位相を早めた第 2 クロック信号と、前記第 1 クロック信号に対して位相を遅らせた第 3 クロック信号を少なくとも含む複数のクロック信号を生成し、前記データブロックを、前記複数のクロック信号に応じて取り込み、前記検出情報を用

50

いてリードエラーが発生したか否かを判定し、前記第 1 のクロック信号に応じて取り込んだデータブロックを判定した第 1 判定結果、前記第 2 のクロック信号に応じて取り込んだデータブロックを判定した第 2 判定結果、及び前記第 3 のクロック信号に応じて取り込んだデータブロックを判定した第 3 判定結果を少なくとも含む複数の判定結果を生成し、前記複数の判定結果に応じて、前記第 1 クロック信号の位相を調整する。

【発明の効果】

【0013】

本発明によれば、メモリカードからデータを読み出すときの転送効率の低下を抑制することが可能となる。

【図面の簡単な説明】

10

【0014】

【図 1】本発明に係るメモリカード制御装置の構成例を示すブロック図である。

【図 2】本発明の実施形態 1 に係るメモリカード制御装置の構成例を示すブロック図である。

【図 3】位相調整のために必要となる分解能を説明する図である。

【図 4】メモリカードから転送されるデータブロックを取り込むリード動作のタイミング例を模式的に示す図である。

【図 5】データブロックを取り込むリード動作における、エラー検出の動作例を示すフローチャートである。

【図 6】メモリカードへデータブロックを書き込むライト動作のタイミング例を模式的に示す図である。

20

【図 7】メモリカードへのデータ転送を伴わないアクセス動作のタイミング例を模式的に示す図である。

【図 8】第 1 ~ 第 3 クロック信号の位相調整例を説明する図である。

【図 9】特許文献 1 に開示されたメモリカード制御装置のブロック図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態について、図面を参照しながら説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。各図面において同一の構成または機能を有する構成要素および相当部分には、同一の符号を付し、その説明は省略する。

30

【0016】

本発明は、メモリカード制御装置において、メモリカードから読み出したデータブロックを取り込む場合に、受信用のクロック信号の位相を調整（キャリブレーション）することを特徴とする。ここで、データブロックは、データ本体と誤り検出するための検出情報とを含むものである。

データ本体は、メモリカード制御装置からリードコマンドによって読み出しを要求したデータである。データ本体は、メモリカードからメモリカード制御装置に転送され、メモリカード制御装置が取り込む対象である。以降では、データ本体が、（1）メモリカードから読み出したリードデータ、（2）メモリカード制御装置から送信されたコマンドに応じて、メモリカードがコマンドへ応答するレスポンスデータ、のいずれかの場合において、メモリカード制御装置（位相キャリブレーション回路）が受信用のクロック信号の位相を調整する方式を説明する。

40

検出情報は、データ本体にリードエラーが発生したか否かを検出するための情報であり、誤り検出符号や誤り訂正符号等が用いられる。例えば CRC 符号などを用いることができる。

【0017】

図 1 は、本発明に係るメモリカード制御装置の構成例の概略を示すブロック図である。メモリカード制御装置 300 は、受信クロック生成部 310、判定部 320、位相調整部 330、制御部 340、クロック発振部 350、及びメモリ 360 を備える。通常、メモ

50

リカードからメモリカード制御装置 300 へ、複数のバスを用いてデータブロックを転送するが、図 1 では、説明を容易にするため、1 本のバス 301 を表している。また、メモリカード制御装置 300 は、図 9 におけるメモリカードインタフェースコントローラ 3 に対応するものである。

【0018】

受信クロック生成部 310 は、クロック発振部 350 から基準クロック信号が供給され、当該基準クロック信号に対して位相をずらした第 1 クロック信号と、第 1 クロック信号に対して位相を早めた第 2 クロック信号と、第 1 クロック信号に対して位相を遅らせた第 3 クロック信号を含む複数のクロック信号を生成する。図 1 では、第 1 ~ 第 3 クロック信号それぞれを、1ST_CLK、2ND_CLK、3RD_CLK と表示している。第 1 クロック信号が、メモリカードから転送されたデータブロックを受信する（取り込む）受信クロック信号（受信用のクロック信号）となる。受信クロック生成部 310 は、第 1 クロック信号の位相を調整することによって、第 2 及び第 3 クロック信号を生成する。ここでは、受信クロック生成部 310 は、3 相のクロック信号を生成する場合を説明するが、これに限られるわけではない。

10

【0019】

判定部 320 は、複数のクロックに応じて取り込んだデータブロックについて、データ本体と検出情報を用いてリードエラーが発生したか否かを判定し、判定結果を位相調整部 330 へ出力する。具体的には、判定部 320 は、メモリカードから転送されたデータブロックを、第 1 クロック信号、第 2 クロック信号、及び第 3 クロック信号それぞれに応じて取り込む。データ本体と検出情報とを用いてリードエラーが発生したか否かを判定する。そして、判定部 320 は、第 1 のクロック信号に応じて取り込んだデータブロックを判定した第 1 判定結果、第 2 のクロック信号に応じて取り込んだデータブロックを判定した第 2 判定結果、第 3 のクロック信号に応じて取り込んだデータブロックを判定した第 3 判定結果として、位相調整部 330 へ出力する。このとき第 1 判定結果は、制御部 340 へ出力される。

20

【0020】

図 1 では、判定部 320 は、第 1 判定部 321、第 2 判定部 322 及び第 3 判定部 323 を備える場合を示している。第 1 判定部 321 は、第 1 のクロック信号に応じて取り込んだデータブロックを判定した第 1 判定結果を生成・出力する。第 2 判定部 322 は、第 2 のクロック信号に応じて取り込んだデータブロックを判定した第 2 判定結果を生成・出力する。第 3 判定部は、第 3 のクロック信号に応じて取り込んだデータブロックを判定した第 3 判定結果を生成・出力する。

30

【0021】

位相調整部 330 は、複数の判定結果に応じて、第 1 クロック信号の位相を調整することを受信クロック生成部 310 へ指示する。具体的には、位相調整部 330 は、複数の判定結果を比較し、位相の調整が必要であるか否かを判定する。位相調整部 330 が受信クロック生成部 310 へ位相の調整を指示することによって、受信クロック生成部 310 は、第 1 クロック信号の位相をシフトさせるとともに、第 1 クロック信号に応じて第 2 クロック信号及び第 3 クロック信号の位相をシフトさせる。これにより、判定部 320 がデータブロックを取り込むタイミングを調整する。

40

【0022】

制御部 340 は、データブロックが判定部 320 で取り込まれた受信終了タイミングに、複数の判定結果を比較（位相比較）させる指示を位相調整部 330 へ出す。制御部 340 は、受信終了のタイミングを、データブロックの受信を開始した時点から、基準クロックでデータブロック長分カウントする事により求める。位相調整部 330 は、制御部 340 からの指示に応じて、位相の補正が必要である場合には受信クロック生成器 116 に対し、位相変更の指示を行なう。また、制御部 340 は、第 1 判定結果に基づいてエラーの発生を検出し、データブロックの取り込み（データブロックの受信）にエラーが発生した場合には、メモリ 360 に保存されたデータ本体の破棄、あるいは、メモリカード制御

50

装置から送信したコマンドの再発行などの処理を、メモリカード制御装置 300 の外部に備えられる CPU (Central Processing Unit) へ通知する。

【0023】

クロック発振部 350 は、基準クロック (転送クロック) を発信し、受信クロック生成部 310 及びメモリカードへ供給する。図 1 では、クロック発振部 350 をメモリカード制御装置 300 内に備える例を示している。この構成に限られことはなく、クロック発振部 350 をメモリカード制御装置 300 内に備えずに、外部から基準クロックを供給してもよい。

メモリ 360 は、判定部 320 が取り込んだデータ本体を保存するメモリである。

【0024】

位相キャリブレーション回路 390 は、メモリカード制御装置 300 内に搭載され、メモリカードから転送されるデータブロックを取り込むタイミングを調整する機能を備える回路である。図 1 において、位相キャリブレーション回路 390 は、少なくとも受信クロック生成部 310、判定部 320、及び位相調整部 330 によって実現される。

なお、図 1 では、位相調整部 330 と制御部 340 とを別個の構成要素として表しているが、制御部 340 が位相調整部 330 の機能を含む構成、あるいは、制御部 340 内に位相調整部 330 を配置する構成であってもかまわない。

【0025】

図 1 に示す位相キャリブレーション回路 390 を備えることにより、メモリカード制御装置 300 は、データブロックを受信する度に、受信クロック信号の位相調整を行なうことが可能となる。これにより、リードエラーの発生を抑制することができる。また、受信クロックの位相を補正するための特別な調整 (キャリブレーション) 期間を不要とする。その結果、転送効率の低下を抑制することができる。

【0026】

(実施形態 1)

実施形態 1 では、誤りを検出するための検出情報として、メモリカードから転送されるデータ本体に冗長データが付加される場合、具体的には、データ本体に CRC 符号が付加される場合を一例として説明する。

【0027】

図 2 は、本発明の実施形態 1 に係るメモリカード制御装置 (ホストコントローラ) の構成例を示すブロック図である。図 2 では、図 1 に示すメモリカード制御装置 300 の具体例としてホストコントローラ 101 の構成例を示す。また、ホストコントローラ 101 とメモリカード 102 との関係を明確に示すため、メモリカード 102 も表している。ホストコントローラ 101 は、メモリカード 102 とデータブロックを送受する。また、以降の説明では、レスポンスデータは、メモリカード 102 の CMD の端子と接続するバス 121 を介して転送され、リードデータは、メモリカード 102 の DAT0 ~ M (M は 0 以上の整数) の端子と接続するバス 122、123 を介して転送される場合を説明する。

【0028】

図 2 では、図 1 の各構成要素と次のように対応している。ホストコントローラ 101 において、受信クロック生成部 310 は受信クロック生成器 116、位相調整部 330 は位相調整器 115、制御部 340 は制御回路 114、クロック発振部 350 は SDC L K 117 と対応し、メモリ 360 は、シリアル・パラレル変換器 (Serial Parallel) 103、リードデータバッファ (Read Data Buffer) 104、シリアル・パラレル変換器 (Serial Parallel) 105、及び応答レジスタ (Response Register) 106 から構成される例を示す。図 2 では、SDC L K 117 をホストコントローラ 101 内に備える例を示している。この構成に限られことはなく、SDC L K 117 をホストコントローラ 101 内に備えずに、外部から基準クロックを供給してもよい。

【0029】

また、判定部 320 は、データ本体のうち、リードデータを取り込む 3 つの CRC 16 演算・比較器 108 ~ 110 と、コマンドへ応答するレスポンスデータを取り込む 3 つの

10

20

30

40

50

CRC7演算・比較器111～113と対応する。具体的には、判定部320は、第1クロック信号に応じてデータブロックを取り込むCRC16演算・比較器(第1リードデータ判定部)109及びCRC7演算・比較器(第1レスポンスデータ判定部)112、第2クロック信号に応じてデータブロックを取り込むCRC16演算・比較器(第2リードデータ判定部)108及びCRC7演算・比較器(第2レスポンスデータ判定部)111、第3クロック信号に応じてデータブロックを取り込むCRC16演算・比較器(第3リードデータ判定部)110及びCRC7演算・比較器(第3レスポンスデータ判定部)113によって実現している。

なお、図2では、CRC16演算・比較器を「CRC16 G/C」(CRC16 Generator/Checker)、CRC7演算・比較器を「CRC7 G/C」(CRC7 Generator/Checker)と示す。また、CRC16演算・比較器と、CRC7演算・比較器とを総称して「CRC演算・比較器」と称することもある。

さらに、ホストコントローラ101は、CRC16演算・比較器107を備える。

【0030】

受信クロック生成器116は、第1クロック信号(N)を、SDKLK117が供給する基準クロックを所定の位相をずらすことによって生成する。ここで、所定の位相は、メモ리카ードのデータ出力タイミングや、ホストコントローラ101とメモ리카ード102間の距離(フライトタイム)等に依存する値を設定することになる。Nはクロック信号の順番を示す正の整数である。また、受信クロック生成器116は、第2クロック信号(N+1)を、位相調整単位の位相を第1クロック信号に対して早めて生成し、第3クロック信号(N-1)を、位相調整単位の位相を第1クロック信号に対して遅らせて生成する。位相調整単位は、予め設定された値であり、受信クロック生成器116に保持される。

【0031】

第1クロック信号は、クロック信号線118を介してCRC16演算・比較器107～110及びCRC7演算・比較器111～113へ供給される。同様に第2クロック信号はクロック信号線119、第3クロック信号はクロック信号線120を介して供給される。

このようにして、メモ리카ード102に供給する基準クロック信号の位相を変化させた第1～第3クロック信号の3相の受信用クロック信号を生成する。

【0032】

CRC16演算・比較器107～110及びCRC7演算・比較器111～113は、リードエラーの発生を検出するCRC演算・比較器である。

【0033】

CRC7演算・比較器111～113は、CMD(コマンドへ応答するレスポンスデータ)に対して、第1～第3クロック信号それぞれに同期してCRC演算・比較を行なうCRC演算・比較器である。CMDで行われるデータ転送には7bitのCRCが付加されるため、ここでのCRC演算・比較器111～113は7bitのCRCを計算し比較を行なう。CMDは、バス(コマンドバス信号線)121を介してメモ리카ード102から転送され、CRC7演算・比較器111～113に取り込まれる。CRC7演算・比較器111～113は、CRC演算・比較を行い、リードエラーが発生したか否かを判定した判定結果(第1～第3判定結果)を位相調整器115へ出力する。

【0034】

CRC16演算・比較器108～110は、DAT0(リードデータの一つ)に対して、第1～第3クロック信号それぞれに同期してCRC演算・比較を行なうCRC演算・比較器である。DAT0で行われるデータ転送には16bitのCRCが付加されるため、ここでのCRC演算・比較器108～110は16bitのCRCを計算し比較を行なう。DAT0(データバス信号)は、バス(データバス信号線)122を介してメモ리카ード102から転送され、CRC16演算・比較器108～110に取り込まれる。CRC16演算・比較器108～110は、CRC演算・比較を行い、リードエラーが発生した

か否かを判定した判定結果（第1～第3判定結果）を位相調整器115へ出力する。

【0035】

CRC16演算・比較器107は、DAT0以外のDAT1～Mに対して、第1クロック信号に同期してCRC演算・比較を行なうCRC演算・比較器107である。DAT1～Mで行われるデータ転送には16bitのCRCが付加されるため、ここでのCRC演算・比較器107は16bitのCRCを計算し比較を行なう。バス122～123のデータバス幅(M+1)は、メモリカード102の規格により、例えばMMC(Multi Media Card)であれば1, 4, 8のいずれかであり、SD(Secure Digital)カードであれば1, 4のいずれかである。データバス1ビット毎に、CRC演算・比較器107を備える。

10

【0036】

なお、DAT1～Mについて、3相のクロック信号を取り込むCRC16演算・比較器を備えることも可能であるが、図2の構成例では、回路サイズを優先してDAT0のみを多重化している。

【0037】

制御回路114は、受信終了タイミングを検出し、位相調整器115に対し位相比較の指示を出す。受信終了タイミングは、DAT0がCRC16演算・比較器108～110に取り込まれたタイミング、あるいは、CRC7演算・比較器111～113から出力される、レスポンスデータに基づいた判定結果である場合、RR(Read Response)、WR(Write Response)またはNDR(No Data Response)のデータブロックがCRC7演算・比較器111～113に取り込まれたタイミングである。

20

位相調整器115は、第1～第3判定結果(3つのCRCの演算・比較結果)に基づいて、次の受信用クロックの位相調整を行なう。位相調整器115は、制御回路114から位相調整を行うタイミングを通知される。位相調整器115は制御回路114からの指示に基づいて、位相の補正が必要である場合には受信クロック生成器116に対し、位相変更の指示を行なう。

【0038】

図3は、位相調整のために必要となる分解能を説明する図である。本実施形態において、受信クロック信号は、ある位相の第1クロック信号と、第1クロック信号から位相を早めた第2クロック信号と、第1クロック信号から位相を遅らせた第3クロック信号の3つのクロックとから構成される。この3相の受信クロック信号は、必ず同時にデータウィンドウの内部に入る設定が存在する事を保証することが望ましい。図3では、データウィンドウの期間を「VALID」で示している。このために、位相調整単位はデータウィンドウ幅の1/3以下とする。

30

【0039】

続いて、ホストコントローラ101の動作を図4, 5を用いて説明する。

図4は、メモリカードから転送されるデータブロックを取り込むリード動作のタイミング例を模式的に示す図である。リードコマンドRCは、リードコマンド(COMMAND)RC1と7ビットのCRC符号が付加されたCRC部(CRC7)RC2とを含み、応答RRは、レスポンスデータ(RESPONSE)RR1と7ビットのCRC符号が付加されたCRC部(CRC7)RR2とを含む。リードコマンドRCは、リードコマンドをデータ本体とするデータブロックであり、応答RRは、レスポンスデータをデータ本体とするデータブロックである。また、データブロックRDは、データ本体(DATA BODY)RD1と16ビットのCRC符号が付加されたCRC部(CRC16)RD2とを含む。データブロックRDのデータ本体は、リードデータである。例えば、MMC、SDカードに類するメモリカードのデータブロックRDは、データ本体RD1と、そのデータ本体RD1から計算したCRC部RD2から構成されている。

40

【0040】

図5は、データブロックを取り込むリード動作における、エラー検出の動作例を示すフローチャートである。図5のフローチャートでは、データを取り込む動作については一部

50

省略している。

【 0 0 4 1 】

まず、ホストコントローラ 1 0 1 は、メモリカード 1 0 2 に対し、データ送出要求を意味するリードコマンド R C を送出する (S 1 1)。リードコマンド R C に応じて、メモリカード 1 0 2 は、リードコマンド R C に対応する応答 R R を返送する (S 1 2)。

ホストコントローラ 1 0 1 は、応答 R R のレスポンスデータ R R 1 を、シリアル・パラレル変換器 1 0 5 によってシリアルデータからパラレルデータに変換し、応答レジスタ 1 0 6 へ蓄える。

【 0 0 4 2 】

また、ホストコントローラ 1 0 1 は、リードコマンド R C の受信期間中、 C R C 7 演算・比較器 1 1 1 ~ 1 1 3 において逐次 C R C の算出・更新を行なう。このとき、ホストコントローラ 1 0 1 では、レスポンスデータ R R 1 に続いて転送される C R C 部 R R 2 の受信期間において、 C R C 7 演算・比較器 1 1 1 ~ 1 1 3 は、レスポンスデータ R R 1 から算出された C R C 計算結果と、メモリカードから送られてきた C R C 部 R R 2 とを比較し、リードエラーの検出を行なう。そして、 C R C 7 演算・比較器 1 1 1 ~ 1 1 3 によって検出されたリードエラー検出結果 (第 1 ~ 第 3 判定結果) を位相調整器 1 1 5 へ出力する (S 1 3)。

10

【 0 0 4 3 】

C R C 演算・比較器の具体的な構成については、例えば、 M M C カードの仕様書に記載された構成を用いる。ここでは、 C R C 演算・比較器の具体的な構成については説明を省略するが、 C R C 演算・比較器は C R C 符号のビット数分のフリップフロップを備えている。コマンド R C 1 に続けて C R C 部 R C 2 を入力することにより、 C R C 部の入力完了後フリップフロップ内に演算・比較結果を保持する構成となっている。すべてのフリップフロップが「 0 」であれば C R C 部の検証が成功 (リードエラー無) しており、いずれかのフリップフロップの中に「 1 」が残っていれば、 C R C 部の検証が失敗 (リードエラー有) であることを示すものである。

20

【 0 0 4 4 】

位相調整器 1 1 5 はリードエラー検出結果を元に、受信クロックの位相を補正する必要があると判断した場合、すなわち、リードエラー発生と判断した場合 (S 1 4 で Y E S)、受信クロック生成器 1 1 6 に対し、位相を進める、もしくは遅らせるための制御信号 (U P または D O W N) を出力し、受信クロック生成器 1 1 6 は受信クロックの位相変更を行なう (S 1 5)。データ受信中の位相変更を避けるため、受信クロック生成器 1 1 6 の位相変更は、リードデータとリードデータとの間に存在するギャップ G A P 1 (図 4) 期間に行なわれる。これにより、データブロック R D の受信において、調整後の受信クロック信号を用いることを可能にする。

30

【 0 0 4 5 】

第 1 クロック信号で動作する C R C 7 演算・比較器 1 1 2 で検出されたリードエラー検出結果は、制御回路 1 1 4 に伝えられる。制御回路 1 1 4 はエラー処理を行う (S 1 6 及び S 2 2)。具体的には、制御回路 1 1 4 は、第一判定結果にリードエラーが検出された場合に (S 1 6 で Y E S)、応答レジスタ 1 0 6 の中身の破棄や、 C P U への割り込み生成等の処理を指示する (S 2 2)。その後、ホストコントローラ 1 0 1 は、処理を終了する。ここではエラー処理の詳細な説明を省略する。また、エラー処理後、ホストコントローラ 1 0 1 は、ステップ S 1 1 の処理へ戻り、再度リード動作を行う場合であってもよい。なお、 C P U は、ホストコントローラ 1 0 1 の外部に配置されており、図 2 には示されていない。

40

【 0 0 4 6 】

リードエラーが発生していないと判断された場合 (S 1 4 で N O もしくは S 1 6 で N O)、メモリカード 1 0 2 は、ホストコントローラ 1 0 1 へデータブロック R D の転送を開始する。

ホストコントローラ 1 0 1 は、データ本体 R D 1 を、シリアル・パラレル変換器 1 0 3

50

によってシリアルデータからパラレルデータに変換し、リードデータバッファ104へ蓄える。

また、ホストコントローラ101は、データ本体RD1の受信期間中、図2におけるCRC16演算・比較器107～110において逐次CRCの算出・更新を行なう。このとき、ホストコントローラ101では、データ本体RD1に続いて転送されるCRC部RD2の受信期間において、CRC演算・比較器107～110は、データ本体RD1から算出されたCRC計算結果と、メモリカードから送られてきたCRC部RD2とを比較し、リードエラーの検出を行なう。そして、検出結果(第1～第3判定結果)を位相調整器115へ出力する(S17)。

【0047】

位相調整器115はリードエラー検出結果を元に、受信クロックの位相を補正する必要があると判断した場合、すなわち、リードエラー発生と判断した場合(S18でYES)、受信クロック生成器116に対し、位相を進める、もしくは遅らせるための制御信号(UPまたはDOWN)を出力し、受信クロック生成器116は受信クロックの位相変更を行なう(S19)。データ受信中の位相変更を避けるため、受信クロック生成器116の位相変更は、データブロックRDとデータブロックRDとの間に存在するギャップGAP2(図4)期間に行なわれる。

第1クロック信号で動作するCRC16演算・比較器107、109で検出されたリードエラー検出結果は、制御回路114に伝えられる。制御回路114はエラー処理を行う(S20およびS22)。具体的には、制御回路114は、第一判定結果にリードエラーが検出された場合に(S20でYES)、リードデータバッファ104の中身の破棄や、CPUへの割り込み生成等の処理を指示する(S22)。その後の動作はステップS16でYESの場合と同様に処理を終了する。

リードエラーが発生していない場合(S18でNO、もしくはS20でNO)、ホストコントローラ101は、メモリカード102から読み込むべきリードデータが存在するかどうかを判断する(S21)。読み込むべきデータが存在する場合(S21でYES)、ホストコントローラ101は、ステップS17からの処理をリードデータがなくなるまで(S21でNO)繰り返す。

【0048】

図6は、メモリカードへデータブロックを書き込むライト動作のタイミング例を模式的に示す図である。ライトコマンドWCは、ライトコマンド(COMMAND)と7ビットのCRC符号が付加されたCRC部(CRC7)とを含み、応答WRは、レスポンスデータ(RESPONSE)と7ビットのCRC符号が付加されたCRC部(CRC7)とを含む。また、データブロックWDは、データ本体(DATA BODY)と16ビットのCRC符号が付加されたCRC部(CRC16)とを含む。

ライト動作ではデータブロックWDはホストコントローラ101からメモリカード102方向へ転送されるため、データブロックWDを用いた受信クロックの補正は行なうことは不可能である。そのかわりに、ライトコマンドWCに対する応答WRのリードエラー検出結果を用いることで、リード動作同様に受信クロックの補正を行なう事が可能である。

【0049】

応答WRのリードエラー検出結果を利用する補正方式では、CRC7比較器111～113が用いられる。応答WRのリードエラー検出結果の動作は、図5のステップS13～S16、S22の動作と同様である。また、制御回路114、位相調整器115、及び受信クロック生成器116の動作は、メモリカードからのデータ受信時と同様である。

【0050】

また、メモリカードからの応答を使用する受信クロックの位相調整は、図7のようにデータを伴わないアクセス動作でも適用する事ができる。図7は、メモリカードへのデータ転送を伴わないアクセス動作のタイミング例を模式的に示す図である。ホストコントローラ101は、コマンドNDC(No Data Command)をメモリカード102へ送出し、メモリカード102は、コマンドNDCに応じた応答NDRをホストコントローラ

10

20

30

40

50

101へ返送する例を示している。応答NDRのリードエラー検出結果は、応答WRのリードエラー検出と同様である。

【0051】

図8は、第1～第3クロック信号の位相調整例を説明する図である。図8では、受信クロック信号が、第1クロック信号（クロック信号線118）、および位相を進めた第2クロック信号（クロック信号線119）、及び位相を遅らせた第3クロック信号（クロック信号線120）の3相のクロック信号である場合を示す。

当該3相の受信クロック信号で動作する全てのCRC演算・比較器（CRC16演算・比較器108～110、CRC7演算・比較器111～113）においてリードエラーが検出されない場合、受信クロックはデータウィンドウの十分内側に存在していると判断し、受信クロックの位相補正を行わない。

10

【0052】

第3クロック信号において、CRC演算結果にリードエラーが検出された場合、受信クロック信号は位相が遅れかけていると判断し、受信クロック信号をデータウィンドウのより内側に補正するために、次の受信クロック信号として位相が進んだ第2クロック信号を次の受信クロックとして選択する。

第2クロック信号において、CRC演算結果にリードエラーが検出された場合、受信クロック信号は位相が進みかけていると判断し、受信クロック信号をデータウィンドウのより内側に補正するために、次の受信クロックとして位相が遅れた第3クロック信号を次の受信クロックとして選択する。

20

【0053】

第1クロック信号と第3クロック信号とにおいて、CRC演算結果にリードエラーが検出された場合、受信クロック信号が遅れていると判断し、受信クロック信号をデータウィンドウの中央に補正するために、次の受信クロックとして、クロック信号（ $N+2$ ）を選択する。クロック信号（ $N+2$ ）は、現在の第1クロック信号に対して位相調整単位の2倍の位相を早めるシフトを行ったクロック信号である。なお、受信クロックでのCRC演算結果にリードエラーが検出されたため、同一データの再読み出しを行なう。

第1クロック信号と、第2クロック信号とにおいて、CRC演算結果にリードエラーが検出された場合、受信クロック信号が進んでいる判断し、受信クロックをデータウィンドウの中央に補正するために、次の受信クロックとしてクロック信号（ $N-2$ ）を選択する。クロック信号（ $N-2$ ）は、現在の第1クロック信号に対して位相調整単位の2倍の位相を遅くするシフトを行ったクロック信号である。なお、受信クロックでのCRC演算結果にリードエラーが検出されたため、同一データの再読み出しを行なう。

30

【0054】

さらに、第1～第3クロック信号の全てにおいて、CRC演算結果でリードエラーが検出された場合、受信クロックの初期位相のリチューニングを行なう。メモ리카ード初期化タイミングにおいて、受信クロックの位相がデータウィンドウの中央となるように、初期位相の探査が必要である。3つ受信クロック信号全てにおいて、エラーが検出された場合には、この再探査・リチューニングを実施する。再探査・リチューニングの動作の詳細については説明を省略する。

40

【0055】

なお、DAT1～Mについて、DAT0と同様に3重化、すなわち、3相の受信クロック信号を用いて受信する構成を用いることも可能である。DAT0～Mについて3重化することにより、図8に示す2つの受信クロック信号に応じたエラー検出結果において、リードエラーが検出された場合でも、リトライ（再転送）が不要になる。しかしながら回路規模が大きくなるという問題が生じる。従って、本実施形態では、DAT0のみ3重化した場合の構成例を示した。これは、2ステップ分ずれる可能性と、回路規模を考えて、DAT0のみを多重化する事としたものである。

【0056】

このように、メモ리카ード102からの読み出し時、受信クロック信号として用いる第

50

1クロック信号に加え、第1クロック信号から位相を早めた第2クロック信号と、第1クロック信号から位相を遅らせた第3クロック信号によりリードエラーの検出を行なう。これにより、第1クロック信号の位相がデータウィンドウに対して最適であるかどうかを判定する事が可能となる。この判定結果に応じて、次のデータを読み出すときに用いる第1クロック信号の調整を継続的に行なう。その結果、リードエラー発生を抑制することが可能となる。

【0057】

以上説明したように、本実施形態のホストコントローラ101は、データ本体とCRC符号とを含むデータブロックを、基準クロックを用いて転送するインターフェースを実現するものである。そして、メモリカード制御装置300は、上述した第1～第3のクロック信号によって、データブロックを(シリアル)に受信し、受信したデータブロックの各データのCRCを算出する。そして、算出されたCRCと、データブロックに備えられたCRCとを比較し、比較結果に応じて、第1～第3のクロック信号と基準クロックとの位相を調整する位相キャリブレーション回路を実現する。

これにより、データブロックを受信する度に、受信クロック信号(第1クロック信号)の位相調整を行なうことが可能となり、リードエラーの発生を抑制できる。また、受信クロック信号の位相を補正するための特別な調整期間を不要とする。その結果、データの転送効率の低下を抑制することが可能となる。

【0058】

(実施形態2)

実施形態1は、MMC、SDカードに類する、データブロックの誤り検出方法としてCRCを用いるようなメモリカードに対する実施形態であったが、本キャリブレーション方式は、異なる誤り検出方法を使用するデータブロック転送手段に容易に適用可能である。例えば、データブロックのデータ本体(図4に示すRD1)と、それに基づいて算出された冗長ブロック(RD2)というフォーマットで表わせる誤り検出方法を用いることができる。一般的な「誤り検出符号」や、一部の「誤り訂正符号」を用いることが可能である。具体的には、誤り検出符号としては、パリティ、チェックサム、ハッシュ等を用いることができる。また、誤り訂正符号としては、 BCH符号、ハミング符号等を用いることができる。さらに、上述した誤り訂正符号のように冗長データを付加する方法以外であっても、図2に示すようなCRC16演算・比較器111～113のようにリードエラーの発生を位相調整器115へ通知することが可能な誤り訂正符号を用いてもよい。この場合、データ受信後のデータの復号結果により誤りの発生が検出可能であり、位相調整器115へ比較結果(第1～第3判定結果)と通知できればよい。

【0059】

(実施形態3)

実施形態1は、同期式メモリカードを想定した物であったが、メモリカードからのデータ出力遅延がクロックの1サイクルで定義しきれないメモリ規格に対しても、容易に適用可能である。例えば、調整範囲を360°とする。この場合、出力遅延が動作クロック信号と相関が無い場合においても、位相調整範囲を360°としたことにより、サンプリングポイントを任意の角度に調整することで受信が可能となる。かつ出力遅延がふらつく場合においても、受信クロックの位相を追従させ受信を継続させることができる。

【0060】

(その他の実施形態)

上記各実施形態では、受信クロック生成部310(クロック生成器116)は、3つのクロック信号を用いる場合を説明したが、3以上のクロック信号を生成してもよい。この場合、判定部320は、3以上のクロック信号を用いて取り込んだデータブロックそれぞれについて判定した3以上の複数の判定結果を位相調整部330へ出力し、位相調整部330は、3以上の複数の判定結果を用いて位相を調整する。

【0061】

上記各実施形態によれば、誤り検出機能を備える高速なデータインタフェースにおいて

10

20

30

40

50

、位相を変えた3相の受信クロック信号を用いて受信データのリードエラーの検出を行なうことによって、継続的な受信クロックの位相調整が可能となる。これにより、リードエラーの発生を抑制するとともに、特別なキャリブレーション期間が不要となる。その結果、転送効率の低下を抑制することができる。

【0062】

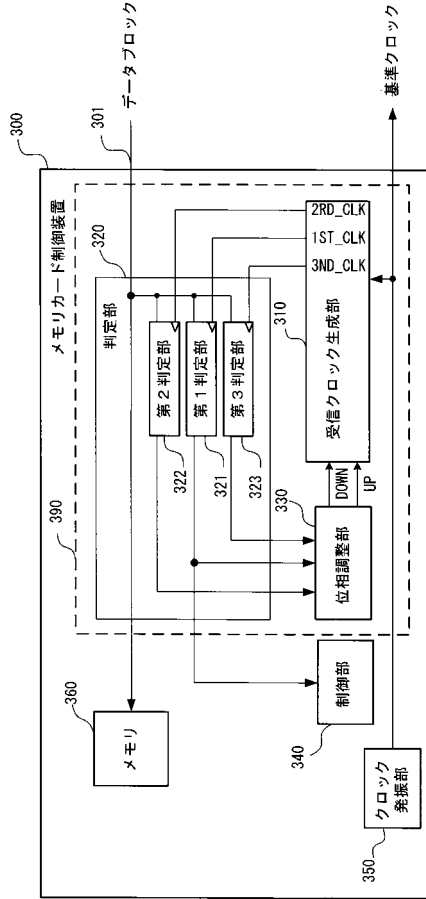
なお、本発明は上記に示す実施形態に限定されるものではない。本発明の範囲において、上記実施形態の各要素を、当業者であれば容易に考えうる内容に変更、追加、変換することが可能である。

【符号の説明】

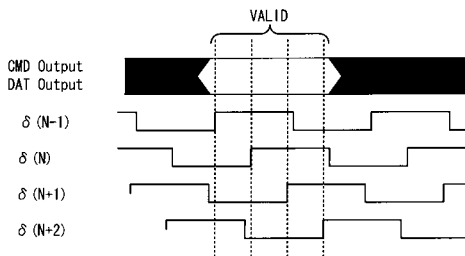
【0063】

101	ホストコントローラ	
102	メモリカード	
103	シリアル・パラレル変換器 (Serial Parallel)	
104	リードデータバッファ	
105	シリアル・パラレル変換器	
106	応答レジスタ (Response Register)	
107 ~ 110	CRC16演算・比較器	
111 ~ 113	CRC7演算・比較器	
114	制御回路	
115	位相調整器	10
116	受信クロック生成器	
117	SCLK	
121 ~ 123、301	バス	
300	メモリカード制御装置	
310	受信クロック生成部	
320	判定部	
330	位相調整部	20
340	制御部	
350	クロック発振部	
360	メモリ	30
390	位相キャリブレーション回路	

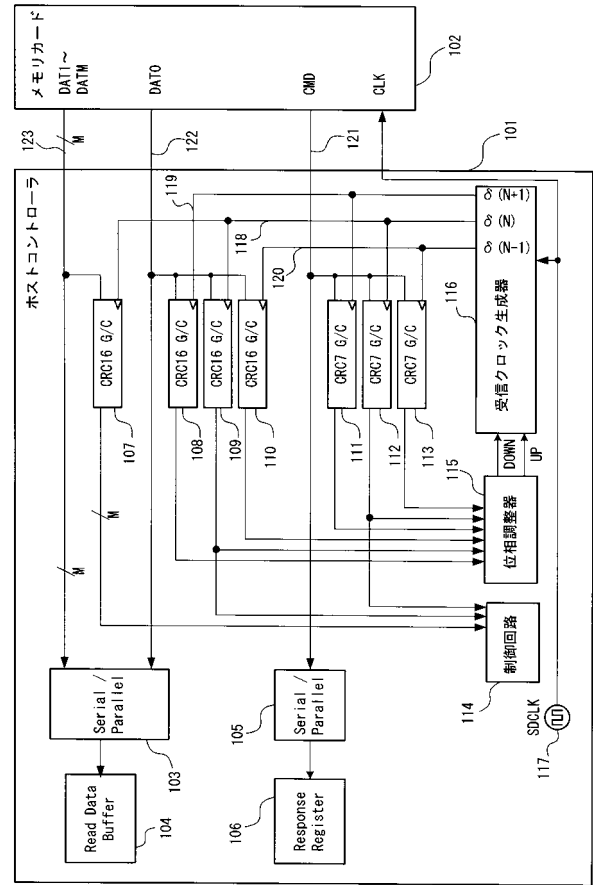
【図 1】



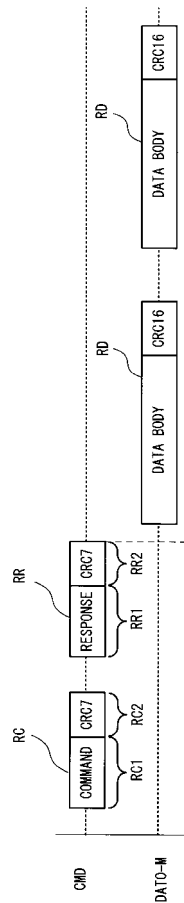
【図 3】



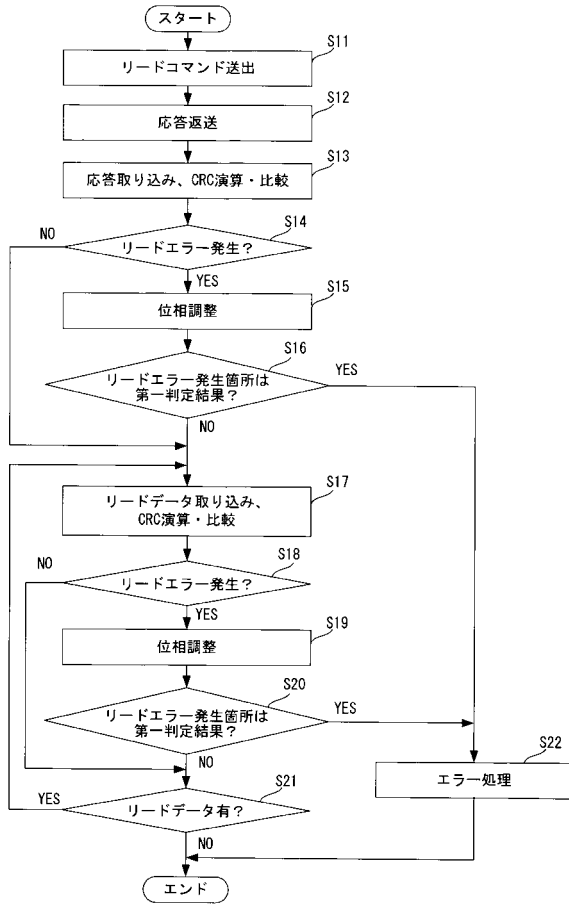
【図 2】



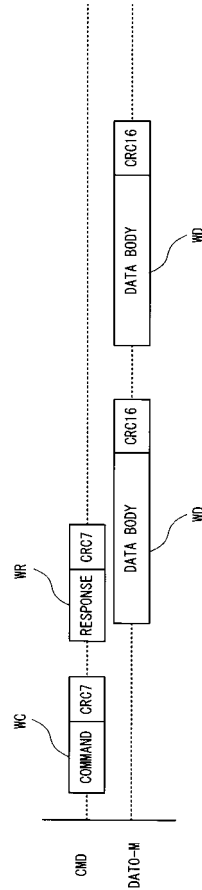
【図 4】



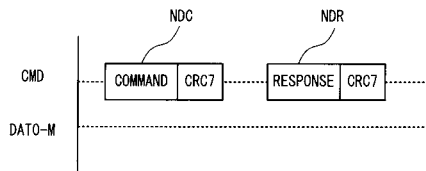
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

リードエラー検出結果		次の受信クロックの位相	位相調整器出力
第3クロック信号 $\delta(N-1)$	第1クロック信号 $\delta(N)$		
○	○	$\delta(N)$	—
○	○	$\delta(N-1)$	DOWN
×	○	$\delta(N+1)$	UP
○	×	$\delta(N-2)$	DOWN
×	×	$\delta(N+2)$	UP
×	×	—	—

