

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2014-147149
(P2014-147149A)

(43) 公開日 平成26年8月14日(2014.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 2 J 7/02 (2006.01)	HO 2 J 7/02 H	5 G 5 0 3
HO 2 J 7/00 (2006.01)	HO 2 J 7/00 Y	5 H 0 3 0
HO 1 M 10/42 (2006.01)	HO 1 M 10/42 P	
HO 1 M 10/44 (2006.01)	HO 1 M 10/44 P	

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2013-12594 (P2013-12594)	(71) 出願人	000237721
(22) 出願日	平成25年1月25日 (2013. 1. 25)		F D K株式会社
			東京都港区新橋5丁目36番11号
		(74) 代理人	110000176
			一色国際特許業務法人
		(72) 発明者	▲浜▼田 健志
			東京都港区新橋五丁目36番11号 F D
			K株式会社内
		(72) 発明者	宮崎 真鶴
			東京都港区新橋五丁目36番11号 F D
			K株式会社内
		Fターム(参考)	5G503 AA01 BA03 BB01 EA08 GA12
			HA02
			5H030 AA01 AS03 AS06 AS08 AS11
			BB26 FF43 FF44 FF51 FF52

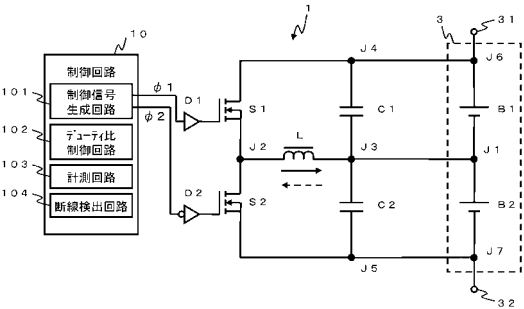
(54) 【発明の名称】 バランス補正装置及び蓄電装置

(57) 【要約】

【課題】 バランス補正装置の回路中に生じた断線を確実に検出する。

【解決手段】 直列接続された複数の蓄電セルからなる集合電池において、蓄電セル間又は直列接続された複数の蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置において、蓄電モジュールの夫々に対する電流の供給を第1のデューティ比でオンオフ制御することにより、蓄電モジュールの夫々が共通に接続する素子を介して蓄電モジュール間での電力の授受を生じさせて蓄電モジュール間の電圧を均等化させ、第1のデューティ比とは異なる第2のデューティ比でオンオフ制御を行う期間を生じさせ、蓄電モジュールの端子間に接続している容量素子C1、C2に印加される電圧を計測し、上記期間中に容量素子C1、C2に印加される電圧の変化に基づき容量素子C1、C2と蓄電モジュールとを結ぶ線路の断線の有無を判定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

直列接続された複数の蓄電セルからなる集合電池において、前記蓄電セル間又は直列接続された複数の前記蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置であって、

前記蓄電モジュールの夫々に対する電流の供給を第 1 のデューティ比でオンオフ制御することにより、前記蓄電モジュールの夫々が共通に接続する素子を介して前記蓄電モジュール間で電力の授受を生じさせ、前記蓄電モジュール間の電圧を均等化させるスイッチング制御部と、

前記第 1 のデューティ比とは異なる第 2 のデューティ比で前記オンオフ制御を行う期間を生じさせるデューティ比制御部と、

前記蓄電セルの端子間に接続している容量素子に印加される電圧を計測する電圧計測部と、

前記期間において前記容量素子に印加される前記電圧の変化に基づき、前記容量素子と前記蓄電セルとを結ぶ線路の断線の有無を判定する断線検出部と、

を備えるバランス補正装置。

【請求項 2】

前記断線検出部は、前記期間において、前記容量素子に印加される前記電圧の時間変化率が所定の閾値を超えた場合に前記容量素子と前記蓄電セルとを結ぶ線路に断線が生じたと判定する、請求項 1 に記載のバランス補正装置。

【請求項 3】

前後して接続する第 1 の前記蓄電モジュールと第 2 の前記蓄電モジュールとの接続点にその一端が接続されるインダクタと、前記第 1 の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される第 1 のスイッチング素子と、前記第 2 の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される第 2 のスイッチング素子と、を備え、

前記スイッチング制御部は、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを交互にオンオフ制御することにより、前記インダクタを介して前記蓄電モジュール間で電力の授受を生じさせて前記蓄電モジュール間の電圧を均等化させる

請求項 1 または 2 に記載のバランス補正装置。

【請求項 4】

前記第 3 のスイッチング装置及び前記第 2 のスイッチング素子は M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) であり、前記容量素子は、前記第 1 のスイッチング装置又は前記第 2 のスイッチング素子に存在する寄生容量である

請求項 3 に記載のバランス補正装置。

【請求項 5】

直列接続された複数の前記蓄電モジュールで構成される集合電池の正負端子間に接続される一次巻線、及び前記蓄電モジュールの夫々の正負端子間に接続される複数の二次巻線を有するトランスと、前記集合電池と前記一次巻線とを含む経路において前記集合電池に直列接続されるスイッチング素子と、を備え、

前記スイッチング制御部は、前記スイッチング素子をオンオフ制御することにより前記トランスを介して前記蓄電モジュール間で電力の授受を生じさせて前記蓄電モジュール間の電圧を均等化させる、

請求項 1 または 2 に記載のバランス補正装置。

【請求項 6】

前記複数の蓄電セルと、請求項 1 乃至 5 のいずれか一項に記載の前記バランス補正装置とを備える蓄電装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、直列接続された複数の蓄電セルからなる集合電池において、蓄電セル間又は直列接続された複数の蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置及び蓄電装置に関する。

【背景技術】

【0002】

複数の蓄電セルが直列接続されてなる集合電池においては、放電能力の低下や寿命の短縮化を防ぐべく、蓄電セル間の電圧（起電力）のばらつきを抑える必要がある。とくに電気自動車等に用いられる蓄電装置のように多数の蓄電セルからなる集合電池については蓄電セル間の電圧のばらつきを厳密に抑えることが求められる。

【0003】

蓄電セル間の電圧を均等化する仕組みとして、例えば、特許文献1には、直列接続された2次電池B1、B2の接続点にインダクタLの一端を接続しておき、インダクタLの他端を電池B1の他端に接続して形成される第1閉回路に電流を流す第1モードと、インダクタLの他端を電池B2の他端に接続して形成される第2閉回路に電流を流す第2モードとを短時間ずつ交互に繰り返す動作（スイッチング動作）を適当な期間、実行することにより、電池B1と電池B2の電圧を均等化するバランス補正方法について開示されている（以下、同文献に開示されているバランス補正方式のことをコンバータ方式と称する。）

。

【0004】

また特許文献2には、ノートパソコン等に使用されるパック電池において、負荷電流が少ない場合におけるパック電池内の損失を低減しつつセルバランスを補正すべく、複数の素電池を直列に接続し、これら素電池の出力電圧を入力とし、各素電池を充電する方向に出力を接続したON/OFF方式のコンバータ回路、並びに負荷電流の大きさに応じて一次側電流を増減させる電流制御回路を備えたパック電池について開示されている（以下、同文献に開示されているバランス補正方式のことをトランス方式と称する。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-185229号公報

【特許文献2】特開平11-176483号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

図6は、集合電池の蓄電セルのバランスを確保するためのバランス補正装置の一例として示す、コンバータ方式のバランス補正回路6である。同図に示すように、蓄電セルB1とB2とが直列接続されて集合電池3が構成されている。集合電池3の正負端子31、32には、集合電池3に充電電流を供給する電流供給源（例えば、充電器、回生回路）、もしくは集合電池3の電力を利用する負荷（例えば、モータ、需要家負荷、電子回路）が接続される。

【0007】

蓄電セルB1の負極と蓄電セルB2の正極とを結ぶ線路には、インダクタLの一端が接続されている。インダクタLの他端と蓄電セルB1の正極とを結ぶ線路には、スイッチング素子S1が設けられている。インダクタLの他端と蓄電セルB2の負極とを結ぶ線路には、スイッチング素子S2が設けられている。

【0008】

スイッチング素子S1、S2は、例えば、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）を用いて構成されている。スイッチング素子S1、S2は、制御回路30によって生成される制御信号φ1、φ2によって制御されるゲートドライバD1、D2によって、一方のスイッチング素子がオンしているときは他方のスイッチング素子がオフするように、互いに相補的に動作する。

10

20

30

40

50

【0009】

同図に示すように、インダクタLの一端と蓄電セルB1の正極との間には、容量素子C1が、またインダクタLの一端と蓄電セルB2の負極との間には、容量素子C2が、夫々設けられている。容量素子C1、C2は、例えば、スイッチング素子のオンオフ動作に起因して生じるノイズの低減、スイッチングにより蓄電セルB1、B2に生じる電圧変化の緩和などを目的として設けられる。尚、スイッチング素子S1、S2がMOSFETである場合、容量素子C1、C2はスイッチング素子S1、S2の寄生容量であってもよい。

【0010】

以上の構成からなるバランス補正回路において、制御回路10は、制御信号によりスイッチング素子S1とスイッチング素子S2とを所定のデューティ比で交互にオンオフ制御する。これにより蓄電セルB1と蓄電セルB2との間で電力の授受が行われ、蓄電セルB1と蓄電セルB2の電圧が均等化される。

10

【0011】

制御回路10は、蓄電セルB1、B2の夫々の電圧（例えば、同図における接続点J4-J3間の電圧や接続点J3-J5の間の電圧）を電圧センサ（電圧計等）によってリアルタイムに監視している。制御回路10は、両蓄電セルB1、B2の電圧が略一致していること（セルバランスが十分に確保されていること）を検知すると、スイッチング素子S1、S2のスイッチング動作を停止する。

【0012】

ところで、以上の構成からなるバランス補正回路6において、上記オンオフ制御の実施中に、例えば、図7に示す断線部位71にて断線が生じている場合でも、容量素子C1に向かって蓄電セルB2からエネルギーが供給されるので接続点J4の電位が殆ど変化せず、従って制御回路10は断線部位71に断線が生じていることを検出することができない。そしてその後もバランス補正回路6がオンオフ制御を持続する結果、蓄電セルB1、B2間の電圧のばらつきが拡大してしまう可能性がある。こうした事情は、例えば、蓄電セルB1の負極と接続点J3とを結ぶ線路に断線が生じた場合においても同様である。

20

【0013】

本発明は、このような課題を解決すべくなされたもので、回路中に生じた断線を確実に検出することが可能な、バランス補正装置及び蓄電装置を提供することを目的としている。

30

【課題を解決するための手段】

【0014】

上記目的を達成するための本発明のうちの一つは、直列接続された複数の蓄電セルからなる集合電池において、前記蓄電セル間又は直列接続された複数の前記蓄電セルからなる蓄電モジュール間の電圧を均等化するバランス補正装置であって、前記蓄電モジュールの夫々に対する電流の供給を第1のデューティ比でオンオフ制御することにより、前記蓄電モジュールの夫々が共通に接続する素子を介して前記蓄電モジュール間で電力の授受を生じさせ、前記蓄電モジュール間の電圧を均等化させるスイッチング制御部と、前記第1のデューティ比とは異なる第2のデューティ比で前記オンオフ制御を行う期間を生じさせるデューティ比制御部と、前記蓄電セルの端子間に接続している容量素子に印加される電圧を計測する電圧計測部と、前記期間において前記容量素子に印加される前記電圧の変化に基づき、前記容量素子と前記蓄電セルとを結ぶ線路の断線の有無を判定する断線検出部と、を備える。

40

【0015】

本発明の他の一つは、上記バランス補正装置であって、前記断線検出部は、前記期間において、前記容量素子に印加される前記電圧の時間変化率が所定の閾値を超えた場合に前記容量素子と前記蓄電セルとを結ぶ線路に断線が生じたと判定する。

【0016】

本発明の他の一つは、上記バランス補正装置であって、前後して接続する第1の前記蓄電モジュールと第2の前記蓄電モジュールとの接続点にその一端が接続されるインダクタ

50

と、前記第 1 の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される第 1 のスイッチング素子と、前記第 2 の蓄電モジュールの正負端子間に前記インダクタとともに直列接続される第 2 のスイッチング素子と、を備え、前記スイッチング制御部は、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを交互にオンオフ制御することにより、前記インダクタを介して前記蓄電モジュール間で電力の授受を生じさせて前記蓄電モジュール間の電圧を均等化させる。

【0017】

本発明の他の一つは、上記バランス補正装置であって、前記第 3 のスイッチング装置及び前記第 2 のスイッチング素子は MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) であり、前記容量素子は、前記第 1 のスイッチング装置又は前記第 2 の

10

【0018】

本発明の他の一つは、上記バランス補正装置であって、直列接続された複数の前記蓄電モジュールで構成される集合電池の正負端子間に接続される一次巻線、及び前記蓄電モジュールの夫々の正負端子間に接続される複数の二次巻線を有するトランスと、前記集合電池と前記一次巻線とを含む経路において前記集合電池に直列接続されるスイッチング素子と、を備え、前記スイッチング制御部は、前記スイッチング素子をオンオフ制御することにより前記トランスを介して前記蓄電モジュール間で電力の授受を生じさせて前記蓄電モジュール間の電圧を均等化させる。

【0019】

20

本発明の他の一つは、蓄電装置であって、前記直列接続された複数の蓄電セルと上記バランス補正装置を備える。

【0020】

その他、本願が開示する課題、及びその解決方法は、発明を実施するための形態の欄、及び図面により明らかにされる。

【発明の効果】

【0021】

本発明によれば、簡素な構成にて回路中に生じた断線を確実に検出することができる。

【図面の簡単な説明】

【0022】

30

【図 1】コンバータ方式のバランス補正回路 1 の一例である。

【図 2】(a) は、制御回路 10 が第 1 の期間に出力する制御信号 $\phi 1$ 、 $\phi 2$ の波形であり、(b) 乃至 (d) は、第 1 の期間においてインダクタ L を流れる電流の波形である。

【図 3】(a) は、第 2 の期間における制御信号 $\phi 1$ 、 $\phi 2$ の波形であり、(b) は断線が生じていない場合におけるバランス補正回路 1 の所定箇所の電圧及び電流の変化を示すグラフであり、(c) は、断線が生じている場合におけるバランス補正回路 1 の所定箇所の電圧及び電流の変化を示すグラフである。

【図 4】断線部位 41 を示す図である。

【図 5】トランス方式のバランス補正回路 2 の一例である。

【図 6】コンバータ方式のバランス補正回路 6 の一例である。

40

【図 7】断線部位 71 を示す図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施形態について説明する。尚、以下の説明において、同一又は類似の部分に同一の符号を付して重複する説明を省略することがある。

【0024】

図 1 は本発明の一実施形態として示すバランス補正回路 1 (バランス補正装置) である。このバランス補正回路 1 は、例えば、直列接続された複数の蓄電セルからなる集合電池を利用する蓄電装置 (電気自動車、ハイブリッド自動車、電気二輪車、鉄道車両、昇降機、系統連携用蓄電装置、パーソナルコンピュータ、ノートブック型コンピュータ、携帯電

50

話機、スマートフォン、PDA機器等)に適用される。蓄電セルは、例えば、リチウムイオン二次電池、リチウムイオンポリマー二次電池等が代表的であるが、蓄電セルは、例えば、電気二重層キャパシタ等の他の種類の蓄電素子であってもよい。

【0025】

集合電池を構成している蓄電セル間で製造品質や劣化の度合いが異なる場合、蓄電セル間の電池特性(電池容量、放電電圧特性)に差が生じることがある。そしてこうした電池特性の差に起因して、充放電時等に蓄電セル間の電圧にばらつきが生じることがある。そこでこのようなばらつきの発生を抑制すべく、バランス補正回路1は、蓄電セル間の電圧もしくは直列接続された複数の蓄電セルからなる蓄電モジュール間の電圧を均等化(セルバランスの確保)させるように動作する。

10

【0026】

同図に示すように、蓄電セルB1とB2とが直列に接続されて集合電池3を構成している。集合電池3の正負端子31, 32には、集合電池3に充電電流を供給する電流供給源(例えば、充電器、回生回路)、集合電池3の起電力を利用して機能する負荷(例えば、モータ、需要家負荷、電子回路)等が接続される。

【0027】

蓄電セルB1の負極と蓄電セルB2の正極とを結ぶ線路には、インダクタLの一端が接続されている。またインダクタLの他端と蓄電セルB1の正極とを結ぶ線路には、スイッチング素子S1が設けられている。インダクタLの他端と蓄電セルB2の負極とを結ぶ線路には、スイッチング素子S2が設けられている。

20

【0028】

スイッチング素子S1, S2はMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)を用いて構成されている。スイッチング素子S1, S2は、制御回路10(スイッチング制御部)によって生成される制御信号 $\phi 1$, $\phi 2$ によって制御されるゲートドライバD1, D2によって、一方のスイッチング素子がオンの場合は他方のスイッチング素子がオフするように、互いに相補的に動作する。

【0029】

インダクタLの一端と蓄電セルB1の正極との間には容量素子C1が、インダクタLの一端と蓄電セルB2の負極との間には容量素子C2が、夫々設けられている。容量素子C1, C2は、例えば、スイッチング素子のオンオフ動作に起因して生じるノイズの低減、スイッチングにより蓄電セルB1, B2に生じる電圧変化の緩和などを目的として設けられる。尚、スイッチング素子S1, S2がMOSFETである場合、容量素子C1, C2は、スイッチング素子S1, S2の寄生容量であってもよい。また容量素子C1は、接続点J4と接続点J5との間に設けてもよい(容量素子C1の両端子を夫々、接続点J4、接続点J5に接続する)。

30

【0030】

同図に示すように、制御回路10は、制御信号生成回路101、デューティ比制御回路102、計測回路103(電圧計測部)、及び断線検出回路104(断線検出部)を備える。

【0031】

制御信号生成回路101は、ゲートドライバD1, D2の夫々に供給する2相の制御信号 $\phi 1$, $\phi 2$ を生成する。尚、本実施形態においては、制御信号 $\phi 1$, $\phi 2$ は、所定のデューティ比(例えば50%)の2相の方形波(例えばPWMパルス(PWM:Pulse Width Modulation))であるものとする。

40

【0032】

デューティ比制御回路102は、制御信号生成回路101が生成する制御信号 $\phi 1$, $\phi 2$ のデューティ比を制御する。計測回路103は、バランス補正回路1を構成している線路の所定部位の電圧の計測値並びに電流の計測値をリアルタイムに取得する。

【0033】

断線検出回路104は、第2の期間においてバランス補正回路1を構成している線路の

50

所定部位の電圧の時間変化率（単位時間当たりの電圧変化量）に基づき、バランス補正回路 1 を構成している線路における断線の有無を検出する。例えば、断線検出回路 104 は、容量素子 C 1, C 2 の端子間に印加される電圧の時間変化率（単位時間当たりの電圧変化量）が所定の閾値を超えているか否かに基づき、容量素子 C 1, C 2 と蓄電セル B 1 又は B 2 とを結ぶ線路における断線の有無を検出する。

【0034】

続いてバランス補正回路 1 の基本的な動作について、図 2 を参照しつつ説明する。

【0035】

図 2 (a) は、制御回路 10 が、スイッチング素子 S 1, S 2 のオンオフ制御を行っている期間に生成する、制御信号 $\phi 1$, $\phi 2$ の波形である。同図に示すように、上記期間中、制御回路 10 は、例えば、同一周期で相補的にオンオフされる方形波からなる制御信号 $\phi 1$, $\phi 2$ を生成する。

【0036】

図 2 (b) ~ (d) は、スイッチング素子 S 1, S 2 のオンオフ制御を行っている期間においてインダクタ L を流れる電流 i_L の波形である。このうち図 2 (b) は、蓄電セル B 1 の電圧 E_1 が蓄電セル B 2 の電圧 E_2 よりも大きい場合にインダクタ L を流れる電流 i_L の波形であり、図 2 (c) は、蓄電セル B 1 の電圧 E_1 が蓄電セル B 2 の電圧 E_2 よりも小さい場合にインダクタ L を流れる電流 i_L の波形であり、図 2 (d) は、蓄電セル B 1 の電圧 E_1 と蓄電セル B 2 の電圧 E_2 とが均等である（略等しい）場合にインダクタ L を流れる電流 i_L の波形である。

【0037】

ここで図 2 (b) に示すように、蓄電セル B 1 の電圧 E_1 が蓄電セル B 2 の電圧 E_2 よりも大きい場合 ($E_1 > E_2$)、スイッチング素子 S 1 がオンでスイッチング素子 S 2 がオフの間中は、主に蓄電セル B 1 の正極 → 接続点 J 6 → 接続点 J 4 → スwitching 素子 S 1 → インダクタ L → 接続点 J 3 → 接続点 J 1 → 蓄電セル B 1 の負極の経路（以下、これを第 1 経路と称する。）で電流 i_L が流れる。つまりこの期間中は主に図 1 に示す実線矢印の方向に電流 i_L が流れてインダクタ L にエネルギーが蓄積される。

【0038】

その後、スイッチング素子 S 1 がオフしてスイッチング素子 S 2 がオンすると、インダクタ L に蓄積されていたエネルギーが、インダクタ L → 接続点 J 3 → 接続点 J 1 → 蓄電セル B 2 の正極 → 蓄電セル B 2 の負極 → 接続点 J 7 → 接続点 J 5 → スwitching 素子 S 2 → インダクタ L の経路で放出され、これにより蓄電セル B 2 が充電される。そしてインダクタ L のエネルギーが無くなると、インダクタ L には逆方向に電流 i_L が流れ始める。

【0039】

また図 2 (c) に示すように、蓄電セル B 1 の電圧 E_1 が蓄電セル B 2 の電圧 E_2 よりも小さい場合 ($E_1 < E_2$)、スイッチング素子 S 1 がオフでスイッチング素子 S 2 がオンの期間中は、主に蓄電セル B 2 の正極 → 接続点 J 1 → 接続点 J 3 → インダクタ L → 接続点 J 2 → スwitching 素子 S 2 → 接続点 J 5 → 接続点 J 7 → 蓄電セル B 2 の負極の経路（以下、これを第 2 経路と称する。）で電流 i_L が流れる。つまりこの期間中は主に図 1 に示す破線矢印の方向に電流 i_L が流れてインダクタ L にエネルギーが蓄積される。

【0040】

その後、スイッチング素子 S 2 がオフしてスイッチング素子 S 1 がオンすると、インダクタ L に蓄積されていたエネルギーが、インダクタ L → 接続点 J 2 → スwitching 素子 S 1 → 接続点 J 4 → 接続点 J 6 → 蓄電セル B 1 の正極 → 蓄電セル B 1 の負極 → 接続点 J 1 → 接続点 J 3 → インダクタ L の経路で放出され、これにより蓄電セル B 1 が充電される。そしてインダクタ L のエネルギーが無くなると、インダクタ L には逆方向に電流 i_L が流れ始める。

【0041】

このように、蓄電セル B 1, B 2 間の電圧に差が存在する場合、第 1 経路及び第 2 経路に交互に電流 i_L が流れることにより、蓄電セル B 1 と蓄電セル B 2 との間でエネルギー

10

20

30

40

50

の授受が行われ、その結果両者の電圧が均等化されてセルバランスが確保される。尚、図 2 (d) に示すように、蓄電セル B 1 の電圧 E_1 と蓄電セル B 2 の電圧 E_2 とが均等である場合 ($E_1 < E_2$)、オンオフ制御に伴い蓄電セル B 1, B 2 間で授受されるエネルギーの収支はバランスしており、蓄電セル B 1, B 2 間の電圧は均等に保たれる。

【0042】

制御回路 10 は、計測回路 103 によって計測される電圧 (蓄電セル B 1, B 2 の夫々の端子間の電圧 (例えば、接続点 J 4 - J 3 間の電圧、接続点 J 3 - J 5 の間の電圧等) をリアルタイムに監視しており、蓄電セル B 1, B 2 の電圧が均等であること (略一致していること) を検知すると、スイッチング素子 S 1, S 2 のオンオフ制御を停止する。

【0043】

< 断線検出 >

続いて、本実施形態のバランス補正回路 1 による断線検出の仕組みについて説明する。制御回路 10 は、蓄電セル B 1, B 2 間のセルバランスを確保する必要があると判断すると、第 1 のデューティ比 (例えば 50%) からなる制御信号 ϕ_1 , ϕ_2 を出力してスイッチング素子 S 1, S 2 をオンオフ制御し、蓄電セル B 1, B 2 間での電力の授受を生じさせて蓄電セル B 1, B 2 間の電圧を均等化させる。

【0044】

一方、制御回路 10 は、線路中の断線検出を行うべく、上記オンオフ制御の期間 (以下、第 1 の期間と称する。) において、第 1 のデューティ比とは異なる第 2 のデューティ比 (例えば 70 ~ 90%) からなる制御信号 ϕ_1 , ϕ_2 を出力する期間 (以下、第 2 の期間と称する。) を、予め設定された間隔で繰り返し生じさせる。尚、制御回路 10 は、例えば、バランス補正回路 1 によるセルバランスの均等化に影響が生じないように時間間隔及び期間を設定して上記第 2 の期間を生じさせる。

【0045】

図 3 (a) に上記第 1 の期間及び第 2 の期間に制御回路 10 が出力する制御信号 ϕ_1 , ϕ_2 の一例を示す。同図において、時刻 $t_1 \sim t_3$ の期間が上記第 1 の期間に相当し、時刻 $t_3 \sim t_6$ の期間が上記第 2 の期間に相当する。ここで第 2 の期間においては、バランス補正回路 1 の線路に断線が生じている場合と生じていない場合とで容量素子 C 1, C 2 の夫々の端子間に印加される電圧の時間変化率に顕著な差が生じる。以下、これについて図 4 に示す断線部位 41 (バランス補正回路 1 の接続点 J 4 と蓄電セル B 1 の正極との間を結ぶ線路の所定部位) に断線が生じている場合を例として説明する。

【0046】

図 3 (b) は、図 3 (a) と同一の時間軸で示した、バランス補正回路 1 に断線が生じていない場合に計測回路 103 により計測されるバランス補正回路 1 の所定箇所の電圧変化並びに電流変化を示すグラフである。図 3 において、V a は、断線部位 41 に対して、スイッチング素子 S 1 側に繋がる線路の電圧 (容量素子 C 1 の、蓄電セル B 1 の正極に繋がる端子の電圧) であり (図 4 を参照)、V b は、断線部位 41 に対して蓄電セル B 1 の正極に繋がる線路の電圧であり、I b は、後述する断線部位 41 に対して蓄電セル B 1 の正極に繋がる線路を流れる電流である。尚、V a、V b を計測する際の基準電位は、例えば、接続点 J 3 や接続点 J 5 とする。

【0047】

図 3 (b) に示すように、バランス補正回路 1 に断線が生じていない場合には、第 2 の期間中、V a、V b、及び I b は、いずれも時間の経過とともに緩やかに上昇してゆく。

【0048】

図 3 (c) は、断線部位 41 に断線が生じている場合における、図 3 (a) と同一の時間軸で示した V a、V b、I b の時間変化を示すグラフである。同図に示すように、断線部位 41 に断線が生じている場合には、接続点 J 4 と蓄電セル B 1 の正極とを結ぶ線路には電流が流れず、従って V b 及び I b はいずれも一定のままである。しかしスイッチング動作によって容量素子 C 1 に電流が流れ込むため、V a の値が急激に上昇する (同図ではとくに時刻 $t_3 \sim t_5$ の期間)。

10

20

30

40

50

【0049】

このように、上記第2の期間におけるV_aの時間変化率が所定の閾値を超えるか否かを調べることで、接続点J4と蓄電セルB1の正極との間を結ぶ線路における断線の有無を確実に検出することができる。尚、以上と同様の仕組みにより、接続点J5と蓄電セルB2の負極との間を結ぶ線路における断線、接続点J3と蓄電セルB2の正極との間を結ぶ線路における断線についても検出することができる。

【0050】

以上に説明したように、本実施形態のバランス補正回路1によれば、簡素な構成にて回路中の断線の検出を確実に行うことができる。尚、このようにスイッチング動作中に途中でデューティ比を変化させたとしても、一般的なバランス補正装置が備える過充電監視制御や過放電監視制御の仕組みが作動するので、蓄電セルB1、B2の電圧が極端に上昇もしくは低下してしまうことはない。

【0051】

ところで、以上に説明した実施形態の説明は、本発明の理解を容易にするためのものであり、本発明を限定するものではない。本発明はその趣旨を逸脱することなく、変更、改良され得ると共に本発明にはその等価物が含まれることは勿論である。

【0052】

例えば、以上の実施形態では、第2のデューティ比を第1のデューティ比よりも高く設定しているが、第2のデューティ比を第1のデューティ比よりも低く設定してもよい。この場合、例えば図4に示す断線部位41に断線が生じるとV_aの値が急激に下降するので、これを検知することにより断線の有無を判定すればよい。

【0053】

計測回路103としては蓄電セルやセルモジュールのセルバランス（電圧差）を検出するための既存の電圧センサや電流センサを利用することができる。このため、本実施形態のバランス補正回路1は簡易かつ低コストで実現することができる。

【0054】

本発明のバランス補正回路は、蓄電セルとは別体に設けられるものであってもよいし、蓄電セルと一体化されて電池パック等を構成するものであってもよい。

【0055】

また前述した実施形態ではコンバータ方式のバランス補正回路1を例として説明したが、本発明はトランス方式のバランス補正回路にも適用することができる。

【0056】

図5は本発明を適用したトランス方式のバランス補正回路2の一例である。同図に示すように、蓄電セルB1及び蓄電セルB2が直列接続されて集合電池3が構成されている。集合電池3の正負端子間には、充電電流の供給源もしくは負荷が接続される。集合電池3の正負端子間には、トランスTrの一次巻線N1並びにスイッチング素子Sが接続されている。各蓄電セルB1、B2の正負端子間には、夫々、トランスTrの二次巻線N2が接続されている。

【0057】

蓄電セルB1、B2の夫々と、夫々の正負端子間に接続する二次巻線N2とで構成される経路には、夫々、整流素子d1、d2が設けられている。また蓄電セルB1、B2の夫々の正負端子間には、夫々容量素子C1、C2が接続している。容量素子C1、C2は、例えばトランスTrや素子から発生するノイズの低減、蓄電セルB1、B2に生じる電圧変化の緩和等を目的として設けられる。

【0058】

スイッチング素子Sは、制御回路20によって生成される制御信号によってオンオフ制御される。制御回路20は、前述した制御回路10と同様、制御信号生成回路201、デューティ比制御回路202、計測回路203、及び断線検出回路204を備える。

【0059】

制御信号生成回路201は、スイッチング素子Sをオンオフ制御するための制御信号を

10

20

30

40

50

生成する。スイッチング素子 S は、例えば、 $MOSFET$ やバイポーラトランジスタを用いて構成される。スイッチング素子 S がバイポーラトランジスタで構成されている場合、制御信号はベースに入力される。またスイッチング素子 S が $MOSFET$ で構成されている場合、制御信号はゲートに入力される。

【0060】

このバランス補正回路 2 においては、直列接続された蓄電セル $B1$ 、 $B2$ で構成される集合電池 3 の電力が、一次巻線 $N1$ から各二次巻線 $N2$ に再分配されることにより、蓄電セル $B1$ 、 $B2$ 間の電圧が均等化される。

【0061】

前述したコンバータ方式の場合と同様、同図に示す断線部位 51 における断線の有無は、前述した第 2 の期間における V_a の時間変化率が所定の閾値を超えているか否かを調べることにより判定する。また前述したコンバータ方式の場合と同様、容量素子 $C1$ と蓄電セル $B1$ の負極との間を結ぶ線路における断線の有無、容量素子 $C2$ と蓄電セル $B2$ の正極との間を結ぶ線路における断線の有無、容量素子 $C2$ と蓄電セル $B2$ の負極との間を結ぶ線路における断線の有無を判定することも可能である。

【符号の説明】

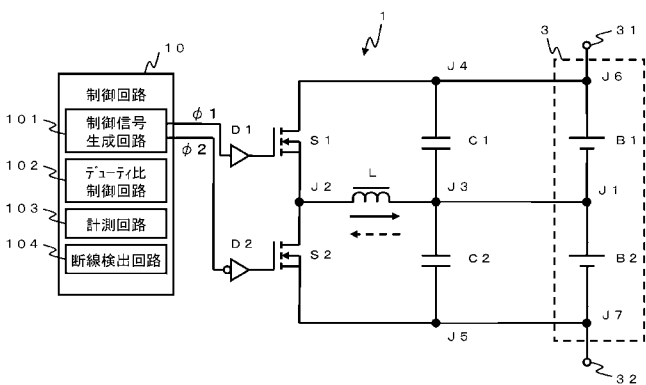
【0062】

1 バランス補正回路、 10 制御回路、 41 断線部位、 101 制御信号生成回路、 102 デューティ比制御回路、 103 計測回路、 104 断線検出回路、 L インダクタ、 $C1$ 、 $C2$ 容量素子、 $B1$ 、 $B2$ 蓄電セル、 $S1$ 、 $S2$ スwitching 素子

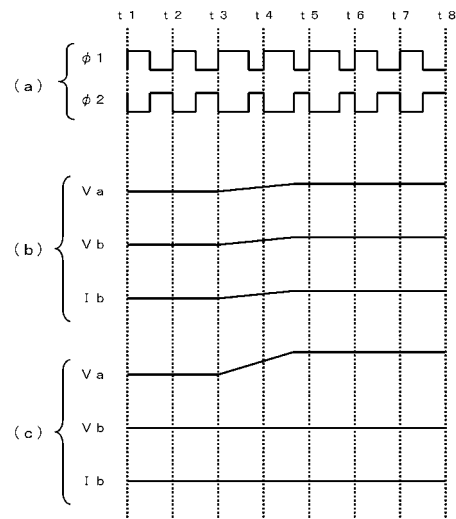
10

20

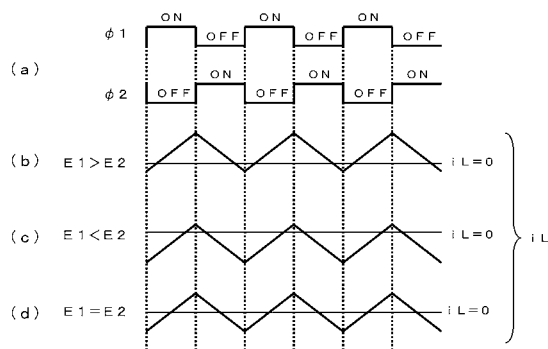
【図 1】



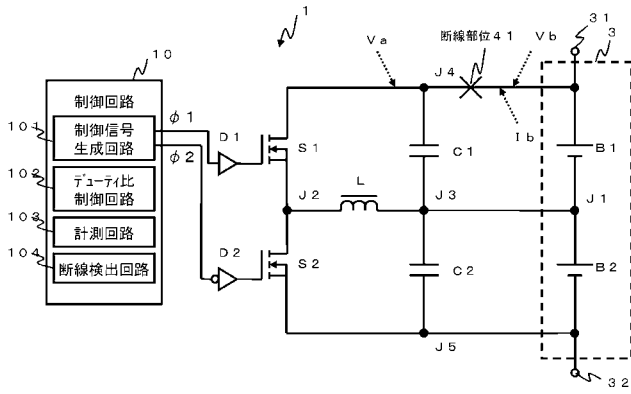
【図 3】



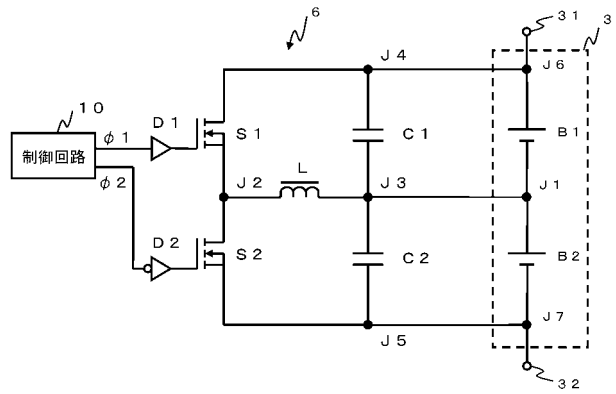
【図 2】



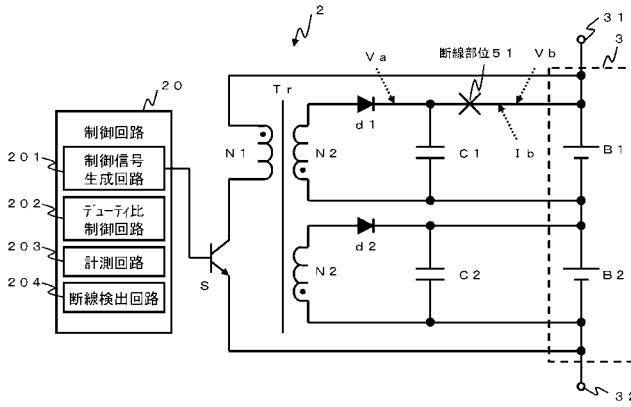
【図 4】



【図 6】



【図 5】



【図 7】

