

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6253401号
(P6253401)

(45) 発行日 平成29年12月27日(2017.12.27)

(24) 登録日 平成29年12月8日(2017.12.8)

(51) Int.Cl.

F 1

G 11 C 16/08 (2006.01)
G 11 C 8/08 (2006.01)G 11 C 16/08 130
G 11 C 16/08 120
G 11 C 16/08 140
G 11 C 8/08

請求項の数 5 (全 20 頁)

(21) 出願番号 特願2013-270644 (P2013-270644)
 (22) 出願日 平成25年12月27日 (2013.12.27)
 (65) 公開番号 特開2014-142989 (P2014-142989A)
 (43) 公開日 平成26年8月7日 (2014.8.7)
 審査請求日 平成28年11月9日 (2016.11.9)
 (31) 優先権主張番号 13/747,088
 (32) 優先日 平成25年1月22日 (2013.1.22)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127
 エヌエックスピー ユーエスエイ インコ
 ーポレイテッド
 N X P U S A, I n c.
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (72) 発明者 ジョン エス. チョイ
 アメリカ合衆国 78735 テキサス州
 オースティン メンラー ドライブ 7
 624

最終頁に続く

(54) 【発明の名称】ワード線／行ドライバのためのバイアス電圧を用いるフラッシュメモリ

(57) 【特許請求の範囲】

【請求項 1】

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第1の電流端子、および前記出力ノードに接続されている第2の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、

前記書き込み電圧を受け取るための第1の電流端子、前記第1のトランジスタの前記制御端子に接続されている第2の電流端子、および前記出力ノードに接続されている制御端子を有する第2のトランジスタとを含んでなり、書き込みモードの間、前記第2のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第1のトランジスタ

10

20

の導電性を制御する、メモリ。

【請求項 2】

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第1の電流端子、および前記出力ノードに接続されている第2の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、

前記書き込み電圧を受け取るための第1の電流端子、前記第1のトランジスタの前記制御端子に接続されている第2の電流端子、および前記出力ノードに接続されている制御端子を有する第2のトランジスタとを含んでなり、書き込みモードの間、前記第2のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第1のトランジスタの導電性を制御し、前記書き込みバイアス生成器は電流源をさらに備え、書き込みモードの間、前記出力ノードと前記電流源との間で前記第1のトランジスタを通じて流れる電流の量を制御するために前記第1のトランジスタの導電性が制御される、メモリ。

【請求項 3】

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第1の電流端子、および前記出力ノードに接続されている第2の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、

前記書き込み電圧を受け取るための第1の電流端子、前記第1のトランジスタの前記制御端子に接続されている第2の電流端子、および前記出力ノードに接続されている制御端子を有する第2のトランジスタとを含んでなり、書き込みモードの間、前記第2のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第1のトランジスタの導電性を制御し、前記書き込みバイアス生成器は電流源をさらに備え、書き込みモードの間、前記出力ノードと前記電流源との間で前記第1のトランジスタを通じて流れる電流の量を制御するために前記第1のトランジスタの導電性が制御され、

前記電流源と並列に位置する第2の電流源をさらに備え、読み出し回復モードの間、前記第2の電流源は、前記第1の電流源と並列の前記ダイオード接続トランジスタの前記第2の電流端子に電流を提供し、書き込みモードの間、前記第2の電流源は利用されない、メモリ。

【請求項 4】

10

20

30

40

50

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器であって、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

10

前記書き込み電圧を受け取るための第1の電流端子、および前記出力ノードに接続されている第2の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、

前記書き込み電圧を受け取るための第1の電流端子、前記第1のトランジスタの前記制御端子に接続されている第2の電流端子、および前記出力ノードに接続されている制御端子を有する第2のトランジスタとを含んでなり、書き込みモードの間、前記第2のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第1のトランジスタの導電性を制御する、前記書き込みバイアス電圧生成器と、

読み出しバイアス電圧生成器とを備え、該読み出しバイアス電圧生成器は、読み出し電圧を受け取るための第1の電流端子、および、読み出しバイアス電圧を提供するように構成されている第2の電流端子を有する第2のダイオード構成トランジスタを含んでなり、

20

前記書き込みバイアス電圧生成器は、第1の電流源をさらに備え、書き込みモードの間、前記出力ノードと前記第1の電流源との間で前記第1のトランジスタを通じて流れる電流の量を制御するために前記第1のトランジスタの導電性が制御され、

前記読み出しバイアス電圧生成器は、前記第2のダイオード構成トランジスタの前記第2の電流端子に結合されている第2の電流源をさらに備え、

前記第1の電流源は、前記第2の電流源よりも少ない電流を提供するようなサイズにされる、メモリ。

【請求項5】

30

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器であって、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

40

前記書き込み電圧を受け取るための第1の電流端子、および前記出力ノードに接続されている第2の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、

前記書き込み電圧を受け取るための第1の電流端子、前記第1のトランジスタの前記制御端子に接続されている第2の電流端子、および前記出力ノードに接続されている制御端子を有する第2のトランジスタとを含んでなり、書き込みモードの間、前記第2のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第1のトランジスタの導電性を制御する、前記書き込みバイアス電圧生成器と、

読み出しバイアス電圧生成器104であって、該読み出しバイアス電圧生成器は読み出

50

しバイアス電圧を提供するための出力ノードを含む、読み出しバイアス生成器と、

前記書き込みバイアス生成器の前記出力ノードに結合されている第1の入力、および、前記読み出しバイアス生成器の前記出力ノードに結合されている第2の入力を有する選択回路236とをさらに備え、該選択回路は、前記ワード線ドライバ回路の制御端子に結合されている出力を有し、前記制御端子は、前記ワード線ドライバ回路に結合されているメモリセルに対する動作の間に前記ワード線ドライバ回路によって引き込まれる電流を低減するのに使用される、メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、概して不揮発性メモリに関し、より詳細には、ワード線／行ドライバのためのバイアス電圧を生成することに関する。

【背景技術】

【0002】

電気的消去可能プログラマブル読み出し専用メモリ(EEPROM)およびフラッシュのような不揮発性メモリ(NVM)は、読み出し動作、書き込み動作、消去動作、および書き込み検証動作の間に、第1の電流電極および第2の電流電極ならびに制御ゲートにおいて異なるレベルの電圧を使用する。一般的に書き込み動作の間には最高レベルの電圧が使用される。NVMデバイスにおける電圧は、電圧生成器によって生成され、メモリセルのアレイ内の選択されたメモリセルに結合されているドライバ回路に供給される。ドライバ回路は負荷デバイスに対して電流を引き込む。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許第5828607号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

負荷は、ドライバ回路に対するバイアス電圧をミラーリングすることによって制限されている。バイアス電圧を駆動するための設定時間によって過渡が発生し、一方でミラーは電流が安定化するための時間を必要とし、それによって、ワード線電圧が安定化するためさらなる時間が必要となる。書き込み動作の速度を増大させるためにバイアス電圧を安定化するのに必要とされる時間を低減することが望ましい。

30

【課題を解決するための手段】

【0005】

第1の実施形態によると、メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス生成器は、

40

前記書き込み電圧を受け取るための第1の電流端子、および前記出力ノードに接続されている第2の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、

前記書き込み電圧を受け取るための第1の電流端子、前記第1のトランジスタの前記制

50

御端子に接続されている第2の電流端子、および前記出力ノードに接続されている制御端子を有する第2のトランジスタとを含んでなり、書き込みモードの間、前記第2のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第1のトランジスタの導電性を制御する、メモリを要旨とする。

【0006】

第2の実施形態は、第1の実施形態において、前記書き込みバイアス生成器は電流源をさらに備え、書き込みモードの間、前記出力ノードと前記電流源との間で前記第1のトランジスタを通じて流れる電流の量を制御するために前記第1のトランジスタの導電性が制御されることを要旨とする。

【0007】

第3の実施形態は、第2の実施形態において、前記電流源と並列に位置する第2の電流源をさらに備え、読み出し回復モードの間、前記第2の電流源は、前記第1の電流源と並列の前記ダイオード接続トランジスタの前記第2の電流端子に電流を提供し、書き込みモードの間、前記第2の電流源は利用されないことを要旨とする。

【0008】

第4の実施形態は、第2の実施形態において、第2の電流源をさらに備え、該第2の電流源は、書き込みモードの間、前記第2のトランジスタの前記第2の電流端子に電流を提供することを要旨とする。

【0009】

第5の実施形態は、第4の実施形態において、前記第2の電流源は、書き込みモードの間、前記出力ノードにおける電圧を提供するのに利用されないことを要旨とする。

第6の実施形態は、第1の実施形態において、前記書き込みバイアス生成器は、前記第1のダイオード構成トランジスタと並列に位置する第2のダイオード構成トランジスタをさらに有し、該第2のダイオード構成トランジスタは、書き込み動作の間に前記書き込み電圧を受け取るための第1の電流端子、および、前記出力ノードに接続されている第2の電流端子を有することを要旨とする。

【0010】

第7の実施形態は、第6の実施形態において、前記第2のダイオード構成トランジスタは、読み出し回復モードの間、前記出力ノードにおける電圧を提供するのに利用されないことを要旨とする。

【0011】

第8の実施形態は、第1の実施形態において、読み出し回復モードの間、前記第2のトランジスタは、前記出力ノードの前記電圧を制御するのに利用されないことを要旨とする。

【0012】

第9の実施形態は、第1の実施形態において、読み出しバイアス生成器をさらに備え、該読み出しバイアス生成器は、読み出し電圧を受け取るための第1の電流端子、および、読み出しバイアス電圧を提供するように構成されている第2の電流端子を有する第2のダイオード構成トランジスタを含んでなり、前記ダイオード構成トランジスタは、該第2のダイオード構成トランジスタとほぼ同じサイズであることを要旨とする。

【0013】

第10の実施形態は、第1の実施形態において、読み出しバイアス生成器をさらに備え、該読み出しバイアス生成器は、読み出し電圧を受け取るための第1の電流端子、および、読み出しバイアス電圧を提供するように構成されている第2の電流端子を有する第2のダイオード構成トランジスタを含んでなり、

前記書き込みバイアス生成器は、第1の電流源をさらに備え、書き込みモードの間、前記出力ノードと前記第1の電流源との間で前記第1のトランジスタを通じて流れる電流の量を制御するために前記第1のトランジスタの導電性が制御され、

前記読み出しバイアス生成器は、前記第2のダイオード構成トランジスタの前記第2の電流端子に結合されている第2の電流源をさらに備え、

10

20

30

40

50

前記第1の電流源は、前記第2の電流源よりも少ない電流を提供するようなサイズにされることを要旨とする。

【0014】

第11の実施形態は、第10の実施形態において、前記第1の電流源と並列に位置する第3の電流源をさらに備え、読み出し回復モードの間、前記第3の電流源は、前記第1の電流源と並列の前記ダイオード構成トランジスタの第2の電流端子に電流を提供し、書き込みモードの間、前記第3の電流源は利用されないことを要旨とする。

【0015】

第12の実施形態は、第11の実施形態において、前記第1の電流源および前記第3の電流源はともに、前記第2の電流源とほぼ同じ量の電流を提供するようなサイズにされることを要旨とする。 10

【0016】

第13の実施形態は、第1の実施形態において、読み出しバイアス生成器であって、該読み出しバイアス生成器は読み出しバイアス電圧を提供するための出力ノードを含む、読み出しバイアス生成器と、

前記書き込みバイアス生成器の前記出力ノードに結合されている第1の入力、および、前記読み出しバイアス生成器の前記出力ノードに結合されている第2の入力を有する選択回路とをさらに備え、該選択回路は、前記ワード線ドライバ回路の制御端子に結合されている出力を有し、前記制御端子は、前記ワード線ドライバ回路に結合されているメモリセルに対する動作の間に前記ワード線ドライバ回路によって引き込まれる電流を低減するのに使用されることを要旨とする。 20

【0017】

第14の実施形態は、第13の実施形態において、読み出し電圧を提供するための読み出し電圧生成器と、

前記書き込み電圧生成器に結合されている第1の入力、および、前記読み出し電圧生成器に結合されている第2の入力を有する第2の選択回路とをさらに備え、前記第2の選択器回路の前記出力は、前記メモリのメモリ動作の間に前記ワード線ドライバ回路の前記出力に接続されているワード線をバイアスするための電圧を提供することを要旨とする。

【0018】

第15の実施形態は、第13の実施形態において、前記ワード線ドライバ回路に結合されているメモリセルへの書き込みの間、前記書き込みバイアス生成器の前記出力ノードは前記書き込みバイアス電圧を提供し、前記選択回路はその第1の入力をその出力に結合し、前記書き込み動作の後、前記書き込みバイアス生成器は、該書き込みバイアス電圧の前記電圧が前記読み出しバイアス生成器の前記出力ノードの電圧にほぼ等しい電圧に移行される読み出し回復モードに入り、前記書き込みバイアス生成器の前記出力ノードの前記電圧が前記読み出しバイアス生成器の前記出力ノードの前記電圧にほぼ等しくなった後、前記選択回路はその第2の入力をその出力に結合することを要旨とする。 30

【0019】

第16の実施形態は、第1の実施形態において、前記書き込み電圧生成器は正電圧ノードであり、書き込み動作の間、前記書き込みバイアス生成器の前記出力は正書き込みバイアス電圧を提供し、前記メモリは、 40

書き込み負電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間、前記書き込み負電圧とは異なる書き込みバイアス負電圧を前記ワード線ドライバ回路に提供するための出力ノードを含む負の書き込みバイアス生成器とをさらに備え、前記書き込みバイアス負電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み負電圧生成器から引き込まれる電流を低減するために使用されることを要旨とする。

【0020】

第17の実施形態は、第16の実施形態において、前記負の書き込みバイアス生成器は 50

、前記書き込み負電圧を受け取るための第1の電流端子、および、前記負の書き込みバイアス生成器の前記出力ノードに接続されている第2の電流端子を含む第2のダイオード構成トランジスタと、

前記負の書き込みバイアス回路の前記出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第3のトランジスタと、

前記書き込み負電圧を受け取るための第1の電流端子、前記第3のトランジスタの前記制御端子に接続されている第2の電流端子、および、前記負の書き込みバイアス回路の前記出力ノードに接続されている制御端子を有する第4のトランジスタとを含み、書き込みモードの間、前記第4のトランジスタの導電性は、前記負の書き込みバイアス生成器の前記出力ノードの前記電圧を調整するために前記第3のトランジスタの導電性を制御することを要旨とする。
10

【0021】

第18の実施形態は、第1の実施形態において、複数のワード線ドライバ回路をさらに備え、前記複数のうちの各ワード線ドライバ回路について、前記書き込み電圧生成器は、前記複数のうちのワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間、前記複数のうちの前記ワード線ドライバ回路に書き込みバイアス電圧を提供し、前記書き込みバイアス電圧は、前記複数のうちの前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記複数のうちの前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用されることを要旨とする。

【0022】

第19の実施形態は、ワード線ドライバを動作させる方法において、ワード線ドライバに結合されているメモリセルに対する書き込み動作を実行するステップであって、該書き込み動作を実行するステップは、書き込み電圧生成器の出力から書き込み電圧を前記ワード線ドライバに提供するステップと、

書き込みバイアス生成器の出力から前記ワード線ドライバに書き込みバイアス電圧を提供するステップとを含んでなり、前記ワード線ドライバは、前記ワード線ドライバ回路に結合されている前記メモリセルに対する前記書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器の出力から引き込まれる電流を低減するために前記書き込みバイアス電圧を使用し、前記書き込みバイアス電圧を前記提供するステップは、前記書き込みバイアス生成器が、前記書き込み電圧生成器の前記出力から前記書き込み電圧を受け取るステップと、前記書き込み電圧からの前記書き込みバイアス電圧の生成において第1のトランジスタおよび第2のトランジスタを使用するステップとを含んでなる、書き込み動作を実行するステップと。
30

前記書き込み動作に続いて読み出し回復モードにおいて動作するステップであって、該読み出し回復モードにおいて動作するステップは、

前記書き込みバイアス生成器によって、前記書き込み電圧生成器の前記出力から電圧を受けるステップと、

前記書き込みバイアス生成器によって、前記第1のトランジスタおよび前記第2のトランジスタを使用することなく、前記書き込みバイアス生成器の前記出力においてバイアス電圧を生成するために前記書き込み電圧生成器の前記出力によって提供される前記電圧を使用するステップとを含んでなる、読み出し回復モードにおいて動作するステップとを備えることを要旨とする。

【0023】

第20の実施形態は、第19の実施形態において、前記読み出し回復モードにおいて前記動作するステップは、
40

10

20

30

40

50

最初に、前記ワード線ドライバの端子に前記書き込みバイアス生成器の前記出力の前記電圧を提供するステップと、

前記書き込みバイアス生成器に対する前記出力の前記電圧を、読み出しバイアス生成器の出力の電圧に整合させるステップと、

前記書き込み電圧生成器の前記出力の前記電圧を、読み出し電圧生成器の出力の電圧に整合させるステップと、

前記整合させるステップおよび整合させるステップの後に、前記読み出しバイアス生成器の前記出力の前記電圧を前記ワード線ドライバの前記端子に提供するステップとを含んでなることを要旨とする。

【0024】

10

第21の実施形態は、第19の実施形態において、前記第1のトランジスタは、前記書き込みバイアス生成器の前記出力に接続されている第1の電流端子を有し、

前記書き込み電圧からの前記書き込みバイアス電圧の生成において第1のトランジスタおよび第2のトランジスタを使用するステップは、

第2のトランジスタの第1の電流端子によって前記書き込み電圧を受け取るステップであって、前記第2のトランジスタの第2の電流端子は前記第1のトランジスタの制御端子に接続されており、前記第2のトランジスタの制御端子は前記書き込みバイアス生成器の前記出力に接続されている、受け取るステップと、

前記書き込みバイアス生成器の前記出力の前記電圧を調整するステップであって、該調整するステップは、前記第2のトランジスタの導電性が、前記第1のトランジスタの導電性を制御するステップを含む、調整するステップとを含んでなることを要旨とする。

【図面の簡単な説明】

【0025】

20

【図1】本開示に応じた不揮発性メモリ(NVM)デバイスの一実施形態のブロック図。

【図2】図1のNVMデバイス内で使用されることができるさまざまな回路の実施形態の概略を示す図。

【図3】書き込み動作モードの間の図2の正書き込みバイアス電圧生成器回路の構成の概略を示す図。

【図4】読み出し回復動作モードの間の図2の正書き込みバイアス電圧生成器回路の構成の概略を示す図。

30

【図5】図2の負書き込みバイアス電圧生成器回路の一実施形態の概略を示す図。

【発明を実施するための形態】

【0026】

本開示は例として示されており、添付の図面によって限定されない。図面において、同様の参照符号は類似の要素を示す。図面内の要素は簡潔かつ明瞭にするために示されており、必ずしも原寸に比例して描かれてはいない。

【0027】

書き込み動作中にワード線ドライバ内の電流を制限するための書き込みバイアス電圧を提供するデバイスおよび方法の実施形態が開示される。書き込みバイアス電圧は、ワード線ドライバ回路内で、ワード線信号を所望の電圧により迅速に安定化させ、結果としてメモリセルのより高速な動作を可能にするために使用される。

40

【0028】

図1は、読み出し電圧生成器またはノード102と、読み出しバイアス生成器またはノード104と、調整フィードバックを有する書き込みバイアス生成器またはノード106と、正の書き込み電圧を生成する書き込み正電圧生成器またはノード108と、アドレスデコーダ110と、コントローラ112と、正ブロック選択スイッチ114と、ワード線ドライバ116と、不揮発性メモリアレイ118と、負の書き込みバイアス生成器またはノード120と、負ブロック選択スイッチ122と、負の書き込み電圧を生成する書き込み負電圧生成器またはノード124とを含んでなる、本発明による不揮発性メモリ(NVM)デバイス100の一実施形態のブロック図である。

50

【0029】

読み出し電圧生成器 102 は、読み出しバイアス生成器 104 および正ブロック選択スイッチ 114 に読み出し電圧を供給するように結合されている。読み出し電圧生成器 102 は、チャージポンプまたは他の適切なデバイスを使用して実装されてもよい。

【0030】

読み出しバイアス生成器 102 は、正ブロック選択スイッチ 114 に読み出しバイアス電圧を供給するように結合されている。

調整フィードバックを有する書き込みバイアス生成器 106 は、正ブロック選択スイッチ 114 に書き込みバイアス信号を供給し、書き込み正電圧生成器 108 から書き込み正電圧を受信し、コントローラ 112 から制御信号を受信するように結合されている。 10

【0031】

書き込み正電圧生成器 108 は、書き込み正電圧生成器 108 からの書き込み正電圧を提供し、コントローラ 112 から制御信号を受信するように結合されている。書き込み正電圧生成器 108 は、チャージポンプ、リニアレギュレータ、または他の適切なデバイスを使用して実装されてもよい。

【0032】

アドレスデコーダ 110 はコントローラ 112 から制御信号を受信し、行および列選択信号を正ブロック選択スイッチ 114 およびワード線ドライバ 116 に供給する。

コントローラ 112 は、書き込み正電圧生成器 108、正ブロック選択スイッチ 114、負ブロック選択スイッチ 122、調整フィードバックを有する書き込みバイアス生成器 106、およびアドレスデコーダ 110 に、制御信号を提供する。 20

【0033】

正ブロック選択スイッチ 114 は、読み出し電圧生成器 102 からの読み出し電圧、読み出しバイアス生成器 104 からの読み出しバイアス電圧、書き込み正電圧生成器 108 からの書き込み正電圧、コントローラ 112 からの制御信号、アドレスデコーダ 110 からの行および列選択信号、ならびに、調整フィードバックを有する書き込みバイアス生成器 106 からの書き込みバイアス電圧を受信するように結合されている。正ブロック選択スイッチ 114 は、書き込み動作中は正の書き込みバイアス電圧および書き込み正電圧のような正ブロック選択信号を、ならびに、読み出し動作中は読み出し電圧および読み出しバイアス電圧をワード線ドライバ 116 に提供するように結合されている。 30

【0034】

ワード線ドライバ 116 は、正ブロック選択スイッチ 114 からの正ブロック選択信号、および負ブロック選択スイッチ 122 からの負ブロック選択信号を受信する。ワード線ドライバ 116 は、NVM アレイ 118 内のメモリセルの対応するグループまたはブロックにワード線信号を供給する。

【0035】

不揮発性メモリアレイ 118 は、メモリセルの行および列を成して配列されるメモリセルのアレイである。メモリセルは、ビット線または列ドライバ信号に結合されている 1 つの電流端子、グランドまたは負電圧に結合されている第 2 の電流端子、および、ワード線または列ドライバ信号に結合されている制御ゲートを含む MOSFET ドラジスタを用いて実装することができる。各個々のメモリセルは、アレイ内の対応する行および列を選択することによってアドレス指定することができる。メモリセルのサブセットは、ブロックにグループ化することができ、各ブロックは、ブロック消去のようなメモリ動作のために他のブロックから独立して選択することができる。 40

【0036】

負書き込みバイアス生成器 120 は、書き込み負電圧生成器 124 から書き込み負電圧を受信し、負ブロック選択スイッチ 122 に負の書き込みバイアス電圧を提供する。

負ブロック選択スイッチ 122 は、コントローラ 112 からの制御信号、書き込み負電圧生成器 124 からの書き込み負電圧、および負の書き込みバイアス生成器 120 からの書き込みバイアス負電圧を受信し、ワード線ドライバ 116 の各々にブロック選択信号を 50

提供する。

【0037】

書き込み負電圧生成器 124 は、負書き込みバイアス生成器 120 および負ブロック選択スイッチ 122 に書き込み負電圧を提供する。書き込み負電圧生成器 124 は、チャージポンプ、リニアレギュレータ、または他の適切なデバイスを使用して実装されてもよい。

【0038】

書き込み動作中、調整フィードバックを有する書き込みバイアス生成器 106 は、ワード線ドライバ回路 116 によって引き込まれる電流を低減するのに使用される書き込みバイアス電圧を生成する。書き込み動作の設定時間中に電流を低減することによって、ブロック選択スイッチ 114、122 によってワード線電圧がより速く選択されることが可能になり、従って、NVM デバイス 100 の性能が改善する。

【0039】

図 2 は、図 1 の NVM デバイス内のさまざまな構成要素を実装するために使用することができる回路の実施形態を示す概略図である。読み出しバイアス生成器 104 の一例は、読み出し電圧生成器 102 から読み出し電圧を受信するように結合されているソースまたは電流端子、電流源 204 の第 1 の端子に結合されているドレインまたは電流端子、および、ドレイン端子に結合されている制御ゲートまたは端子を有するダイオードとして構成されている P チャネルトランジスタ 202 を有する。電流源 204 の第 2 の端子はグランドに結合されている。トランジスタ 202 の制御ゲートは正ブロック選択スイッチ 114 内の第 1 のマルチプレクサ 236 に対する第 1 の入力に結合されている。

【0040】

正ブロック選択スイッチ 114 の一例は、第 1 のマルチプレクサまたは選択回路 234 と、第 2 のマルチプレクサまたは選択回路 236 とを有する。第 1 のマルチプレクサ 234 は、読み出し電圧生成器 102 からの読み出し電圧、および書き込み正電圧生成器 108 からの書き込み正電圧を受信するように結合されている。第 2 のマルチプレクサ 236 は、トランジスタ 202 の制御ゲートからの読み出しバイアス電圧、および、調整フィードバックを有する書き込みバイアス生成器 106 からの書き込みバイアス電圧を受信するように結合されている。マルチプレクサ 234、236 に対する入力の間で選択するように結合されているそれぞれの制御信号が、コントローラ 112 (図 1) によって提供される。読み出し動作中、読み出し電圧および読み出しバイアス電圧が、それぞれのマルチプレクサ 234、236 の出力として選択される。書き込み動作中、書き込み正電圧および書き込みバイアス正電圧が、それぞれのマルチプレクサ 234、236 の出力として選択される。

【0041】

調整フィードバックを有する書き込みバイアス生成器 106 の一例は、スイッチ 206 と、P チャネルトランジスタ 208 と、スイッチ 210 と、電流源 212 と、スイッチ 214 と、P チャネルトランジスタ 216 と、P チャネルトランジスタ 218 と、スイッチ 220 と、スイッチ 222 と、電流源 224 と、スイッチ 226 と、電流源 228 と、スイッチ 230 と、P チャネルトランジスタ 232 とを有する。P チャネルトランジスタ 208 および 218、スイッチ 210、214、220、ならびに電流源 212 は調整カスコード回路として構成される。P チャネルトランジスタ 208 は、書き込み正電圧生成器 108 に結合されているソース端子、スイッチ 210 を介して電流源 212 の第 1 の端子に結合可能なドレイン端子、および、P チャネルトランジスタ 216 のドレイン端子とトランジスタ 218 のソース端子との間に結合されているゲート端子を有する。

【0042】

スイッチ 206 は、ノード C と書き込み正電圧生成器 108 との間に結合されている。スイッチ 206 の一方の端子、トランジスタ 218 のゲート、トランジスタ 208 のドレイン端子、およびスイッチ 210 の一方の端子がノード C に結合されている。トランジスタ 218 のソース端子はトランジスタ 216 のドレイン端子に結合されている。トランジ

10

20

30

40

50

スタ 218 のソース端子は、スイッチ 220 を介してトランジスタ 218 のドレイン端子にも結合されることがある。トランジスタ 218 のドレイン端子は、電流源 224、228 の第1の端子にも、それぞれのスイッチ 222、226 を介して結合可能である。スイッチ 222 および電流源 224 はスイッチ 226 および電流源 228 と並列に接続されている。スイッチ 224、228 の第2の端子は共通のグランドに結合されている。

【0043】

トランジスタ 216 は、書き込み正電圧生成器 108 に結合されているソース端子、およびトランジスタ 216 のドレイン端子に結合されているゲート端子を有するダイオードとして構成される。トランジスタ 216 のドレイン端子はトランジスタ 218 のソース端子に結合されている。トランジスタ 216 のゲート端子はトランジスタ 232 のゲート端子にも結合されている。10

【0044】

トランジスタ 232 は、書き込み正電圧生成器 108 に結合されているソース端子、およびトランジスタ 216 のゲート端子に結合されているゲート端子を有する。トランジスタ 232 のドレイン端子は、トランジスタ 216 のドレイン端子とトランジスタ 218 のソース端子との間に出力される正の書き込みバイアス信号に結合される。

【0045】

図 2 に示すような 1 つのワード線ドライバ 116 の一例は、P チャネルトランジスタ 238、240 および N チャネルトランジスタ 242、244、246、248、250 を有する。P チャネルトランジスタ 238、240 のソース端子は互いに、およびマルチブレクサ 234 の出力に結合されている。トランジスタ 238 のドレイン端子は、トランジスタ 246 のドレイン端子ならびにトランジスタ 240 および 242 のゲート端子に結合されている。トランジスタ 238 のゲート端子はマルチブレクサ 236 の出力に結合されている。トランジスタ 238、240 の基板本体は、互いに、およびトランジスタ 240 のソース端子に結合されている。20

【0046】

トランジスタ 242 および 244 は互いに、およびトランジスタ 240 と直列に結合されている。トランジスタ 240 のドレイン端子はトランジスタ 242 のドレイン端子に結合されている。トランジスタ 242 のソース端子はトランジスタ 244 のドレイン端子に結合されている。トランジスタ 244 のソース端子は、負プロック選択スイッチ 122 内の負マルチブレクサ 254 の出力に結合されている。30

【0047】

トランジスタ 242 のゲート端子はトランジスタ 246 のドレイン端子に結合されている。トランジスタ 244 のゲート端子は、負プロック選択スイッチ 122 内のマルチブレクサまたは選択回路 256 の出力に結合されている。トランジスタ 242、244 の基板本体は、互いに、およびトランジスタ 244 のソース端子に結合されている。

【0048】

トランジスタ 246 ~ 250 は直列に結合されており、トランジスタ 246 のソース端子はトランジスタ 248 のドレイン端子に結合されている。トランジスタ 248 のソース端子はトランジスタ 250 のドレイン端子に結合されている。トランジスタ 250 のソース端子はグランドに結合されている。トランジスタ 246 のゲート端子は、低電圧保護バイアス生成器（図示せず）によって出力される低電圧保護信号に結合される。低電圧保護信号は、トランジスタ 246 を制御してトランジスタ 248 および 250 を高い正電圧から保護するのに使用される。トランジスタ 248、250 のゲート端子はアドレスデコーダ 110 からのアドレス復号信号に結合される。40

【0049】

トランジスタ 240 のドレイン端子とトランジスタ 242 のドレイン端子との間にワード線信号が出力される。

図 2 に示すような 1 つの負プロック選択スイッチ 122 の一例は、負マルチブレクサまたは選択回路 254 およびマルチブレクサ 256 を有する。負マルチブレクサ 254 は、50

V_{S S}として示す第1の供給電圧に結合されている第1の入力、および、書き込み負電圧生成器124の出力に結合されている第2の入力を有する。負マルチプレクサ254の出力は、トランジスタ244のソース端子に結合されている。マルチプレクサ256は、V_{D D}として示す第2の供給電圧に結合されている第1の入力、および、負書き込みバイアス生成器120の出力に結合されている第2の入力を有する。電圧V_{D D}は電圧V_{S S}よりも大きい。V_{S S}はグランドまたは負基準電圧であってもよい。マルチプレクサ256の出力は、トランジスタ244のゲート端子に結合されている。負マルチプレクサ254およびマルチプレクサ256はコントローラ112からそれぞれの制御入力を受信する。

【0050】

図示されている実施形態において、トランジスタ232のサイズはトランジスタ216のサイズの2倍である。トランジスタ216のサイズはトランジスタ238のサイズと同じである。電流源224によって引き込まれる電流の量は電流源212によって引き込まれる電流の量の3倍であり、電流源228によって引き込まれる電流の量は電流源212によって引き込まれる電流の量の2倍である。トランジスタ208および218は任意の適切なサイズを有することができる。

【0051】

スイッチ206、210、214、220、222、226、および230はコントローラ112によって、書き込みバイアス生成器106を、書き込み動作のためには書き込みバイアス正電圧を、および、読み出し回復動作のためには読み出しバイアス電圧を生成するように構成するようにセットされる。負の書き込みバイアス生成器120は、ソフトプログラム、ソフトプログラム検証、および消去検証のような特定の書き込み動作のための書き込みバイアス負電圧を生成するのに使用される。スイッチ206は、書き込みモードでも読み出し回復モードでもないときに、書き込みバイアス生成回路をディセーブルして安全状態に置くために閉じていることができる。スイッチ206が閉じているとき、スイッチ210および222は開いて、それぞれの電流源212および224をオフにする。

【0052】

図2および図3を参照して、図3は、その間に選択されたメモリセルがプログラムされる正の書き込み動作モードの間の図2の書き込みバイアス正電圧生成器回路106の構成を示す概略図である。スイッチ210、214、222および230は閉じており（導電状態）、スイッチ206および226は開いている（非導電状態）。正の書き込み動作中、マルチプレクサ234、236は、それぞれ書き込み正電圧および書き込みバイアス正電圧を出力する。書き込み正電圧はワード線供給ノードB（図2）に進み、書き込みバイアス正電圧はトランジスタ238に進む。書き込み正電圧と書き込みバイアス正電圧との間の関係は、書き込みバイアス生成器106によって、ワード線ノードBにおける電流がワード線選択に必要とされるレベルになるように調整される。書き込み正電圧は、たとえば、2~9ボルトに及ぶことができ、書き込みバイアス電圧は、トランジスタ240における電流レベルが迅速かつ正確に書き込み電圧に従うように調整される。電流源212、224は、ワード線ドライバ116によって必要とされる電圧を整合させるのに必要とされるバイアス電圧を提供するようなサイズにされる。

【0053】

書き込み動作中、書き込み電圧はハイにポンピングされ、非導電性トランジスタ218は電流源224をバイアスノードAから分離する。書き込み電圧が増大すると、トランジスタ208のゲート-ソース電圧によってトランジスタ208が導電性になり、ノードCにおける電圧がより高く引き上げられ、一方で電流源212を通じて制限された量の電流が放電される。ゲート型ダイオード（トランジスタ）216および232を通じてバイアスノードAにおける電圧が増大して書き込み電圧に従う。トランジスタ232はトランジスタ216の2倍のゲート幅を有し、従って、より多くの電流が流れることを可能にし、従って書き込みバイアス電圧が迅速に引き上げられて書き込み電圧レベルに従う。バイアスノードAにおける電圧が所定のレベルに達すると、トランジスタ208、216および

10

20

30

40

50

232は非導電性になり、バイアスノードAにおける電圧は所定のレベルのままになる。書き込み正電圧が閾値レベルを上回って上昇すると、トランジスタ218が導電し始め、バイアスノードAにおいて電圧を放電する。バイアスノードAにおける電圧が閾値レベルを下回って放電すると、トランジスタ208、216および232は導電性になる。このように、トランジスタ208および218は、正の書き込み動作の間にワード線ドライバ116のトランジスタ238において提供される書き込みバイアス電圧のレベルを調整する。

【0054】

追加の特徴として、ワード線ドライバ116内のトランジスタ248および250を含んでなるアドレス復号経路が目標ワード線ドライバ上の正書き込みバイアス電圧と対抗し、それによって、目標ワード線が容易に選択することができる。ワード線ドライバ116はレベルシフタとしても作用する。復号動作は1.2ボルトである論理レベルにあるが、ワード線は、たとえば、書き込み正電圧のレベルに基づいて最大9ボルトのようなはるかに高い電圧において駆動される場合がある。

10

【0055】

正書き込み動作が完了すると、NVMデバイス100は読み出し動作を実行するために電圧を回復するように再構成することができる。図2および図4を参照して、図4は、読み出し回復動作モードの間の図2の書き込みバイアス正電圧生成器回路106の構成を示す概略図である。スイッチ214、220、222、および226は閉じており（導電状態）、スイッチ206、210および230は開いており（非導電状態）、ゲート型ダイオード（トランジスタ）216は書き込み正電圧生成器108と、並列の電流源224、228との間で結合されたままになっている。読み出し回復中、書き込み正電圧および書き込みバイアス正電圧は読み出し電圧レベルにされている。電流源204のサイズは電流源224および228の合計とほぼ同じサイズであり、ダイオード構成トランジスタ202のサイズはダイオード構成トランジスタ216とほぼ同じサイズである。電流源224、228によって、ゲート型ダイオード216が、選択されたワード線ドライバ116における電圧を読み出し電圧レベルに整合させるための読み出しバイアス電流レベルを有するようになる。たとえば、読み出し電圧は4.5ボルトにセットすることができ、バイアス電流は約40マイクロアンペアにセットすることができる。

20

【0056】

30

図5は、図2の書き込みバイアス負電圧生成器回路120の一実施形態を示す概略図である。ワード線ドライバ116内のトランジスタ244のゲートは、負プロックスイッチ122内のマルチブレクサ256からの書き込みバイアス負電圧またはVDDのいずれかを受け取る。トランジスタ244のソースは、負マルチブレクサ254からのVSSまたは書き込み負電圧のいずれかを受け取る。ソフトプログラム、ソフトプログラム検証、および消去検証のような負の書き込み動作中、ワード線ノードBにおける選択解除負電圧はたとえば、-4.5ボルトであってもよい。読み出しおよび正の書き込み動作中、マルチブレクサ254は、トランジスタ244のソースにVSSを出力するように動作し、マルチブレクサ256はトランジスタ244のゲートにVDDを出力するように動作する。負の書き込み動作中、マルチブレクサ254は、トランジスタ244のソースに書き込み負電圧を出力するように動作し、マルチブレクサ256はトランジスタ244のゲートに書き込みバイアス負電圧を出力するように動作する。マルチブレクサ256によって提供されるトランジスタ244のバイアスは、ワード線ノードBにおける電圧が、負の書き込み動作中、対応するワード線を選択解除するのに必要とされるレベルになるのを促進する。

40

【0057】

上記のいくつかの実施形態において、ワード線ドライバ回路と、ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間にワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に書き込み電圧とは異なる書き込みバイアス電圧をワード線ドライバ回路に提供するための出力ノードを有する書き込みバイアス生成器とを備え

50

るメモリが提供されたことを諒解されたい。書き込みバイアス電圧は、ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間にワード線ドライバ回路によって書き込み電圧生成器から引き込まれる電流を低減するのに使用される。書き込みバイアス生成器は、書き込み電圧を受け取るための第1の電流端子、および出力ノードに接続されている第2の電流端子を有するダイオード構成トランジスタと、出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第1のトランジスタと、書き込み電圧を受け取るための第1の電流端子、第1のトランジスタの制御端子に接続されている第2の電流端子、および出力ノードに接続されている制御端子を有する第2のトランジスタとを有することができる。書き込みモードの間、第2のトランジスタの導電性が、出力ノードの電圧を調整するために第1のトランジスタの導電性を制御する。

10

【0058】

別の態様において、書き込みバイアス生成器は電流源をさらに備えることができ、書き込みモードの間、出力ノードと電流源との間で第1のトランジスタを通じて流れる電流の量を制御するために第1のトランジスタの導電性が制御される。

【0059】

別の態様において、メモリは、上記電流源と並列に位置する第2の電流源をさらに備えることができ、読み出し回復モードの間、第2の電流源は、第1の電流源と並列のダイオード接続トランジスタの第2の電流端子に電流を提供し、書き込みモードの間、第2の電流源は利用されない。

20

【0060】

別の態様において、メモリは第2の電流源をさらに備えることができ、第2の電流源は、書き込みモードの間、第2のトランジスタの第2の電流端子に電流を提供することができる。

【0061】

別の態様において、第2の電流源は、書き込みモードの間、出力ノードにおける電圧を提供するのに利用されなくてもよい。

別の態様において、書き込みバイアス生成器は、第1のダイオード構成トランジスタと並列に位置する第2のダイオード構成トランジスタをさらに有していてもよい。第2のダイオード構成トランジスタは、書き込み動作の間に書き込み電圧を受け取るための第1の電流端子、および、出力ノードに接続されている第2の電流端子を有していてもよい。

30

【0062】

別の態様において、第2のダイオード構成トランジスタは、読み出し回復モードの間、出力ノードにおける電圧を提供するのに利用されなくてもよい。

別の態様において、読み出し回復モードの間、第2のトランジスタは、出力ノードの電圧を制御するのに利用されなくてもよい。

【0063】

別の態様において、メモリは読み出しバイアス生成器をさらに備えることができ、読み出しバイアス生成器は、読み出し電圧を受け取るための第1の電流端子、および、読み出しバイアス電圧を提供するように構成されている第2の電流端子を有する第2のダイオード構成トランジスタを有する。上記ダイオード構成トランジスタは、第2のダイオード構成トランジスタとほぼ同じサイズであることができる。

40

【0064】

別の態様において、メモリは、読み出し電圧を受け取るための第1の電流端子、および、読み出しバイアス電圧を提供するように構成されている第2の電流端子を有する第2のダイオード構成トランジスタを有した読み出しバイアス生成器をさらに備えることができる。書き込みバイアス生成器は、第1の電流源をさらに備えることができる。書き込みモードの間、出力ノードと第1の電流源との間で第1のトランジスタを通じて流れる電流の量を制御するために第1のトランジスタの導電性が制御されることがある。読み出しバイアス生成器は、第2のダイオード構成トランジスタの第2の電流端子に結合されている第2の電流源をさらに備えることができる。第1の電流源は、第2の電流源よりも少ない

50

電流を提供するようなサイズにされることがある。

【0065】

別の態様において、メモリは、第1の電流源と並列に位置する第3の電流源をさらに備えることができる。読み出し回復モードの間、第3の電流源は、第1の電流源と並列のダイオード構成トランジスタの第2の電流端子に電流を提供する。書き込みモードの間、第3の電流源は利用されなくてもよい。

【0066】

別の態様において、第1の電流源および第3の電流源はともに、第2の電流源とほぼ同じ量の電流を提供するようなサイズにされることがある。

別の態様において、メモリは、読み出しバイアス生成器であって、当該読み出しバイアス生成器は読み出しバイアス電圧を提供するための出力ノードを有した、読み出しバイアス生成器と、書き込みバイアス生成器の出力ノードに結合されている第1の入力、および、読み出しバイアス生成器の出力ノードに結合されている第2の入力を有する選択回路とをさらに備えることができる。選択回路は、ワード線ドライバ回路の制御端子に結合されている出力を有することができる。制御端子は、ワード線ドライバ回路に結合されているメモリセルに対する動作の間にワード線ドライバ回路によって引き込まれる電流を低減するのに使用されることがある。

10

【0067】

別の態様において、メモリは、読み出し電圧を提供するための読み出し電圧生成器と、書き込み電圧生成器に結合されている第1の入力、および、読み出し電圧生成器に結合されている第2の入力を有する第2の選択回路とをさらに備えることができる。第2の選択器回路の出力は、メモリのメモリ動作の間にワード線ドライバ回路の出力に接続されているワード線をバイアスするための電圧を提供することができる。

20

【0068】

別の態様において、ワード線ドライバ回路に結合されているメモリセルへの書き込みの間、書き込みバイアス生成器の出力ノードは書き込みバイアス電圧を提供し、選択回路はその第1の入力をその出力に結合し、書き込み動作の後、書き込みバイアス生成器は、書き込みバイアス電圧の電圧が読み出しバイアス生成器の出力ノードの電圧にほぼ等しい電圧に移行される読み出し回復モードに入り、書き込みバイアス生成器の出力ノードの電圧が読み出しバイアス生成器の出力ノードの電圧にほぼ等しくなった後、選択回路はその第2の入力をその出力に結合する。

30

【0069】

別の態様において、書き込み電圧生成器は正電圧ノードであることができ、書き込み動作の間、書き込みバイアス生成器の出力は書き込みバイアス正電圧を提供することができる。メモリは、負書き込み電圧生成器と、ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間、書き込み負電圧とは異なる書き込みバイアス負電圧をワード線ドライバ回路に提供するための出力ノードを有する負の書き込みバイアス生成器とをさらに備えることができる。負書き込みバイアス電圧は、ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間にワード線ドライバ回路によって負書き込み電圧生成器から引き込まれる電流を低減するのに使用されることがある。

40

【0070】

別の態様において、負の書き込みバイアス生成器は、書き込み負電圧を受け取るための第1の電流端子、および、負の書き込みバイアス生成器の出力ノードに接続されている第2の電流端子を含んでなる第2のダイオード構成トランジスタと、負の書き込みバイアス回路の出力ノードに接続されている第1の電流端子、第2の電流端子、および制御端子を有する第3のトランジスタと、書き込み負電圧を受け取るための第1の電流端子、第3のトランジスタの制御端子に接続されている第2の電流端子、および、負の書き込みバイアス回路の出力ノードに接続されている制御端子を有する第4のトランジスタとを有することができる。書き込みモードの間、第4のトランジスタの導電性が、負書き込みバイアス生成器の出力ノードの電圧を調整するために第3のトランジスタの導電性を制御すること

50

ができる。

【0071】

別の態様において、メモリは、複数のワード線ドライバ回路をさらに備えることができる。複数のうちの各ワード線ドライバ回路について、書き込み電圧生成器は、複数のうちのワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間、複数のうちのワード線ドライバ回路に書き込み電圧を提供することができる。複数のうちの各ワード線ドライバ回路について、出力ノードは、複数のうちのワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間、複数のうちのワード線ドライバ回路に書き込みバイアス電圧を提供することができる。書き込みバイアス電圧は、複数のうちのワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に複数のうちのワード線ドライバ回路によって書き込み電圧生成器から引き込まれる電流を低減するのに使用される。10

【0072】

さらに別の態様において、ワード線ドライバを動作させる方法は、ワード線ドライバに結合されているメモリセルに対する書き込み動作を実行するステップを備えることができる。書き込み動作を実行するステップは、書き込み電圧生成器の出力から書き込み電圧をワード線ドライバに提供するステップと、書き込みバイアス生成器の出力からワード線ドライバに書き込みバイアス電圧を提供するステップとを備えることができる。ワード線ドライバは、ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間にワード線ドライバ回路によって書き込み電圧生成器出力から引き込まれる電流を低減するために書き込みバイアス電圧を使用することができる。書き込みバイアス電圧を提供するステップは、書き込みバイアス生成器が、書き込み電圧生成器の出力から書き込み電圧を受け取るステップと、書き込み電圧からの書き込みバイアス電圧の生成において第1のトランジスタおよび第2のトランジスタを使用するステップと、書き込み動作に続いて読み出し回復モードにおいて動作するステップを備えることができる。読み出し回復モードにおいて動作するステップは、書き込みバイアス生成器によって、書き込み電圧生成器の出力から電圧を受け取るステップと、書き込みバイアス生成器によって、第1のトランジスタおよび第2のトランジスタを使用することなく、書き込みバイアス生成器の出力においてバイアス電圧を生成するために書き込み電圧生成器の出力によって提供される電圧を使用するステップとを備えることができる。20

【0073】

別の実施形態において、読み出し回復モードにおいて動作するステップは、最初に、ワード線ドライバの端子に書き込みバイアス生成器の出力の電圧を提供するステップと、書き込みバイアス生成器に対する出力の電圧を、読み出しバイアス生成器の出力の電圧に整合させるステップと、書き込み電圧生成器の出力の電圧を、読み出し電圧生成器の出力の電圧に整合させるステップと、上記整合させるステップおよび整合させるステップの後に、読み出しバイアス生成器の出力の電圧をワード線ドライバの端子に提供するステップとを備えることができる。

【0074】

別の態様において、第1のトランジスタは、書き込みバイアス生成器の出力に接続されている第1の電流端子を有することができる。書き込み電圧からの書き込みバイアス電圧の生成において第1のトランジスタおよび第2のトランジスタを使用するステップは、第2のトランジスタの第1の電流端子によって書き込み電圧を受け取るステップを備えることができる。第2のトランジスタの第2の電流端子は第1のトランジスタの制御端子に接続されることができ、第2のトランジスタの制御端子は書き込みバイアス生成器の出力に接続されることができる。書き込みバイアス生成器の出力の電圧は、第1のトランジスタの導電性を制御するために第2のトランジスタの導電性を使用することによって調整されることができる。40

【0075】

本発明による装置は、大部分について、当業者に既知の電子コンポーネントおよび回路

10

20

30

40

50

から成っているため、本開示の基礎となる概念の理解および評価のために、ならびに本開示の教示を分かりにくくせず当該教示から注意を逸らせないために、回路の詳細は上記で例示されているように必要と考えられる範囲を超えては説明されない。

【0076】

本発明は特定の導電型または電位の極性に関して記載されているが、当業者には導電型および電位の極性は逆になつてもよいことが理解される。

その上、本明細書および特許請求の範囲における「正面（front）」、「裏（back）」、「上部（top）」、「底（bottom）」、「上（over）」、「下（under）」などの用語は、存在する場合、説明を目的として使用されており、必ずしも永久的な相対位置を記述するために使用されてはいない。このように使用される用語は、本明細書に記載されている本開示の実施形態がたとえば、本明細書において例示または他の様態で記載されている以外の方向で動作することが可能であるように、適切な状況下で置き換え可能であることが理解される。10

【0077】

さらに、上述の動作の機能間の境界は例示にすぎないことを当業者は認識しよう。複数の動作の機能を单一の動作に組み合わせてもよく、かつ／または単一の動作の機能を追加の動作に分散させてもよい。その上、代替的な実施形態は、特定の動作の複数のインスタンスを含んでもよく、動作の順序はさまざまな他の実施形態においては変更してもよい。

【0078】

本明細書において、具体的な実施形態を参照して本開示を説明したが、添付の特許請求の範囲に明記されているような本開示の範囲から逸脱することなくさまざまな改変および変更を為すことができる。従って、本明細書および図面は限定的な意味ではなく例示とみなされるべきであり、すべてのこのような改変が本開示の範囲内に含まれることが意図されている。本明細書において具体的な実施形態に関して記載されているいかなる利益、利点、または問題に対する解決策も、任意のまたはすべての請求項の重要な、必要とされる、または基本的な特徴または要素として解釈されるようには意図されていない。20

【0079】

本明細書において使用される場合、「結合されている」という用語は、直接結合または機械的結合に限定されるようには意図されていない。

さらに、本明細書において使用される場合、「1つ（“a” or “an”）」という用語は、1つまたは2つ以上として定義される。さらに、特許請求の範囲における「少なくとも1つの」および「1つ以上の」のような前置きの語句の使用は、不定冠詞「1つの（“a” or “an”）」による別の請求項要素の導入が、このように導入された請求項要素を含む任意の特定の請求項を、たとえ同じ請求項が前置きの語句「1つ以上の」または「少なくとも1つの」および「1つの（“a” or “an”）」のような不定冠詞を含む場合であっても、1つだけのこのような要素を含む開示に限定することを暗示するように解釈されるべきではない。同じことが、定冠詞の使用についても当てはまる。

【0080】

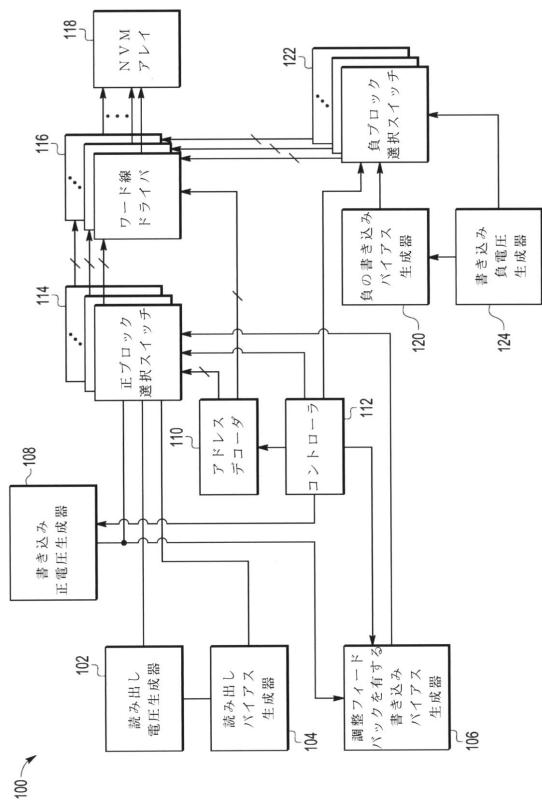
別途記載されない限り、「第1の」および「第2の」のような用語は、そのような用語が説明する要素間で適宜区別するように使用される。従って、これらの用語は必ずしも、このような要素の時間的なまたは他の優先順位付けを示すようには意図されていない。

【符号の説明】

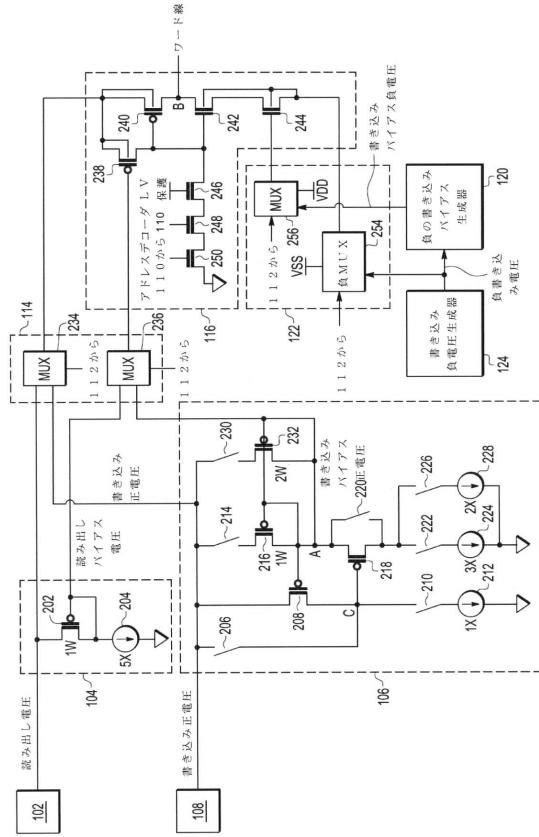
【0081】

1...メモリ、116...ワード線ドライバ回路、書き込み電圧、108, 124...書き込み電圧生成器、120...書き込みバイアス生成器、202, 216...ダイオード構成トランジスタ。

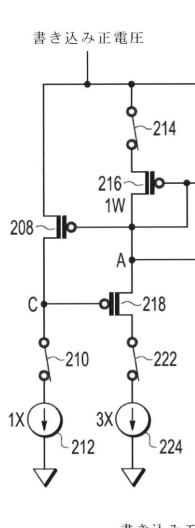
【 四 1 】



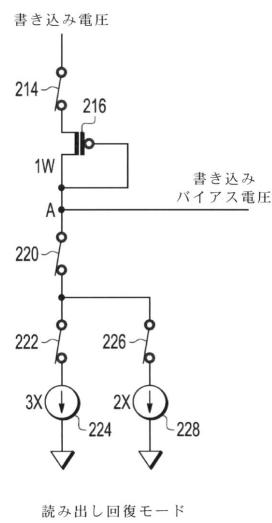
【 四 2 】



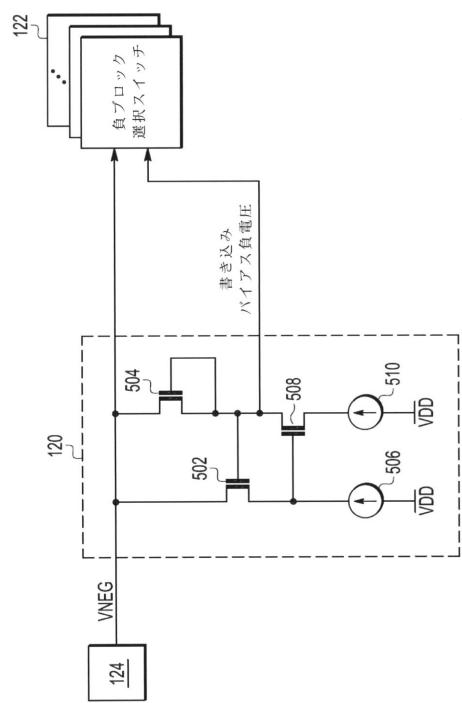
【 四 3 】



【 四 4 】



【図5】



フロントページの続き

(72)発明者 パドマラージ サンジーバラオ
アメリカ合衆国 78739 テキサス州 オースティン タナクア レーン 7121

審査官 後藤 彰

(56)参考文献 特開2005-85404 (JP, A)
特開平7-153276 (JP, A)
特開昭61-45496 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 11 C 16 / 08
G 11 C 8 / 08