

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 10.11.99.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 11.05.01 Bulletin 01/19.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : MHS Société anonyme — FR.

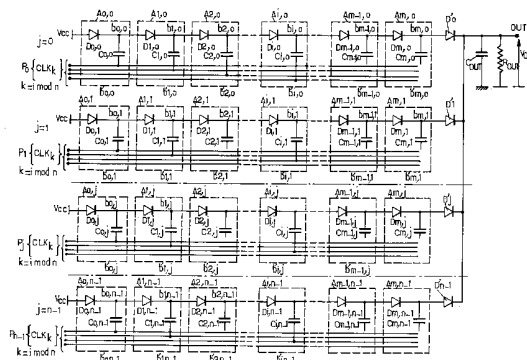
72 Inventeur(s) : GERBER REMI et ROJAS PATRICE
ALEXANDRE.

73 Titulaire(s) :

74 Mandataire(s) : CABINET PLASSERAUD.

54 CIRCUIT ELEVATEUR DE TENSION DE TYPE POMPE DE CHARGE.

57 L'invention concerne un élévateur de tension comprenant une pluralité de n voies de rang j formées chacune par plusieurs cellules (A_i, j), i désignant l'ordre de la cellule dans la voie de rang j considéré, chaque cellule comportant une diode (D_i, j) et un condensateur (C_i, j) dont l'une des bornes est reliée à une borne de cette diode, l'autre borne de cette diode étant reliée au point commun de la diode (D_i, j) et du condensateur (C_i, j) de la cellule (A_{i-1}, j) adjacente de même rang, l'autre borne de ce condensateur (C_i, j) recevant l'un des signaux d'horloge de rang $j=k$ tel que $k=i \bmod n$, k désignant le reste de la division de l'ordre i par n , chaque signal d'horloge étant constitué par un signal rectangulaire de facteur de forme $1/n$ et retardé de jT/n où T désigne la période de chaque signal d'horloge, la dernière cellule (A_m, j) de chaque voie de rang j étant reliée à ladite borne de sortie (OUT) par une diode de sortie (D_j), l'ensemble des n voies étant connectées en parallèle sur ladite borne de sortie (OUT) par l'intermédiaire desdites diodes de sortie, ce qui permet de délivrer un signal de charge à chaque partie T/n du signal d'horloge et de charger la borne de sortie à une valeur de tension proportionnelle au nombre n de voies.



CIRCUIT ÉLÉVATEUR DE TENSION DE TYPE POMPE DE CHARGE

L'invention concerne un circuit élévateur de tension de type pompe de charge destiné à produire une tension supérieure à sa tension d'alimentation.

A l'heure actuelle, on utilise couramment de tels circuits élévateurs de tension, notamment dans les circuits intégrés qui comportent des mémoires non volatiles, dont la programmation nécessite une tension de programmation supérieure à la tension d'alimentation des circuits intégrés.

Parmi ces circuits élévateurs de tension de type pompe de charge, l'invention concerne plus particulièrement un circuit commandé par un signal d'horloge comprenant une pluralité de cellules en Γ constituées chacune par un élément redresseur et un condensateur connectés en cascade entre une tension d'alimentation et une tension de référence.

Le schéma de principe d'un tel circuit est représenté sur la figure 1. Il comprend une succession de, par exemple, quatre cellules identiques comprenant chacune une diode D et un condensateur de pompage de capacité C . La quatrième cellule est connectée à une borne de sortie OUT par l'intermédiaire d'une diode D' qui est identique à chaque diode D . Cette diode D' est montée de façon à ce que son anode soit connectée à la quatrième cellule et sa cathode soit connectée à une résistance de charge R_{OUT} montée en parallèle avec un condensateur de filtrage C_{OUT} . Ce circuit élévateur comprend en outre des interrupteurs pour commuter les connexions des condensateurs C entre une tension d'alimentation V_{CC} et une tension de référence V_{REF} .

selon deux signaux d'horloge périodiques complémentés CLK et $\overline{CLK}$. Dans cet exemple, la tension V_{CC} est égale à 3 V et la tension V_{REF} est sensiblement nulle. Quant aux valeurs respectives de R_{OUT} et de C_{OUT} , elles sont égales
5 respectivement à $33k\Omega$ et $10nF$. Comme cela est représenté sur la figure 2, les signaux CLK et $\overline{CLK}$ sont en opposition de phase.

Si on suppose que le signal CLK est à la tension d'alimentation V_{CC} au cours d'une première demi-période, le
10 condensateur de la première cellule est alors chargé à V_{CC} . Au cours de la demi-période suivante, le signal CLK passe à la tension de référence V_{REF} si bien que le condensateur C de la première cellule se décharge partiellement dans le condensateur C de la deuxième cellule. Puis dans la demi-
15 période suivante, le condensateur C de la première cellule se charge à nouveau. Compte tenu du fait que la présence des diodes D empêche la décharge du condensateur d'une cellule dans le condensateur d'une cellule immédiatement précédente, la tension de sortie V_{OUT} évolue progressivement jusqu'à
20 atteindre une valeur égale à environ $5V_{CC}$ (en faisant abstraction des chutes de tension dans les diodes D et la diode D').

Un des problèmes de ce type de circuit est que la valeur de la tension de sortie obtenue n'est pas suffisante,
25 notamment dans le cas où l'on souhaite utiliser cet élévateur de tension pour alimenter un dispositif, tel que par exemple un afficheur à cristaux liquides, un chargeur de batteries ou autres.

En effet, comme on peut l'observer à la figure 3, au
30 cours d'une première demi-période $\frac{T}{2}$, le condensateur C_{OUT} se

charge sous l'effet du passage du signal $\overline{CLK}$ à la tension d'alimentation V_{CC} , c'est à dire que l'intensité du courant de sortie I_{OUT} croît rapidement jusqu'à atteindre sa valeur maximale, laquelle est égale à environ $5 \frac{V_{CC}}{R_{OUT}}$, puis se

5 décharge exponentiellement dans la résistance de sortie R_{OUT} avec la constante de temps $R_{OUT} \cdot C_{OUT}$, c'est à dire que l'intensité du courant de sortie I_{OUT} décroît exponentiellement avec la constante de temps $R_{OUT} \cdot C_{OUT}$, laquelle est non négligeable par rapport à la période T des

10 signaux d'horloge CLK et $\overline{CLK}$. Au cours de la demi-période $\frac{T}{2}$ suivante, le signal $\overline{CLK}$ passe à la tension de référence V_{REF} . Etant donné que la tension V_{REF} est sensiblement nulle, aucun courant n'est délivré dans R_{OUT} , et, de ce fait, V_{OUT} est nulle. Comme on peut le voir sur la figure 3, le

15 phénomène se répète ainsi à chaque période suivante du signal $\overline{CLK}$.

Un autre problème de ce circuit élévateur de tension réside dans son encombrement relativement élevé lorsqu'il est réalisé sous la forme d'un circuit intégré. En effet,

20 comme on peut l'observer sur la figure 4, pour obtenir une tension de sortie V_{OUT} de valeur égale à 4,6V à partir d'une tension d'alimentation V_{CC} de 3V, la valeur de la capacité C de chaque condensateur de pompage est choisie de manière à être égale à 32,3 pF, ce qui, compte tenu du nombre non

25 négligeable de condensateurs de pompage utilisés, correspond à une surface de silicium importante.

La présente invention a notamment pour but de remédier aux inconvénients précités.

A cet effet, le circuit élévateur de tension selon la présente invention comprend :

- un module générateur d'une pluralité de n signaux d'horloge CLK_j , $j \in [0, n-1]$, chaque signal d'horloge de rang j délivré par ledit module générateur étant constitué par un signal rectangulaire de facteur de forme $1/n$ et retardé de jT/n où T désigne la période de chaque signal d'horloge ;
- une pluralité de n voies de rang j formées chacune par une pluralité de cellules en $\Gamma (A_i, j)$ en cascade, i désignant l'ordre de la cellule dans la voie de rang j considéré, chaque cellule comportant une diode et un condensateur dont l'une des bornes est connectée à une borne de cette diode, l'autre borne de cette diode étant connectée au point commun de la diode et du condensateur de la cellule adjacente de même rang, l'autre borne de ce condensateur recevant l'un des signaux d'horloge de rang $j=k$ tel que $k=i \bmod n$, k désignant le reste de la division de l'ordre i par n le nombre de voies, la dernière cellule de chaque voie de rang j étant connectée à une borne de sortie par une diode de sortie, l'ensemble des n voies étant connectées en parallèle sur ladite borne de sortie par l'intermédiaire desdites diodes de sortie, ce qui permet de délivrer un signal de charge à chaque partie T/n du signal d'horloge et de charger la borne de sortie à une valeur de tension proportionnelle au nombre n de voies.

L'avantage d'une telle disposition de circuit est qu'un courant de sortie I_{OUT} est engendré dans la résistance de charge à chaque partie T/n du signal d'horloge, d'où il résulte que la tension de sortie V_{OUT} n'a pas le temps de

décroître au cours d'une période de ce signal d'horloge, et reste de ce fait à un niveau sensiblement constant.

D'autres caractéristiques et avantages de la présente invention apparaîtront au cours de la description
5 détaillée suivante de deux de ses formes de réalisation, données à titre d'exemples non limitatifs, en regard des dessins joints.

Sur les dessins :

- la figure 1a représente le schéma d'un circuit
10 élévateur de tension du type pompe de charge à une seule voie ;

- la figure 1b représente les signaux d'horloge associés au circuit de la figure 1 ;

- la figure 1c représente une courbe représentative
15 de l'évolution du courant de sortie en fonction du temps, dans le cas du circuit de la figure 1 ;

- la figure 1d représente une courbe représentative de l'évolution de la tension de sortie en fonction de la valeur des condensateurs de pompage, dans le cas du circuit
20 de la figure 1 ;

- la figure 2a représente, sous forme matricielle, un circuit élévateur de type pompe de charge à n voies et m cellules en Γ par voie, conformément à l'objet de la présente invention ;

25 - la figure 2b représente de manière illustrative les signaux d'horloges appliqués à chaque voie du circuit de la figure 2a ;

- la figure 3 représente un circuit élévateur de tension du type pompe de charge à deux voies, selon la
30 présente invention telle que représentée en figure 2a ;

- la figure 4 représente une courbe représentative de l'évolution du courant de sortie en fonction du temps, dans le cas du circuit de la figure 3 ;

5 - la figure 5 représente une courbe représentative de l'évolution de la tension de sortie en fonction de la valeur des condensateurs de pompage, dans le cas du circuit de la figure 3 ;

10 - la figure 6 représente une variante du mode de réalisation de la figure 3, selon laquelle le circuit élévateur de tension du type pompe de charge comporte une troisième voie ;

- la figure 7 représente les signaux d'horloge associés au circuit de la figure 6.

15 On va maintenant décrire, en référence à la figure 2a, un mode de réalisation général du circuit élévateur de tension selon la présente invention, lequel se présente sous forme matricielle. Ce mode de réalisation est essentiel car il se prête bien à une exécution sous forme intégrée.

20 Comme on peut le voir sur cette figure, ce circuit comprend n voies de pompage de charge de rang j montées en parallèle, $j \in [0, n-1]$.

25 Chaque voie de rang j du circuit élévateur de tension selon la présente invention comprend une pluralité de cellules en Γ $A_{i,j}$ montées en cascade, i désignant l'ordre de la cellule dans la voie de rang j considéré. Ces cellules, toutes identiques, sont représentées en pointillé sur la figure 2a, respectivement par $A_{0,0}$, $A_{1,0}$, ..., $A_{i,0}$, ..., $A_{m-1,0}$, $A_{m,0}$ lorsque $j=0$, respectivement par $A_{0,1}$, $A_{1,1}$, ..., $A_{i,1}$, ..., $A_{m-1,1}$, $A_{m,1}$ lorsque $j=1$, ..., et respectivement par
30 $A_{0,n-1}$, $A_{1,n-1}$, ..., $A_{i,n-1}$, ..., $A_{m-1,n-1}$, $A_{m,n-1}$ lorsque $j=n-1$.

Chaque cellule $A_{i,j}$ comprend une diode $D_{i,j}$ et un condensateur de pompage de capacité $C_{i,j}$.

La diode $D_{0,j}$ de chaque première cellule $A_{0,j}$ a son anode reliée à la tension d'alimentation V_{CC} , laquelle, dans cet exemple, a une valeur fixée à 3V. La cathode de chaque diode $D_{0,j}$ est quant à elle reliée à une première borne $b_{0,j}$ du condensateur $C_{0,j}$ de la première cellule $A_{0,j}$ et à l'anode de la diode $D_{1,j}$ de la deuxième cellule $A_{1,j}$. Mise à part chacune de ces diodes $D_{0,j}$, il résulte du montage en cascade que chacune des autres diodes $D_{i,j}$ a son anode qui est reliée à la fois à la cathode de la diode $D_{i-1,j}$ et à la première borne $b_{i-1,j}$ du condensateur $C_{i-1,j}$ de la cellule $A_{i-1,j}$ adjacente de même rang.

Toujours en référence à la figure 2a, la dernière cellule $A_{m,j}$ de chaque voie de rang j est connectée à une borne de sortie OUT par l'intermédiaire d'une diode $D'j$ qui est identique à chaque diode $D_{i,j}$. Chaque diode $D'j$ est montée de façon à ce que son anode soit connectée à la cathode de la diode $D_{m,j}$ de la dernière cellule $A_{m,j}$ de chaque voie de rang j et que sa cathode soit connectée aux premières bornes respectives d'une résistance de charge R_{OUT} et d'un condensateur de filtrage C_{OUT} , lequel est monté en parallèle avec la résistance de charge R_{OUT} .

Le circuit élévateur de tension, objet de la présente invention, comprend en outre un module générateur d'une pluralité de n signaux d'horloge CLK_j , $j \in [0, n-1]$, dont des modes de réalisation particuliers seront décrits plus en détails dans la suite de la description.

Chaque condensateur $C_{i,j}$ d'une cellule $A_{i,j}$ de rang j comporte une deuxième borne $b'_{i,j}$ recevant l'un des signaux d'horloge de rang $j=k$ tel que $k = i \bmod n$, k désignant

le reste de la division de l'ordre i par le nombre n de voies, par permutation circulaire P_j successive, $k \in [0, 1, \dots, n-1]$, $k \in [1, \dots, n-1, 0], \dots$, $k \in [n-1, 0, \dots, n-2]$ successivement.

5 En référence à la figure 2b où sont représentées respectivement la première série P_0 de signaux d'horloge $CLK_0, CLK_1, \dots, CLK_{n-1}$ reçue par la première voie de rang $j=0$ et la j ème série P_j de signaux d'horloge $CLK_j, \dots, CLK_{n-1}, CLK_0, CLK_1, \dots, CLK_{j-1}$, reçue par la j ème voie de rang j ,
 10 chaque signal d'horloge de rang j délivré par ledit module générateur est constitué par un signal rectangulaire de facteur de forme $1/n$ et retardé de jT/n où T désigne la période de chaque signal d'horloge.

15 Les signaux d'horloge précités peuvent être engendrés à partir d'une boucle à verrouillage de phase, ainsi qu'il sera décrit de manière plus détaillée ultérieurement dans la description.

20 Dans cet exemple, toutes les diodes sont identiques et ont une tension de seuil respective égale à 0,7 V. Tous les condensateurs de pompage sont également identiques. Comme on l'expliquera ci-dessous pour deux modes de réalisation particuliers du circuit élévateur de tension sous forme matricielle selon la présente invention, la valeur de ces condensateurs est déterminée par simulation.
 25 Quant aux valeurs respectives de R_{OUT} et de C_{OUT} , elles sont égales respectivement à $33k\Omega$ et 10 nF.

30 Compte tenu du fait qu'avec une telle disposition de circuit, le courant de sortie I_{OUT} est engendré dans la résistance de charge R_{OUT} à chaque partie T/n du signal d'horloge, une application intéressante de ce circuit

pourrait être envisagée en vue de l'alimentation d'un moteur à couple sensiblement constant.

On va maintenant décrire, en référence à la figure 3, un cas particulier à deux voies du mode de réalisation du circuit élévateur de tension de la figure 2a.

Comme on peut le voir sur la figure 3, ce circuit comprend deux voies de pompage de charge en parallèle, la première voie ayant un rang $j=0$, tandis que la seconde voie a un rang $j=1$.

Comme cela a été décrit précédemment en référence à la figure 2a, la voie de rang $j=0$ du circuit élévateur de tension selon la présente invention comprend, par exemple, quatre cellules $A_{i,0}$ en Γ montées en cascade, i désignant l'ordre de la cellule dans la voie de rang 0. Ces cellules, toutes identiques, sont représentées en pointillé sur la figure 2a, respectivement par $A_{0,0}$, $A_{1,0}$, $A_{2,0}$ et $A_{3,0}$. Chaque cellule $A_{i,0}$ comprend une diode $D_{i,0}$ et un condensateur de pompage de capacité $C_{i,0}$.

La diode $D_{0,0}$ de la première cellule $A_{0,0}$ a son anode reliée à la tension d'alimentation V_{cc} , laquelle, dans cet exemple, a une valeur fixée à 3V. La cathode de cette diode $D_{0,0}$ est quant à elle reliée à une première borne $b_{0,0}$ du condensateur $C_{0,0}$ de la première cellule $A_{0,0}$ et à l'anode de la diode $D_{1,0}$ de la deuxième cellule $A_{1,0}$. Compte tenu du montage en cascade, chaque cellule $A_{0,0}$, $A_{1,0}$, $A_{2,0}$, et $A_{3,0}$ comporte en fait une borne d'entrée constituée par l'anode de sa diode $D_{0,0}$, $D_{1,0}$, $D_{2,0}$ et $D_{3,0}$ correspondante, une borne de sortie constituée par la cathode de sa diode $D_{0,0}$, $D_{1,0}$, $D_{2,0}$ et $D_{3,0}$ correspondante, laquelle diode est reliée à la première borne $b_{0,0}$, $b_{1,0}$, $b_{2,0}$ et $b_{3,0}$ de son condensateur $C_{0,0}$, $C_{1,0}$, $C_{2,0}$ et $C_{3,0}$ correspondant. Chaque

condensateur $C0,0$, $C1,0$, $C2,0$ et $C3,0$ comprend en outre une deuxième borne respective $b'0,0$, $b'1,0$, $b'2,0$ et $b'3,0$, les deuxièmes bornes respectives des condensateurs de la première et de la troisième cellule étant destinées à
 5 recevoir un premier signal d'horloge périodique $CLK0$, et les deuxièmes bornes respectives des condensateurs de la deuxième et de la quatrième cellule étant destinées à recevoir un second signal d'horloge périodique $CLK1 = \overline{CLK0}$.

Toujours en référence à la figure 3, la quatrième
 10 cellule de la voie de rang 0 est connectée à une borne de sortie OUT par l'intermédiaire d'une diode $D'0$ qui est identique à chaque diode $D0,0$, $D1,0$, $D2,0$ et $D3,0$. Cette diode $D'0$ est montée de façon à ce que son anode soit connectée à la cathode de la diode $D3,0$ de la quatrième
 15 cellule et que sa cathode soit connectée aux premières bornes respectives d'une résistance de charge R_{OUT} et d'un condensateur de filtrage C_{OUT} , lequel est monté en parallèle avec la résistance de charge R_{OUT} .

En ce qui concerne la deuxième voie de rang $j=1$ du
 20 circuit élévateur de tension selon la présente invention, elle est analogue à la première voie.

Cette deuxième voie comporte quatre cellules en Γ représentées en pointillé par $A0,1$, $A1,1$, $A2,1$ et $A3,1$ sur la figure 3. Comme les cellules $A0,0$, $A1,0$, $A2,0$ et $A3,0$ de
 25 la première voie de rang $j=0$, les cellules $A0,1$, $A1,1$, $A2,1$ et $A3,1$ sont toutes identiques et comprennent respectivement une diode $D0,1$, $D1,1$, $D2,1$ et $D3,1$, ainsi qu'un condensateur de pompage de capacité $C0,1$, $C1,1$, $C2,1$ et $C3,1$.

La diode $D0,1$ de la première cellule $A0,1$ a son
 30 anode reliée à la tension d'alimentation V_{CC} . La cathode de cette diode $D0,1$ est quant à elle reliée à une première

borne $b_{0,1}$ du condensateur $C_{0,1}$ de la première cellule $A_{0,1}$ et à l'anode de la diode $D_{1,1}$ de la deuxième cellule $A_{1,1}$. Compte tenu du montage en cascade, chaque cellule cellules $A_{0,1}$, $A_{1,1}$, $A_{2,1}$ et $A_{3,1}$ comporte en fait une borne d'entrée constituée par l'anode de sa diode $D_{0,1}$, $D_{1,1}$, $D_{2,1}$ et $D_{3,1}$ correspondante, une borne de sortie constituée par la cathode de sa diode $D_{0,1}$, $D_{1,1}$, $D_{2,1}$ et $D_{3,1}$ correspondante, lesquelles diodes sont reliées respectivement à chacune des premières bornes $b_{0,1}$, $b_{1,1}$, $b_{2,1}$ et $b_{3,1}$ de leurs condensateurs de pompe $C_{0,1}$, $C_{1,1}$, $C_{2,1}$ et $C_{3,1}$ associés.

Chaque condensateur $C_{0,1}$, $C_{1,1}$, $C_{2,1}$ et $C_{3,1}$ comprend en outre une deuxième borne $b'_{0,1}$, $b'_{1,1}$, $b'_{2,1}$ et $b'_{3,1}$. Mais à la différence de la première voie, chacune des deuxièmes bornes $b'_{0,1}$ et $b'_{2,1}$ des condensateurs de la première et de la troisième cellule $A_{0,1}$ et $A_{2,1}$ est destinée à recevoir le signal d'horloge CLK_1 , tandis que chacune des deuxièmes bornes $b'_{1,1}$ et $b'_{3,1}$ des condensateurs de la deuxième et de la quatrième cellule $A_{1,1}$ et $A_{3,1}$ est destinée à recevoir le signal d'horloge CLK_0 .

De manière tout à fait classique, les signaux CLK_0 et CLK_1 sont délivrés, par exemple, par une bascule bistable Φ_1 , telle que représentée sur la figure 3, laquelle est alimentée par un signal de référence CLK . La bascule précitée comporte, de manière connue en tant que telle, deux portes NAND N_1 et N_2 montées en cascade. La porte NAND N_1 a une entrée portée à la tension d'alimentation V_{CC} et délivre en sortie le signal CLK_1 , tandis que la porte NAND N_2 a une entrée portée à la tension de référence V_{REF} et délivre en sortie le signal CLK_0 .

Comme cela est représenté sur la figure 1b, CLK_0 et CLK_1 sont constitués par un même signal rectangulaire

périodique de facteur de forme $1/2$, les signaux $CLK0$ et $CLK1$ étant décalés successivement de 0 et $T/2$ par rapport au signal d'horloge de référence CLK . La deuxième borne des condensateurs de chacune des première et deuxième voies reçoit en fait l'un des signaux de rang $j=k$ tel que $k = \text{imod}2$, par permutation circulaire successive $k \in [0,1]$; $k \in [1,0]$ respectivement.

Enfin, de la même façon que dans la première voie, la quatrième cellule $A3,1$ de la deuxième voie est connectée à la borne de sortie OUT par l'intermédiaire d'une diode $D'1$ qui est identique à chaque diode $D0,1$, $D1,1$, $D2,1$ et $D3,1$.

Dans cet exemple, toutes les diodes sont identiques et ont une tension de seuil respective égale à $0,7$ V. Tous les condensateurs de pompage sont également identiques. Quant aux valeurs respectives de R_{OUT} et de C_{OUT} , elles sont égales respectivement à $33k\Omega$ et 10 nF.

On va maintenant décrire le fonctionnement du circuit élévateur de tension selon l'invention en référence aux figures 4 et 5.

Si on suppose que le signal $CLK0$ est à la tension d'alimentation V_{CC} au cours d'une première demi-période comprise entre 0 et $\frac{T}{2}$, le condensateur $C0,0$ de la première cellule $A0,0$ de la première voie est alors chargé à V_{CC} , tandis que le condensateur $C0,1$ de la première cellule $A0,1$ de la deuxième voie est chargé à la tension de référence V_{REF} . Au cours de la seconde demi-période suivante comprise entre $\frac{T}{2}$ et T , le signal $CLK0$ passe à la tension de référence V_{REF} si bien que le condensateur $C0,0$ se décharge partiellement dans le condensateur $C1,0$ de la deuxième

cellule A1,0. Quant au condensateur C1,1 de la deuxième cellule A1,1 de la deuxième voie, celui-ci se charge à V_{CC} . Puis, dans la troisième demi-période suivante comprise entre T et $\frac{3T}{2}$, le condensateur C0,0 de la première cellule A0,0 de la première voie se charge à nouveau à V_{CC} , tandis que le condensateur C0,1 de la première cellule A0,1 de la deuxième voie se charge à nouveau à V_{REF} . Compte tenu du fait que la présence des diodes D0,0, D1,0, D2,0 et D3,0 (respectivement D0,1, D1,1, D2,1 et D3,1) empêche la décharge d'un condensateur d'une cellule A0,0, A1,0, A2,0 et A3,0 (respectivement A0,1, A1,1, A2,1 et A3,1) dans le condensateur d'une cellule immédiatement précédente, la tension de sortie V_{OUT} évolue rapidement jusqu'à atteindre une valeur maximale V_{OUTmax} qui est un multiple de V_{CC} (en faisant abstraction des chutes de tension dans les diodes D0,0, D1,0, D2,0 et D3,0 (respectivement D0,1, D1,1, D2,1 et D3,1) et de la diode D'0 (respectivement D'1)).

En référence à la figure 4 où est représentée, non pas l'évolution de la tension de sortie V_{OUT} en fonction du temps, mais l'évolution de l'intensité du courant de sortie I_{OUT} (c'est-à-dire $\frac{V_{OUT}}{R_{OUT}}$) en fonction du temps, on observe qu'au cours d'une première demi-période comprise entre 0 et $\frac{T}{2}$, le condensateur C_{OUT} se charge, sous l'effet du signal CLK1 engendré sur la deuxième borne b'3,0 du condensateur C3,0 de la quatrième cellule A3,0 de la première voie, à la tension d'alimentation V_{CC} , c'est à dire que l'intensité du courant de sortie I_{OUT} croît rapidement jusqu'à atteindre sa valeur maximale I_{OUTmax} , puis se décharge exponentiellement dans la résistance de sortie R_{OUT} avec la constante de temps

$R_{OUT} \times C_{OUT}$, c'est à dire que l'intensité du courant de sortie I_{OUT} décroît exponentiellement avec la constante de temps $R_{OUT} \times C_{OUT}$, laquelle est non négligeable par rapport à la période T des signaux d'horloge $CLK0$ et $CLK1$. Au cours de la

5 seconde demi-période suivante comprise entre $\frac{T}{2}$ et T , le signal précité $CLK1$ passe à la tension de référence V_{REF} , mais le signal $CLK0$, qui est engendré sur la borne b'3,1 du condensateur $C3,1$ de la quatrième cellule $A3,1$ de la deuxième voie, passe quant à lui à la tension d'alimentation

10 V_{CC} puisqu'il est en opposition de phase avec le signal $CLK1$. Il en résulte qu'au cours de cette seconde demi-période, l'intensité du courant de sortie I_{OUT} croît à nouveau progressivement jusqu'à atteindre sa valeur maximale I_{OUTmax} , puis se décharge exponentiellement dans la résistance

15 de sortie R_{OUT} avec la constante de temps $R_{OUT} \times C_{OUT}$. Ce phénomène se répète ainsi à chaque demi-période successive du signal du signal d'horloge $CLK0$ ou $CLK1$. La capacité en courant du circuit élévateur de tension est donc deux fois plus importante que celle d'un circuit élévateur de tension

20 de l'art antérieur.

Comme on peut le voir sur la figure 5, on obtient ainsi une valeur de la tension de sortie V_{OUT} qui est sensiblement le double de celle de la tension d'alimentation V_{CC} .

25 De plus, toujours en référence à la figure 5, on constate que la tension de sortie V_{OUT} commence à se stabiliser pour une valeur des condensateurs de pompage de l'ordre de 16 pF. Il n'est donc pas utile de choisir une valeur de condensateur plus élevée, tel que notamment une

30 valeur de condensateur égale à 32,3 pF, comme c'était le cas

pour le circuit élévateur de tension de l'art antérieur qui a été décrit ci-dessus. Par conséquent, la taille des condensateurs de pompage peut être, dans cet exemple, réduite de moitié, ce qui présente un réel intérêt du point de vue la densité d'intégration du circuit élévateur de tension de l'invention, lors d'une réalisation sous forme de circuit intégré.

Il est certain qu'avec de telles valeurs réduites de ces condensateurs de pompage, la valeur maximale I_{OUTmax} de l'intensité du courant de sortie I_{OUT} va être quelque peu réduite par rapport à celle obtenue dans le cas d'un circuit élévateur de tension monovoie, étant donné que l'intensité qui circule dans chaque condensateur $C_{i,j}$ est égale à $C_{i,j} \times \frac{dV_{C_{i,j}}}{dt}$, où $V_{C_{i,j}}$ représentent respectivement la tension aux bornes de chaque condensateur $C_{i,j}$. Mais cette faible diminution de la valeur maximale de l'intensité du courant de sortie I_{OUT} est aisément compensée par la nette augmentation de la capacité en courant du circuit élévateur de la présente invention, du fait de la multiplication du nombre de voies.

Compte tenu des résultats très probants qui sont obtenus avec un circuit élévateur de tension à deux voies, il est facile de comprendre qu'en augmentant le nombre de parties T/n , et donc le nombre de voies pour une fréquence d'horloge donnée, la capacité en courant de ce circuit sera augmentée en conséquence.

C'est ce que propose de réaliser une variante du mode de réalisation de la figure 3, en référence à la figure 6.

Sur la figure 6, le circuit élévateur de tension de l'invention comprend une troisième voie en plus des première

et deuxième voies précitées. Compte tenu du fait que cette troisième voie est identique aux première et deuxième voies, elle ne sera pas à nouveau décrite en détails.

Notons simplement qu'elle comporte quatre cellules en Γ représentées respectivement en pointillé par A0,2, A1,2, A2,2 et A3,2 sur la figure 6. Chaque cellule A0,2, A1,2, A2,2 et A3,2 comporte une diode D0,2, D1,2, D2,2 et D3,2 et un condensateur de pompage de capacité C0,2, C1,2, C2,2 et C3,2. De manière équivalente aux condensateurs de pompage des première et deuxième voies, chaque condensateur C0,2, C1,2, C2,2 et C3,2 comporte une première borne b0,2, b1,2, b2,2, b3,2 et une deuxième borne b'0,2, b'1,2, b'2,2 et b'3,2. La diode D0,1 de la première cellule A0,2 a son anode reliée à la tension d'alimentation V_{CC} . la quatrième cellule A3,2 de la troisième voie est connectée à la borne de sortie OUT par l'intermédiaire d'une diode D'2 qui est identique aux diodes D'0 et D'1.

En plus de l'existence de sa troisième voie, la variante de la figure 6 se distingue du mode de réalisation de la figure 3 par le fait qu'elle comporte un module générateur d'une pluralité de trois signaux d'horloge, et non plus d'une pluralité de deux signaux d'horloge. Dans l'exemple de la figure 6, le module générateur d'une pluralité de trois signaux d'horloge est constitué par une boucle à verrouillage de phase $\Phi 2$ connue en tant que telle, laquelle comporte deux entrées, l'une portée à V_{CC} et l'autre portée à V_{REF} . Cette boucle à verrouillage de phase comporte un registre à décalage qui, à chaque signal d'horloge de référence reçu par la boucle, délivre, sur trois sorties respectives, un premier, un deuxième et un troisième signal d'horloge CLK0, CLK1, CLK2.

Comme on peut le voir sur la figure 7, ces trois signaux d'horloge sont constitués par un même signal rectangulaire périodique de facteur de forme 1/3 et déphasés l'un par rapport à l'autre de $T/3$.

5 La boucle de verrouillage de phase $\Phi 2$ est reliée au première, deuxième et troisième voies de telle façon que la deuxième borne des condensateurs de pompage de chacune de ces voies reçoit l'un des signaux d'horloge $CLK0$, $CLK1$ et $CLK2$ par permutation circulaire successive $P0=\{CLK0,$
10 $CLK1, CLK2\}$, $P1=\{CLK1, CLK2, CLK0\}$, $P2=\{CLK2, CLK0, CLK1\}$ respectivement.

Dans le cas par exemple de la figure 6, la deuxième borne du condensateur de chacune des première et quatrième cellule $A0,0$ et $A3,0$ de la première voie reçoit un signal
15 d'horloge $CLK0$, la deuxième borne du condensateur de la deuxième cellule $A1,0$ reçoit un signal d'horloge $CLK1$ déphasé de $T/3$ par rapport à $CLK0$, et la deuxième borne du condensateur de la troisième cellule $A2,0$ de la première voie reçoit un signal d'horloge $CLK2$ déphasé de $T/3$ par
20 rapport à $CLK1$. Dans le cas de la deuxième voie, la deuxième borne du condensateur de chacune des première et quatrième cellule $A0,1$ et $A3,1$ reçoit le signal d'horloge $CLK1$, la deuxième borne du condensateur de la deuxième cellule $A1,1$ reçoit le signal d'horloge $CLK2$, et la deuxième borne du
25 condensateur de la troisième cellule $A2,1$ reçoit le signal d'horloge $CLK0$. Enfin, dans le cas de la troisième voie, la deuxième borne du condensateur de chacune des première et quatrième cellule $A0,2$ et $A3,2$ reçoit le signal d'horloge $CLK2$, la deuxième borne du condensateur de la deuxième
30 cellule $A1,2$ reçoit le signal d'horloge $CLK0$, et la deuxième

borne du condensateur de la troisième cellule A2,2 reçoit le signal d'horloge *CLK0*.

5 Compte tenu de cette disposition, au cours d'une même période *T*, on n'observera, non plus deux pics de courant de sortie successifs, mais trois pics, ce qui permet de charger la borne de sortie *OUT* à une valeur d'amplitude de tension supérieure à trois fois celle de la tension d'alimentation (V_{CC}).

REVENDICATIONS

1. Circuit élévateur de tension de type pompe de charge commandé par un signal d'horloge (CLK), comprenant une pluralité de cellules en Γ constituées chacune par un élément redresseur et un condensateur connectés en cascade entre une tension d'alimentation (V_{CC}) et une tension de référence (V_{REF}), ledit circuit élévateur de tension comprenant :
- des moyens générateurs d'une pluralité de n signaux d'horloge (CLK_j), $j \in [0, n-1]$, chaque signal d'horloge de rang j délivré par lesdits moyens générateurs étant constitué par un signal rectangulaire de facteur de forme $1/n$ et retardé de jT/n où T désigne la période de chaque signal d'horloge ;
 - une pluralité de n voies de rang j formées chacune par une pluralité de cellules en Γ ($A_{i,j}$) connectées en cascade, i désignant l'ordre de la cellule dans la voie de rang j considéré, chaque cellule comportant une diode ($D_{i,j}$) et un condensateur ($C_{i,j}$) dont l'une des bornes est connectée à une borne de cette diode, l'autre borne de cette diode étant connectée au point commun de la diode ($D_{i-1,j}$) et du condensateur ($C_{i-1,j}$) de la cellule ($A_{i-1,j}$) adjacente de même rang, l'autre borne de ce condensateur ($C_{i,j}$) recevant l'un des signaux d'horloge de rang $j=k$ tel que $k=i \bmod n$, k désignant le reste de la division de l'ordre i par n le nombre de voies, la dernière cellule ($A_{m,j}$) de chaque voie de rang j étant connectée à ladite borne de sortie (OUT) par une diode de sortie (D'_j), l'ensemble des n voies étant connectées en parallèle sur ladite borne de sortie (OUT) par l'intermédiaire desdites diodes de sortie, ce qui

permet de délivrer un signal de charge à chaque partie T/n du signal d'horloge et de charger la borne de sortie à une valeur de tension proportionnelle au nombre n de voies.

2. Circuit selon la revendication 1, caractérisé en ce que pour $n=2$, lesdits moyens générateurs d'une pluralité de deux signaux d'horloge comprennent :

- une bascule bistable alimentée par un signal d'horloge de référence (CLK) et délivrant un premier signal d'horloge CLK_0 et un deuxième signal d'horloge $CLK_1 = \overline{CLK_0}$, et en ce que, d'une part, l'autre borne desdits condensateurs $(C_{i,0})$ d'ordre pair, $i=2k$, et $(C_{i,0})$ d'ordre impair, $i=2k+1$, des cellules de premier rang $j=0$, reçoivent ledit premier signal d'horloge CLK_0 respectivement ledit deuxième signal d'horloge CLK_1 , et, d'autre part, l'autre borne desdits condensateurs $(C_{i,1})$ d'ordre pair, $i=2k$, et $(C_{i,1})$ d'ordre impair, $i=2k+1$, des cellules de deuxième rang $j=1$, reçoivent ledit deuxième signal d'horloge CLK_1 respectivement ledit premier signal d'horloge CLK_0 .

3. Circuit selon la revendication 1, caractérisé en ce que pour $n=3$, lesdits moyens générateurs d'une pluralité de trois signaux d'horloge sont constitués par une boucle à verrouillage de phase recevant un signal d'horloge de référence (CLK) et délivrant un premier, un deuxième et un troisième signal d'horloge CLK_0 , CLK_1 , CLK_2 constitués par un même signal rectangulaire périodique de facteur de forme

$1/3$ et décalés successivement de $j \frac{T}{3}$ [$j = 0, 1, 2$] par rapport

au signal d'horloge de référence, l'autre borne des condensateurs $(C_{i,j})$ de chaque voie de rang j recevant l'un des signaux d'horloge de rang $j=k$ tel que $k = i \bmod 3$, par

permutation circulaire successive $k \in [0,1,2]$; $k \in [1,2,0]$
et $k \in [2,0,1]$ respectivement.

- 5 4. Circuit selon la revendication 3, caractérisé en
ce que ladite boucle à verrouillage de phase comporte un
registre à décalage qui, à chaque signal d'horloge de
référence (CLK) reçu, délivre le premier, deuxième et
troisième signal d'horloge CLK_0 , CLK_1 , CLK_2 , lesdits signaux
étant déphasés l'un par rapport à l'autre de $T/3$.

FIG.1a. (ART ANTÉRIEUR)

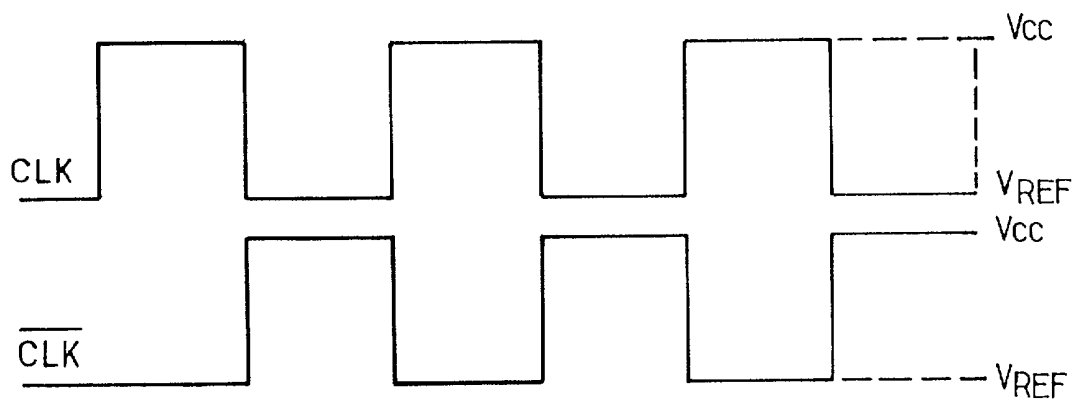
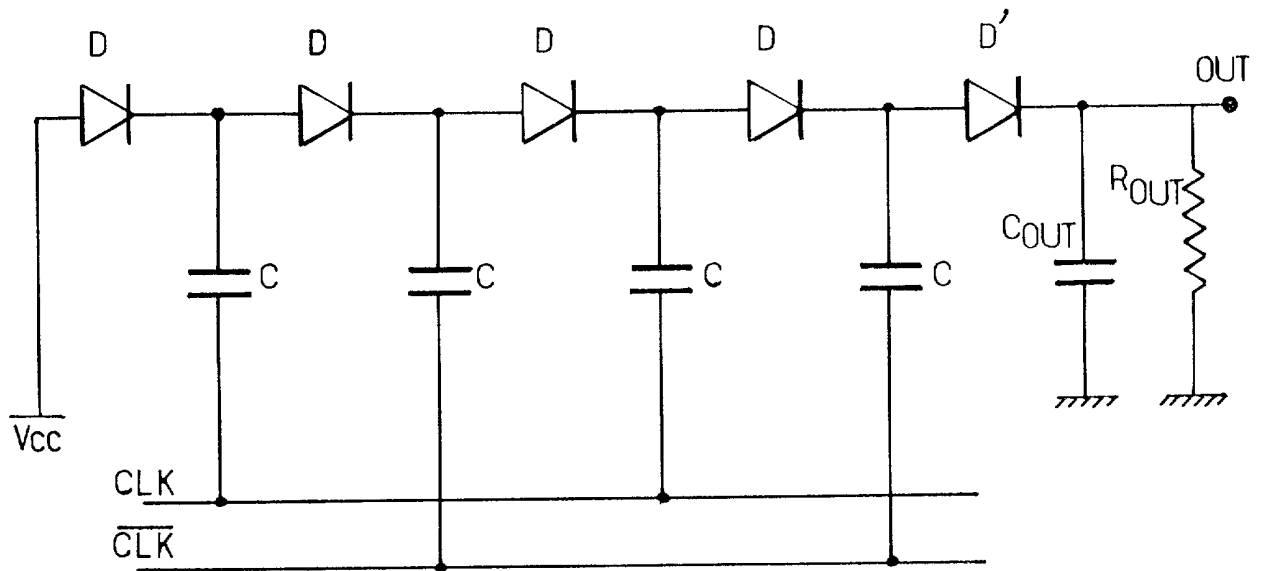


FIG.1b. (ART ANTÉRIEUR)

FIG.1c . (ART ANTÉRIEUR)

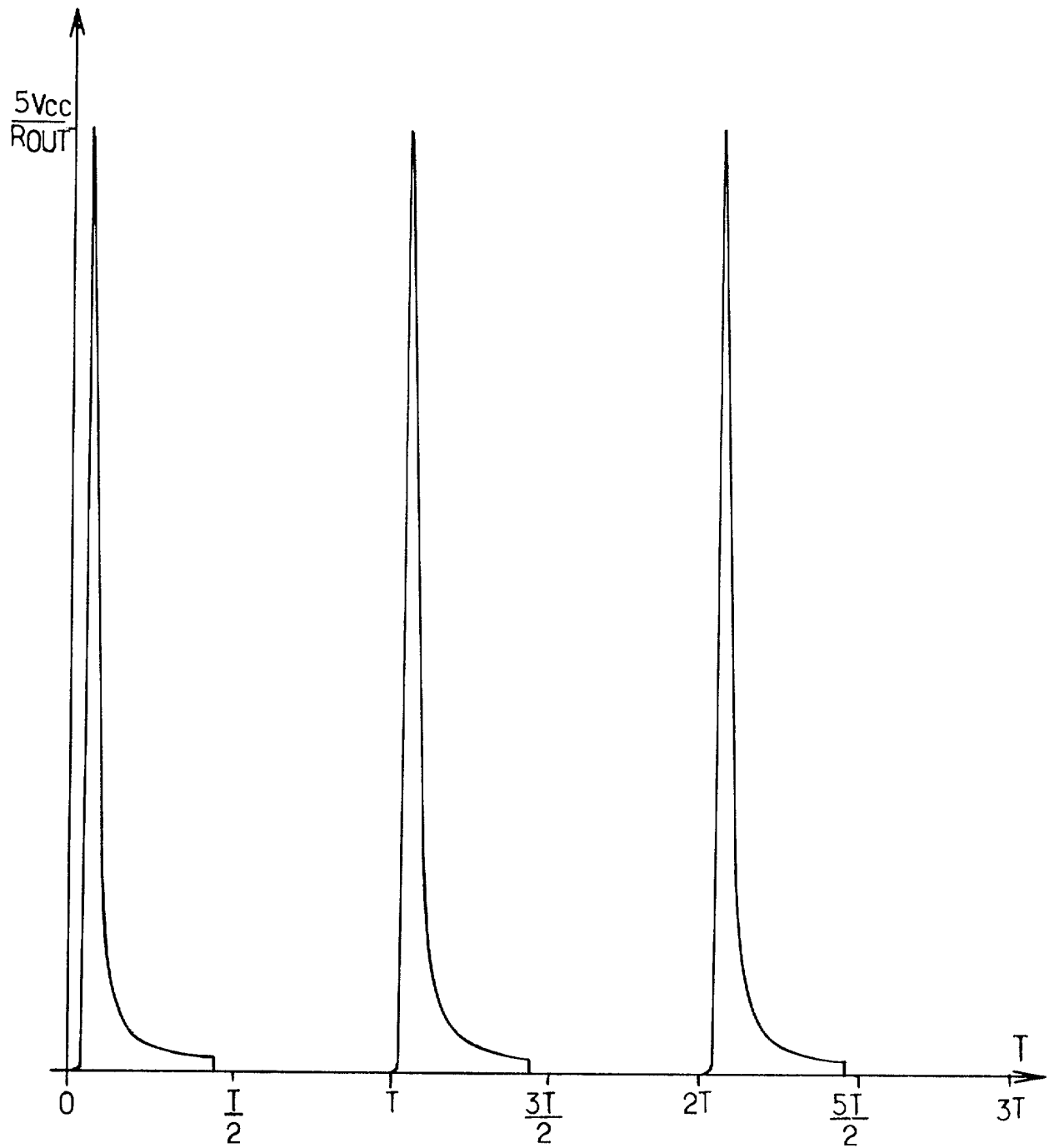
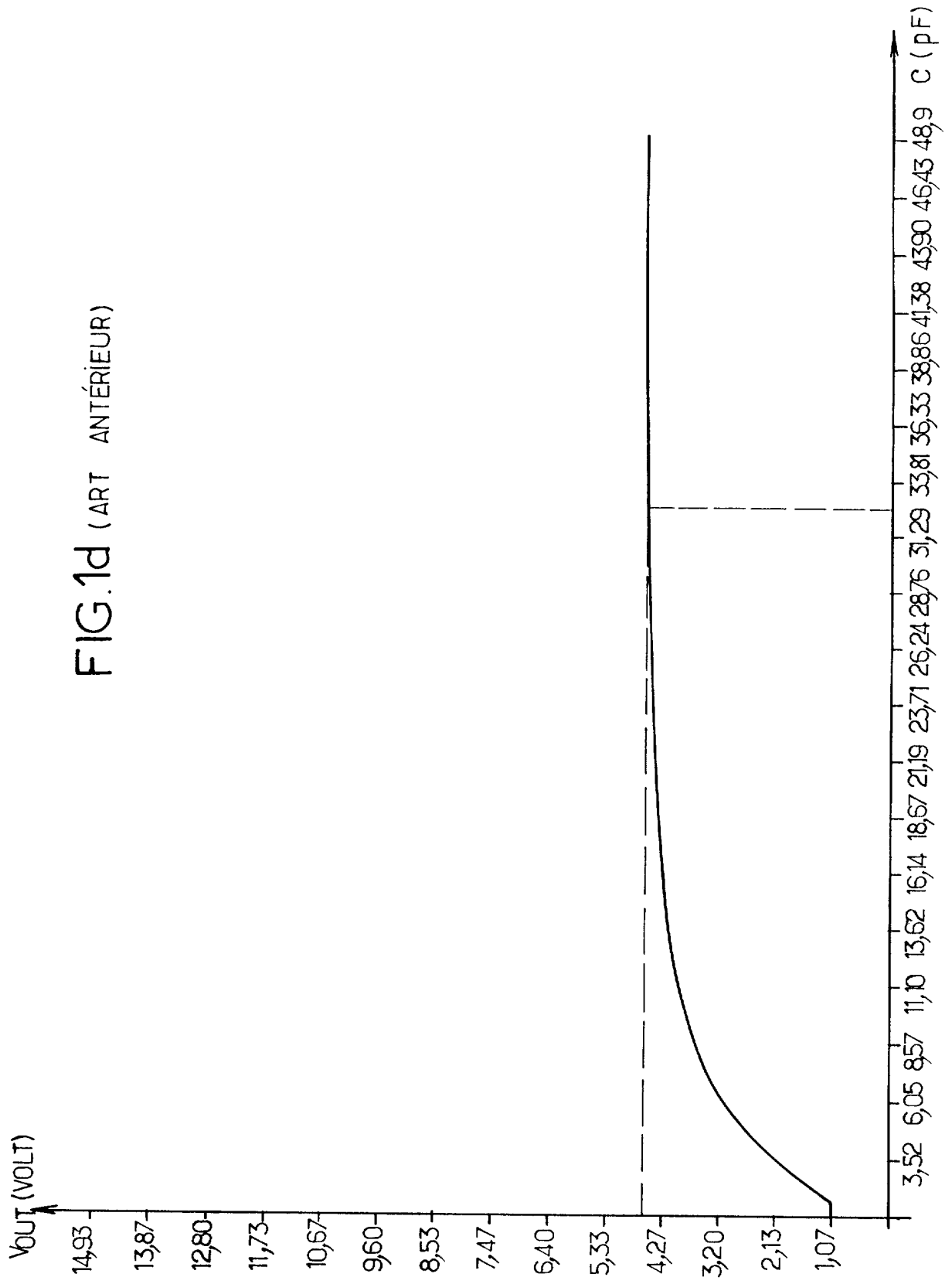
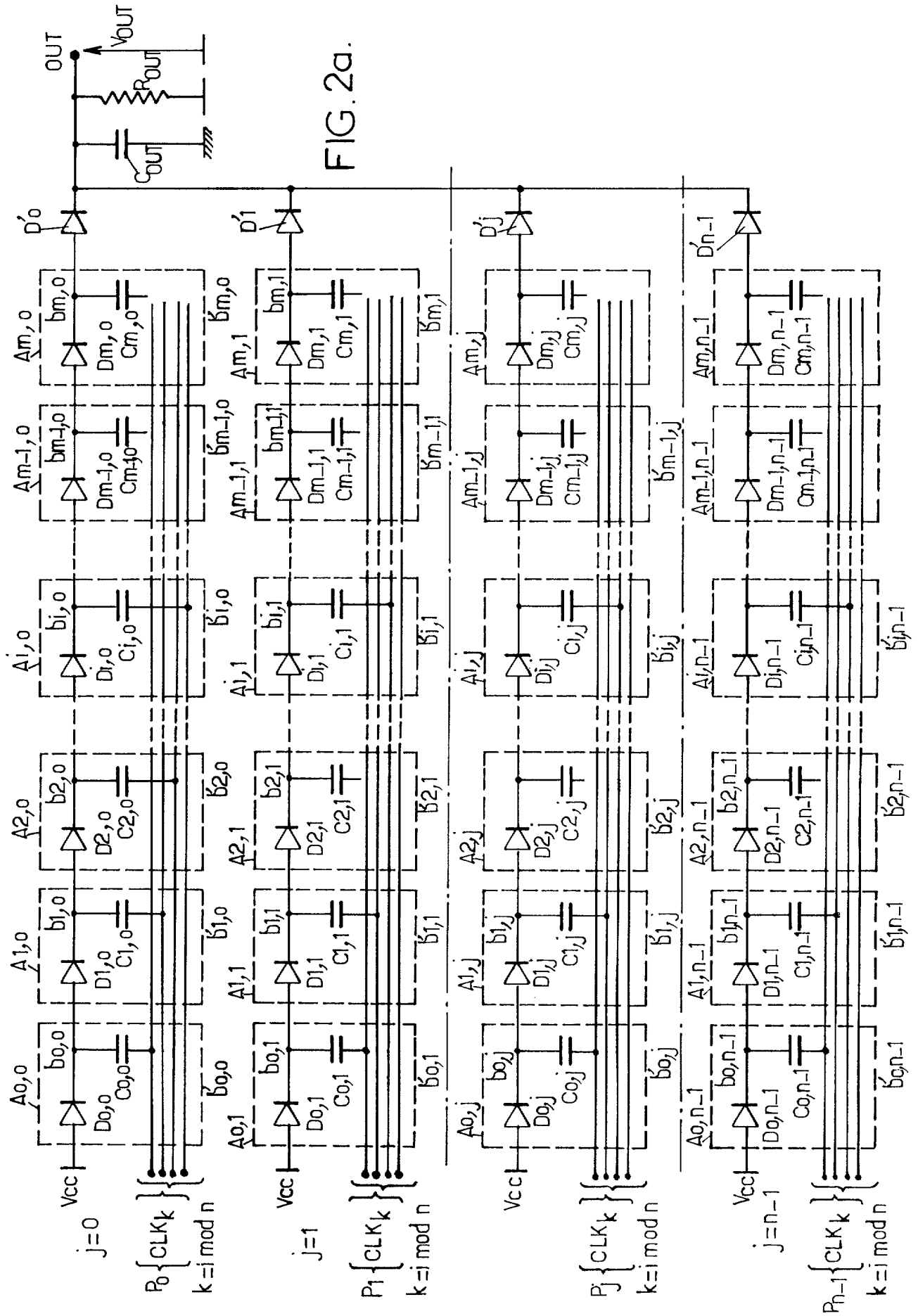


FIG.1d (ART ANTÉRIEUR)





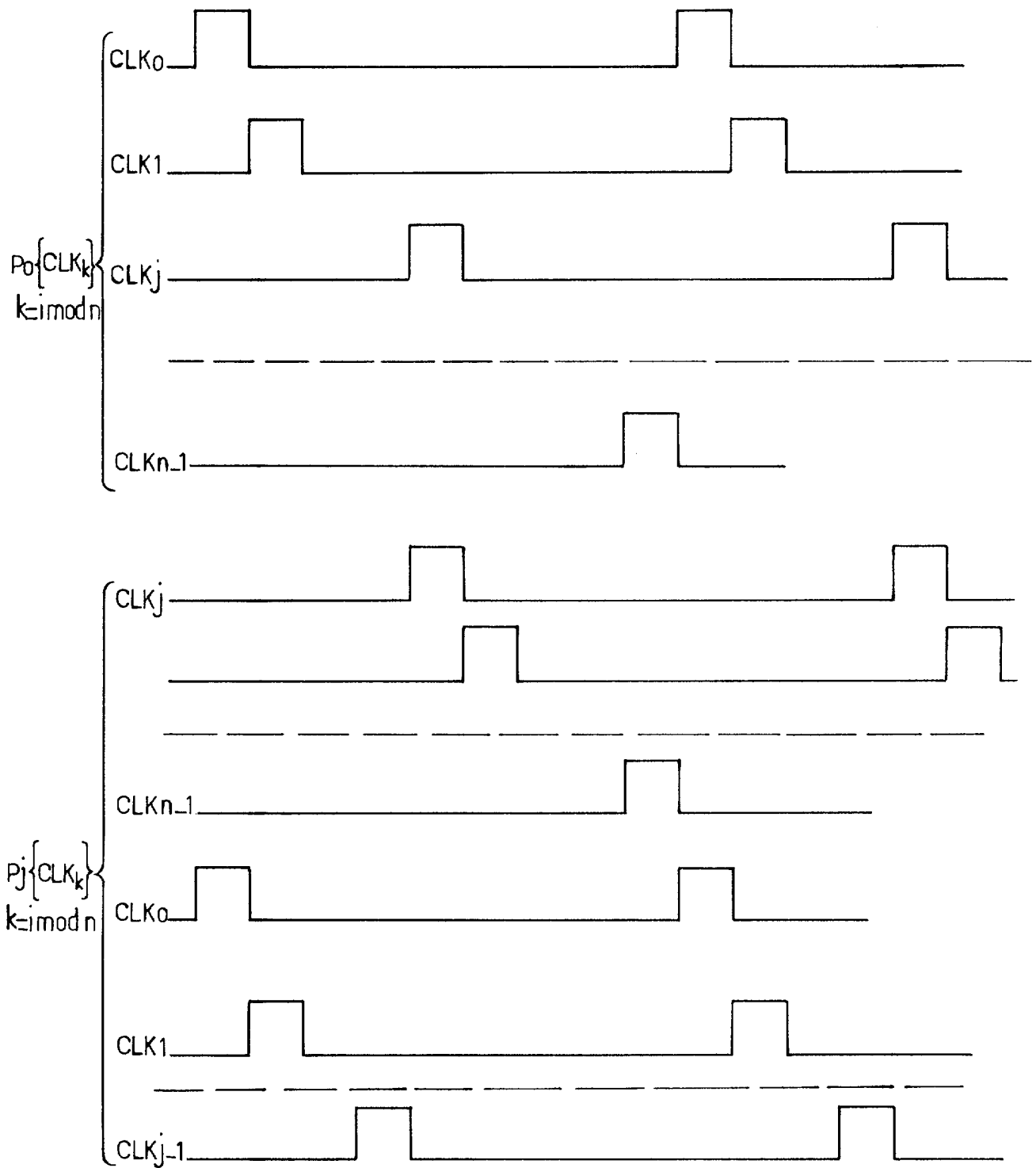


FIG.2b .

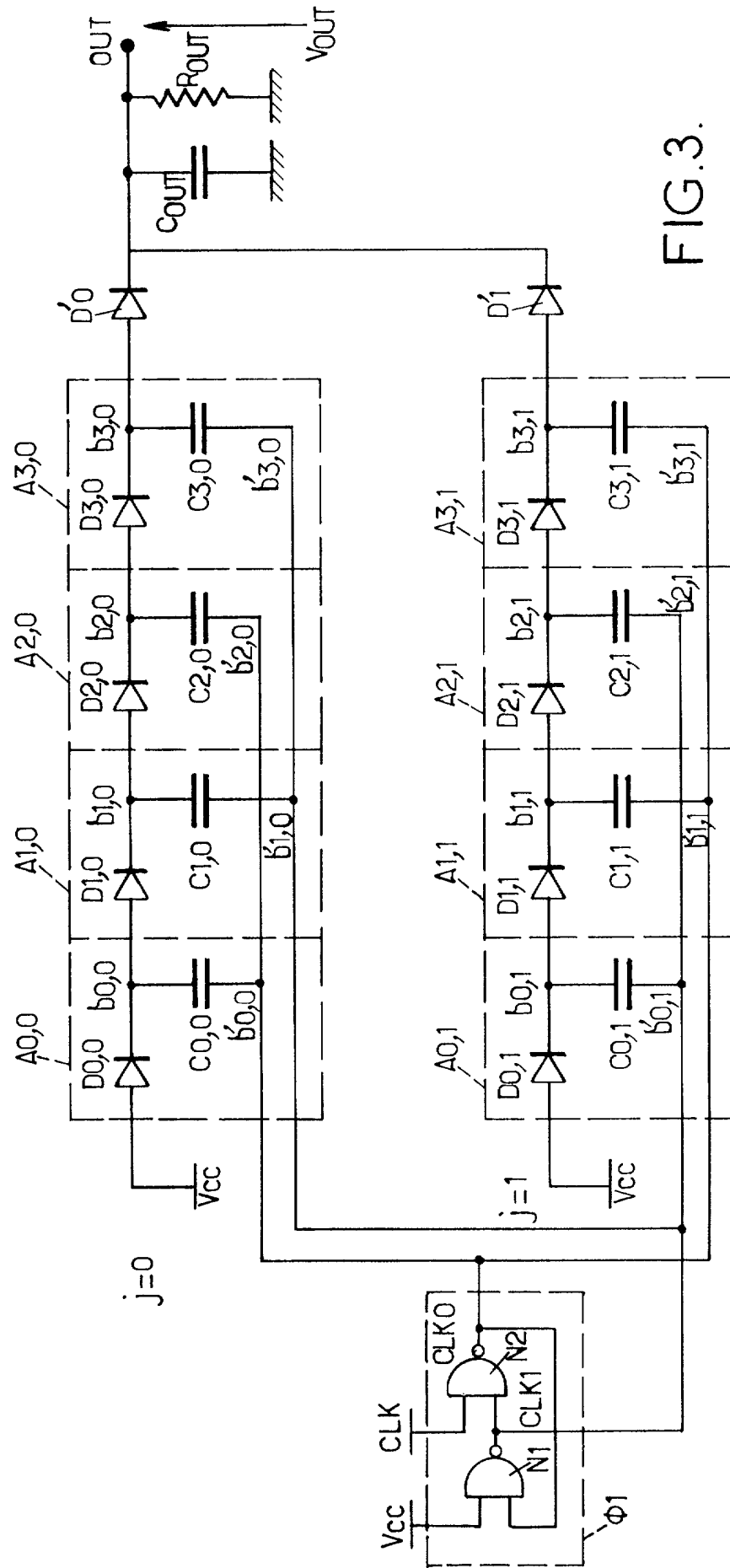
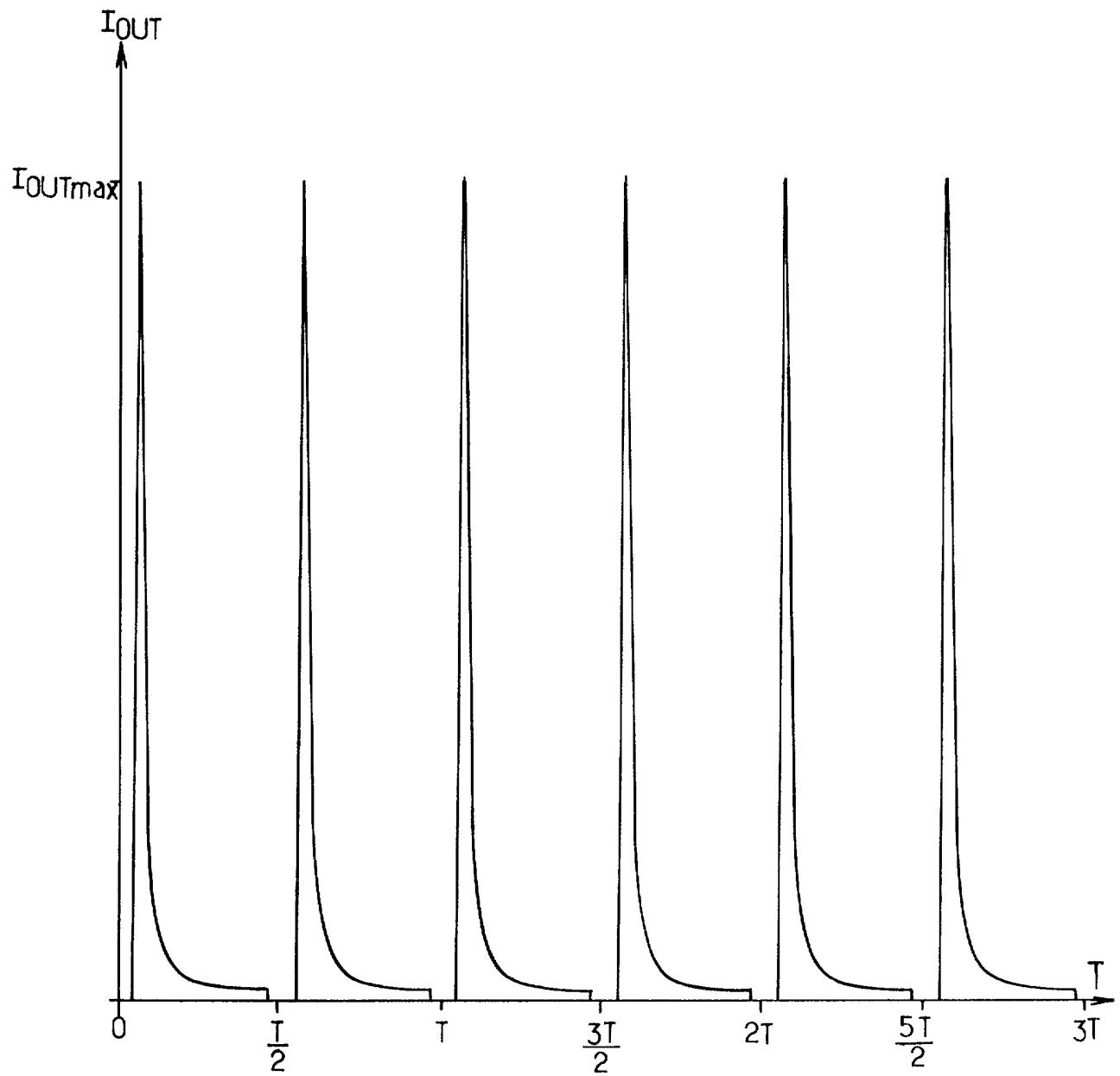
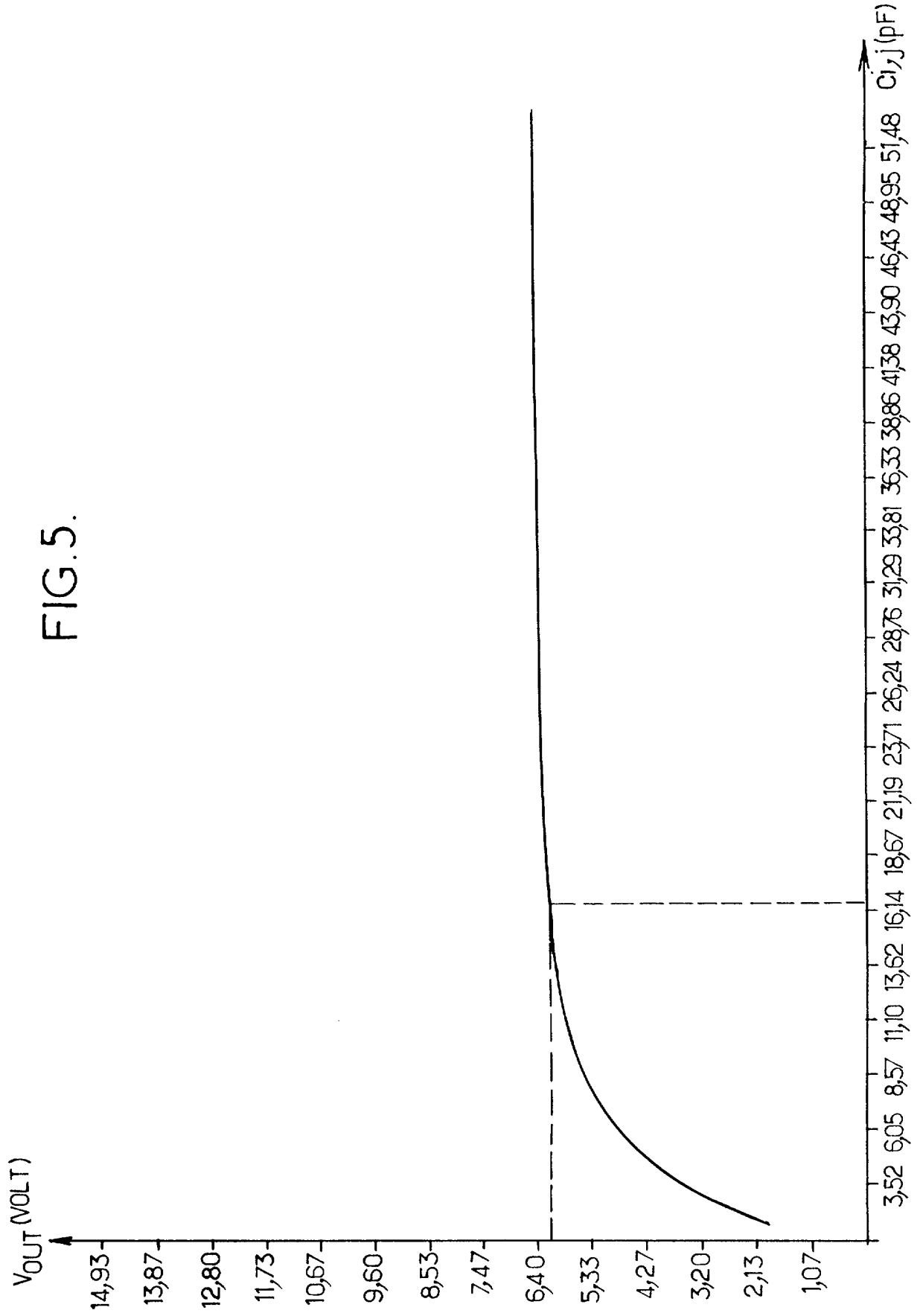
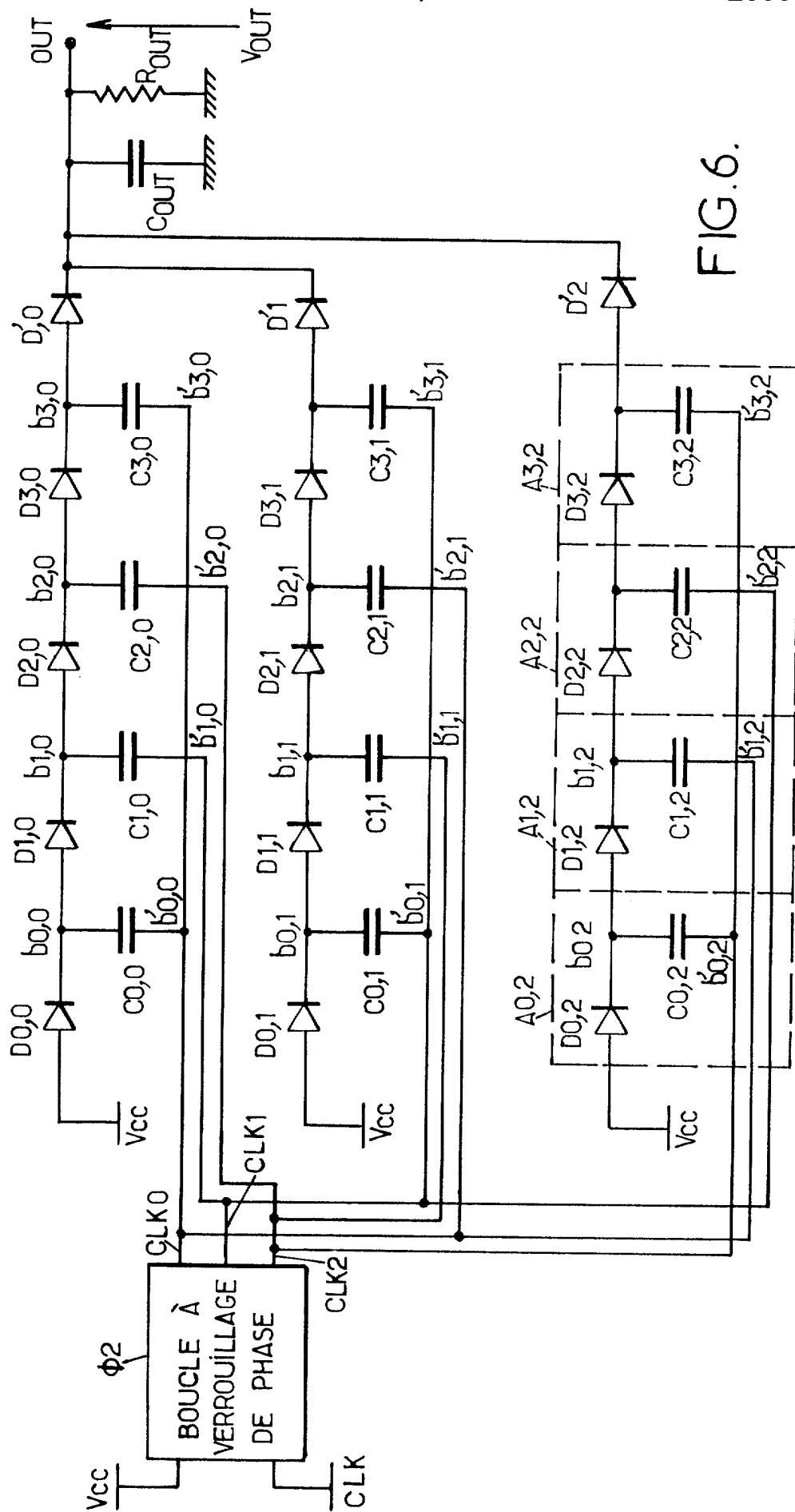


FIG. 3.

FIG.4.







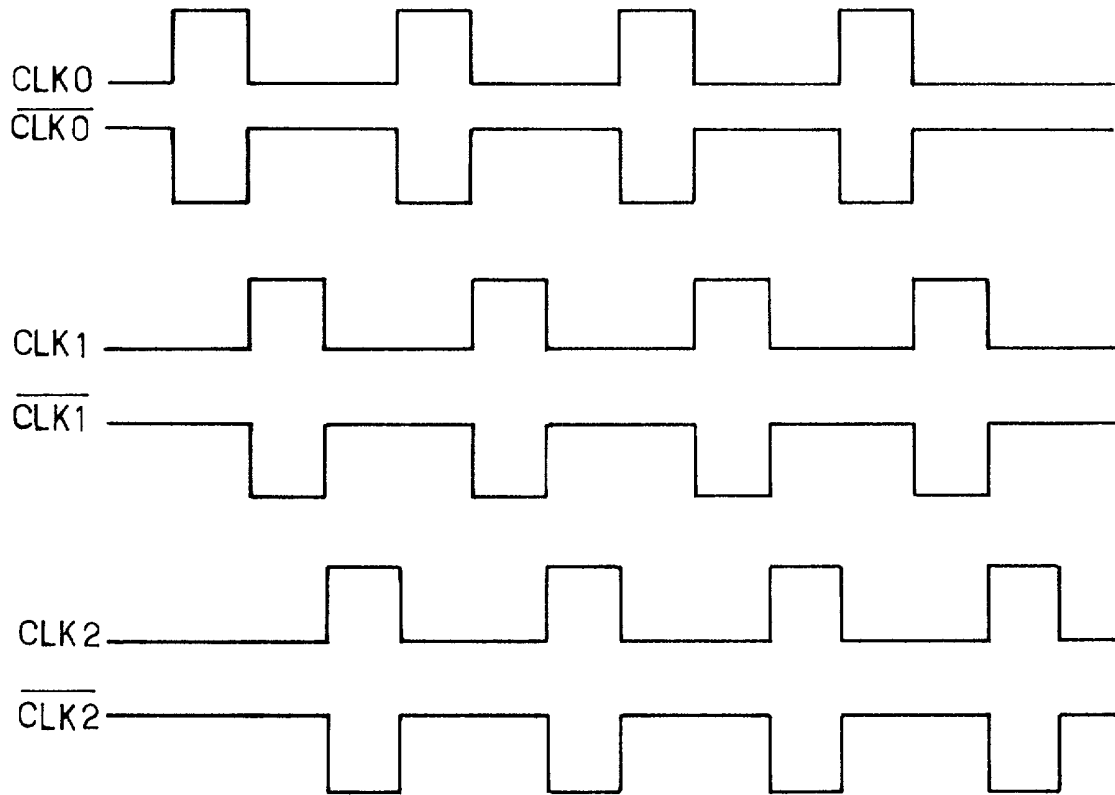


FIG.7.

