



(12) 发明专利申请

(10) 申请公布号 CN 117859202 A

(43) 申请公布日 2024. 04. 09

(21) 申请号 202280057739.9

(22) 申请日 2022.07.14

(30) 优先权数据

63/203,332 2021.07.16 US

(85) PCT国际申请进入国家阶段日

2024.02.23

(86) PCT国际申请的申请数据

PCT/US2022/037211 2022.07.14

(87) PCT国际申请的公布数据

W02023/288021 EN 2023.01.19

(71) 申请人 美商艾德亚半导体接合科技有限公司

地址 美国加利福尼亚州

(72) 发明人 L·W·米卡里米 R·卡特卡尔

(74) 专利代理机构 北京市金杜律师事务所
11256

专利代理师 李兴斌 闫红玉

(51) Int.Cl.

H01L 23/552 (2006.01)

H01L 23/00 (2006.01)

H01L 23/48 (2006.01)

H01L 25/16 (2023.01)

H01L 23/522 (2006.01)

H10B 80/00 (2023.01)

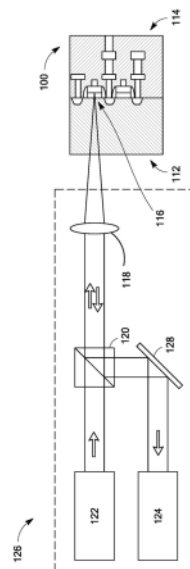
权利要求书5页 说明书13页 附图8页

(54) 发明名称

用于接合结构的光学阻塞保护元件

(57) 摘要

一种用于接合结构的光学闭塞保护元件,其在本文中公开的实施例涉及沿着接合界面的直接接合结构。具体地,半导体元件和闭塞元件这两个元件可以在没有介入粘合剂的情况下沿着接合界面彼此直接接合。半导体元件包括在接合之后由闭塞元件保护的有源电路系统。闭塞元件包括被布置为抑制有源电路系统的光学询问的若干光学闭塞层。这样的层还可以包括闭塞带,当闭塞层垂直堆叠时,闭塞带可以与来自其他闭塞层的其他闭塞带重叠或不重叠。



1. 一种接合结构,包括:
半导体元件,包括有源电路系统;以及
阻塞元件,在没有粘合剂的情况下沿着接合界面直接接合到所述半导体元件,所述阻塞元件包括至少一个图案化光学阻塞层,所述至少一个图案化光学阻塞层设置在所述有源电路系统之上,并且抑制对所述有源电路系统的光学读取。
2. 根据权利要求1所述的接合结构,其中所述至少一个图案化光学阻塞层包括多个光学闭塞层。
3. 根据权利要求2所述的接合结构,其中所述多个光学闭塞层设置在彼此之上并且沿着横向于所述接合界面的方向彼此间隔开。
4. 根据权利要求2所述的接合结构,其中所述多个光学闭塞层中的每个光学闭塞层包括:不导电层和图案化不透明材料,所述图案化不透明材料至少部分地嵌入所述不导电层中。
5. 根据权利要求4所述的接合结构,其中所述图案化不透明材料包括多个闭塞带,所述多个闭塞带沿着基本上平行于所述接合界面的方向延伸。
6. 根据权利要求5所述的接合结构,其中所述多个闭塞带包括一种或多种导电材料。
7. 根据权利要求6所述的接合结构,其中所述一种或多种导电材料包括铜。
8. 根据权利要求4至7中任一项所述的接合结构,其中所述图案化不透明材料包括阻挡波长在400nm至1mm范围内的光的材料。
9. 根据权利要求8所述的接合结构,其中所述图案化不透明材料包括阻挡波长在800nm至2500nm范围内的光的材料。
10. 根据权利要求4至9中任一项所述的接合结构,其中所述图案化不透明材料对红外(IR)光或近红外(NIR)光中的至少一者是不透明的。
11. 根据权利要求4至10中任一项所述的接合结构,其中所述多个光学闭塞层中的第一光学闭塞层包括第一不透明图案,并且所述多个光学闭塞层中的第二光学闭塞层包括第二不透明图案,所述第二不透明图案至少部分地与所述第一不透明图案不重叠,使得在所述闭塞元件的俯视图中,所述第一不透明图案和所述第二不透明图案与单独的所述第一不透明图案和所述第二不透明图案相比闭塞所述半导体元件的更大部分。
12. 根据权利要求11所述的接合结构,其中所述第一不透明图案包括多个第一闭塞带,并且所述第二不透明图案包括多个第二闭塞带,所述多个第二闭塞带至少部分地与所述多个第一闭塞带不重叠。
13. 根据权利要求4至12中任一项所述的接合结构,其中所述闭塞元件还包括至少三个光学闭塞层,并且其中所述图案化闭塞材料在平行于所述光学闭塞层的平面中闭塞所述半导体元件的预定义区域。
14. 根据权利要求13所述的接合结构,其中所述光学闭塞层被配置为在所述预定义区域之上提供至少75%的闭塞。
15. 根据权利要求13所述的接合结构,其中所述光学闭塞层被配置为在所述预定义区域之上提供至少95%的闭塞。
16. 根据权利要求13所述的接合结构,其中所述预定义区域包括所述第一半导体元件的接合表面的至少75%。

17. 根据权利要求13所述的接合结构,其中所述预定义区域包括所述第一半导体元件的接合表面的至少95%。

18. 根据权利要求4至17中任一项所述的接合结构,其中所述半导体元件包括至少一个敏感电路区域、以及至少一个没有敏感电路系统的区域,所述图案化不透明材料闭塞所述至少一个敏感电路区域的至少一部分,并且使所述至少一个没有敏感电路系统的区域不被闭塞。

19. 根据权利要求2所述的接合结构,其中所述多个光学闭塞层包括一个或多个光学滤波层。

20. 根据权利要求1所述的接合结构,其中所述至少一个图案化光学阻塞层包括对光进行折射、散射、漫射、衍射或相移以抑制对所述有源电路系统的光学读取的材料。

21. 根据权利要求1至20中任一项所述的接合结构,其中所述半导体元件还包括接合层,并且其中所述阻塞元件还包括直接接合到所述半导体元件的所述接合层的接合层。

22. 根据权利要求21所述的接合结构,其中所述阻塞元件的所述接合层被金属化以匹配所述半导体元件的金属化图案。

23. 根据权利要求22所述的接合结构,其中所述半导体元件的所述接合层包括设置在不导电层中的多个接触垫,并且其中所述阻塞元件的所述接合层包括设置在不导电层中的、直接接合到所述半导体元件的所述接触垫的多个接触垫。

24. 根据权利要求21所述的接合结构,其中所述阻塞元件的所述接合层和沿着横向于所述接合界面的方向与所述接合层垂直间隔开的光学闭塞层通过至少一个垂直互连件被连接。

25. 根据权利要求24所述的接合结构,其中多个闭塞层中的彼此相邻的至少两个闭塞层在所述至少两个闭塞层之间不具有垂直互连件。

26. 根据权利要求1至24中任一项所述的接合结构,其中所述有源电路系统设置在所述半导体元件的有源侧处或附近,所述阻塞元件直接接合到所述半导体元件的与有源侧相对的背侧。

27. 根据权利要求2至26中任一项所述的接合结构,其中所述多个光学闭塞层中的第一闭塞层包括检测电路,所述检测电路被配置为检测对所述第一闭塞层的外部访问。

28. 根据权利要求27所述的接合结构,其中所述检测电路包括无源电子电路元件,所述无源电子电路元件被配置为检测所述外部访问。

29. 根据权利要求28所述的接合结构,其中所述无源电子电路包括电容电路元件或电阻电路元件。

30. 根据权利要求27至29中任一项所述的接合结构,还包括垂直互连件,所述垂直互连件从所述检测电路延伸到所述阻塞元件的接触垫。

31. 根据权利要求30所述的接合结构,其中所述阻塞元件直接接合到所述半导体元件的与有源侧相对的背侧,所述接合结构还包括贯穿半导体过孔TSV,所述TSV从所述半导体元件的所述有源侧处或附近的接触垫延伸到所述阻塞元件的所述接触垫,所述TSV提供所述半导体元件与所述检测电路之间的电通信。

32. 根据权利要求30所述的接合结构,其中所述阻塞元件的所述接触垫直接接合到所述半导体元件的有源侧处的接触垫。

33. 根据权利要求1至28中任一项所述的接合结构, 其中所述至少一个光学阻塞层中的阻塞层还包括光学滤波器。

34. 一种接合结构, 包括:

半导体元件, 包括有源电路系统; 以及

阻塞元件, 在没有粘合剂的情况下沿着接合界面直接接合到所述半导体元件, 所述阻塞元件包括第一阻塞层和第二阻塞层, 所述第二阻塞层设置在所述第一阻塞层之上, 所述第一阻塞层具有第一阻塞图案, 并且所述第二阻塞层具有第二阻塞图案, 所述第二阻塞图案至少部分地与所述第一阻塞图案不重叠。

35. 根据权利要求34所述的接合结构, 其中在所述阻塞元件的俯视图中, 所述第一阻塞图案和所述第二阻塞图案协作以抑制对所述有源电路系统的光学读取。

36. 根据权利要求34所述的接合结构, 其中所述阻塞图案包括一种或多种导电材料。

37. 根据权利要求36所述的接合结构, 其中所述一种或多种导电材料包括铜。

38. 根据权利要求34至37中任一项所述的接合结构, 其中所述图案化阻塞材料包括阻挡波长在700nm至1mm范围内的光的材料。

39. 根据权利要求38所述的接合结构, 其中所述图案化阻塞材料包括阻挡波长在800nm至2500nm范围内的光的材料。

40. 根据权利要求34至39中任一项所述的接合结构, 其中所述图案化阻塞材料对红外 (IR) 光或近红外 (NIR) 光中的至少一者是不透明的。

41. 根据权利要求34至40中任一项所述的接合结构, 其中所述半导体元件还包括接合层, 并且其中所述阻塞元件还包括直接接合到所述半导体元件的所述接合层的接合层。

42. 根据权利要求41所述的接合结构, 其中所述半导体元件的所述接合层包括设置在不导电层中的多个接触垫, 并且其中所述阻塞元件的所述接合层包括设置在不导电层中的、直接接合到所述半导体元件的所述接触垫的多个接触垫。

43. 根据权利要求34至42中任一项所述的接合结构, 其中所述第一阻塞层还包括检测电路, 所述检测电路被配置为检测对所述第一阻塞层的外部访问。

44. 根据权利要求43所述的接合结构, 还包括垂直互连件, 所述垂直互连件从所述检测电路延伸到所述阻塞元件的接触垫。

45. 根据权利要求44所述的接合结构, 其中所述阻塞元件直接接合到所述半导体元件的与有源侧相对的背侧, 所述接合结构还包括贯穿半导体过孔TSV, 所述TSV从所述半导体元件的所述有源侧处或附近的接触垫延伸到所述阻塞元件的所述接触垫, 所述TSV提供所述半导体元件与所述检测电路之间的电通信。

46. 一种形成接合结构的方法, 所述方法包括:

在没有粘合剂的情况下将半导体元件直接接合到阻塞元件, 所述半导体元件包括有源电路系统, 并且所述阻塞元件包括至少一个图案化光学阻塞层, 所述至少一个图案化光学阻塞层设置在所述有源电路系统之上, 并且抑制对所述有源电路系统的光学读取。

47. 根据权利要求46所述的方法, 还包括:

形成所述阻塞元件, 使得多个光学阻塞层沿着横向于所述接合界面的方向彼此间隔开。

48. 根据权利要求47所述的方法, 还包括:

形成所述阻塞元件,使得所述多个光学阻塞层中的每个阻塞层包括不导电层和图案化不透明材料,所述图案化不透明材料至少部分地嵌入所述不导电层中。

49. 根据权利要求48所述的方法,还包括:

形成所述阻塞元件,使得所述图案化不透明材料包括多个闭塞带,所述多个闭塞带沿着基本上平行于所述接合界面的方向延伸。

50. 根据权利要求49所述的方法,还包括:

形成所述阻塞元件,使得所述多个闭塞带包括一种或多种金属。

51. 根据权利要求48至50中任一项所述的方法,还包括:

形成所述阻塞元件,使得所述图案化不透明材料包括阻挡波长在700nm至1mm范围内的光的材料。

52. 根据权利要求51所述的方法,还包括:

形成所述阻塞元件,使得所述图案化不透明材料包括阻挡波长在800nm至2500nm范围内的光的材料。

53. 根据权利要求46至52中任一项所述的方法,还包括:

形成所述阻塞元件以包括接合层;

形成所述半导体元件以包括接合层;以及

将所述阻塞元件的所述接合层接合到所述半导体元件的所述接合层。

54. 根据权利要求53所述的方法,还包括:

形成所述阻塞元件,使得所述阻塞元件的所述接合层被金属化以匹配所述半导体元件的金属化图案。

55. 根据权利要求54所述的方法,还包括:

形成所述阻塞元件,使得所述阻塞元件的所述接合层包括设置在不导电层中的多个接触垫,所述接触垫被配置为镜像所述半导体元件的所述接合层的多个接触垫。

56. 根据权利要求46至55中任一项所述的方法,还包括:

形成所述阻塞元件,使得多个光学阻塞层中的第一阻塞层包括检测电路,所述检测电路被配置为检测对所述第一阻塞层的外部访问。

57. 根据权利要求56所述的方法,还包括:

形成所述阻塞元件以包括垂直互连件,所述垂直互连件从所述检测电路延伸到所述阻塞元件的接触垫。

58. 根据权利要求57所述的方法,还包括:

将所述阻塞元件直接接合到所述半导体元件的背侧,所述背侧与所述半导体元件的有源侧直接相对,其中所述半导体元件的所述有源电路系统设置在所述半导体元件的所述有源侧处或附近,并且还包括贯穿半导体过孔TSV,所述TSV从所述半导体元件的所述有源侧处或附近的接触垫延伸到所述阻塞元件的所述接触垫,所述TSV提供所述半导体元件与所述检测电路之间的电通信。

59. 一种接合结构,包括:

半导体元件,包括有源电路系统;以及

阻塞元件,在没有粘合剂的情况下在所述有源电路系统之上沿着接合界面直接接合到所述半导体元件,所述阻塞元件包括多个导电层,所述多个导电层包括检测电路,所述检测

电路监测所述阻塞单元的无源电特性,所述检测电路与所述有源电路系统电通信。

60.根据权利要求59所述的接合结构,其中所述有源电路系统被配置为检测所述阻塞元件的所述无源电特性的变化。

61.根据权利要求59或60所述的接合结构,其中在检测到所述无源电特性的变化时,所述有源电路系统被配置为向外部系统或用户传输警报消息。

62.根据权利要求59至61中任一项所述的接合结构,其中所述无源电特性包括所述阻塞元件的电容。

63.根据权利要求62所述的接合结构,其中所述多个导电层包括第一导电层、第二导电层和电介质层,所述电介质层位于所述第一导电层与所述第二导电层之间。

64.根据权利要求59至63中任一项所述的接合结构,其中所述阻塞元件直接接合到所述半导体元件的背侧,所述背侧与所述半导体元件的前侧相对,所述有源电路系统被设置为距所述前侧比距所述背侧更近。

65.根据权利要求64所述的接合结构,还包括贯穿衬底过孔TSV,所述TSV提供所述有源电路系统与所述检测电路之间的电通信。

66.根据权利要求59至65中任一项所述的接合结构,其中所述多个导电层用作抑制对所述有源电路系统的光学读取的光学阻塞结构。

67.根据权利要求66所述的接合结构,所述多个导电层包括第一阻塞图案和第二阻塞图案,所述第二阻塞图案至少部分地与所述第一阻塞图案不重叠。

68.根据权利要求59所述的接合结构,所述接合结构与权利要求1至58中任一项相结合。

69.一种接合结构,包括:

半导体元件,具有前侧和与所述前侧相对的背侧,所述半导体元件包括有源电路系统,所述有源电路系统被设置为距所述前侧比距所述背侧更近;以及

阻塞元件,在没有粘合剂的情况下在所述有源电路系统之上沿着接合界面直接接合到所述半导体元件的所述背侧,所述阻塞元件包括检测电路,所述检测电路监测所述阻塞元件的无源电特性,所述检测电路与所述有源电路系统电通信。

70.根据权利要求69所述的接合结构,所述接合结构与权利要求1至67中任一项相结合。

用于接合结构的光学阻塞保护元件

技术领域

[0001] 本领域涉及用于接合结构(bonded structure)的光学阻塞保护元件及用于形成光学阻塞保护元件的方法。

背景技术

[0002] 半导体芯片(例如,集成器件管芯)可以包括包含安全敏感组件的有源电路系统,该安全敏感组件包含有价值信息和/或专有信息、结构或器件。例如,这样的安全敏感组件可以包括实体的知识产权、软件或硬件安全(例如,加密)功能、隐私数据、或者该实体可能希望保持安全并且对第三方隐藏的任何其他组件或数据。例如,第三方不良行为者可以利用各种技术试图访问安全敏感组件以获取经济和/或地缘政治优势。因此,仍然持续需要提高半导体芯片的安全性,以防止第三方访问。

发明内容

[0003] 本文中公开了一种接合结构,该接合结构包括半导体元件和阻塞元件,该半导体元件包括有源电路系统,该阻塞元件在没有粘合剂的情况下沿着接合界面直接接合到半导体元件,阻塞元件包括设置在有源电路系统之上并且抑制对有源电路系统的光学读取的至少一个图案化光学阻塞层。在一些实施例中,至少一个图案化光学阻塞层包括多个光学闭塞层。在一些实施例中,多个光学闭塞层设置在彼此之上并且沿着横向于接合界面的方向彼此间隔开。在一些实施例中,多个光学闭塞层中的每个光学闭塞层包括不导电层和至少部分地嵌入不导电层中的图案化不透明材料。在一些实施例中,图案化不透明材料包括沿着基本上平行于接合界面的方向延伸的多个闭塞带。在一些实施例中,多个闭塞带包括一种或多种导电材料。在一些实施例中,一种或多种导电材料包括铜。在一些实施例中,图案化不透明材料包括阻挡波长在400nm至1mm范围内的光的材料。在一些实施例中,图案化不透明材料包括阻挡波长在800nm至2500nm范围内的光的材料。在一些实施例中,图案化不透明材料对红外(IR)光或近红外(NIR)光中的至少一者是不透明的。

[0004] 在一些实施例中,多个光学闭塞层中的第一光学闭塞层包括第一不透明图案,并且多个光学闭塞层中的第二光学闭塞层包括第二不透明图案,第二不透明图案至少部分地与第一不透明图案不重叠,使得在闭塞元件的俯视图中,第一不透明图案和第二不透明图案与单独的第一不透明图案和第二不透明图案相比闭塞半导体元件的更大部分。在一些实施例中,第一不透明图案包括第一多个闭塞带,并且第二不透明图案包括至少部分地与第一多个闭塞带不重叠的第二多个闭塞带。在一些实施例中,闭塞元件还包括至少三个光学闭塞层,并且其中图案化闭塞材料在平行于光学闭塞层的平面中闭塞半导体元件的预定义区域。在一些实施例中,光学闭塞层被配置为在预定义区域之上提供至少75%的闭塞。在一些实施例中,光学闭塞层被配置为在预定义区域之上提供至少95%的闭塞。在一些实施例中,预定义区域包括第一半导体元件的接合表面的至少75%。在一些实施例中,预定义区域包括第一半导体元件的接合表面的至少95%。

[0005] 在一些实施例中,半导体元件包括至少一个敏感电路区域、以及至少一个没有敏感电路系统的区域,图案化不透明材料闭塞至少一个敏感电路区域的至少一部分并且使至少一个没有敏感电路系统的区域不被闭塞。在一些实施例中,多个光学闭塞层包括一个或多个光学过滤层。在一些实施例中,至少一个图案化光学阻塞层包括对光进行折射、散射、漫射、衍射或相移以抑制对有源电路系统的光学读取的材料。在一些实施例中,半导体元件还包括接合层,并且其中阻塞元件还包括直接接合到半导体元件的接合层的接合层。在一些实施例中,阻塞元件的接合层被金属化以匹配半导体元件的金属化图案。在一些实施例中,半导体元件的接合层包括设置在不导电层中的多个接触垫,并且其中阻塞元件的接合层包括设置在直接接合到半导体元件的接触垫的不导电层中的多个接触垫。在一些实施例中,阻塞元件的接合层和沿着横向于接合界面的方向与接合层垂直间隔开的光学闭塞层通过至少一个垂直互连件被连接。在一些实施例中,多个闭塞层中的彼此相邻的至少两个闭塞层在该至少两个闭塞层之间不具有垂直互连件。在一些实施例中,有源电路系统设置在半导体元件的有源面处或附近,阻塞元件直接接合到半导体元件的与有源面相对的背面。在一些实施例中,多个光学闭塞层中的第一闭塞层包括被配置为检测对第一闭塞层的外部访问的检测电路。在一些实施例中,检测电路包括被配置为检测外部访问的无源电子电路元件。在一些实施例中,无源电子电路包括电容电路元件或电阻电路元件。在一些实施例中,接合结构还包括从检测电路延伸到阻塞元件的接触垫的垂直互连件。在一些实施例中,阻塞元件直接接合到半导体元件的与有源面相对的背面,接合结构还包括从半导体元件的有源面处或附近的接触垫延伸到阻塞元件的接触垫的贯穿半导体过孔(TSV),TSV提供半导体元件与检测电路之间的电通信。在一些实施例中,阻塞元件的接触垫直接接合到半导体元件的有源面处的接触垫。在一些实施例中,至少一个光学阻塞层中的阻塞层还包括光学过滤器。

[0006] 本文中公开了一种接合结构,该接合结构包括半导体元件和阻塞元件,该半导体元件包括有源电路系统,该阻塞元件在没有粘合剂的情况下沿着接合界面直接接合到半导体元件,阻塞元件包括第一阻塞层和设置在第一阻塞层之上的第二阻塞层,第一阻塞层具有第一阻塞图案,并且第二阻塞层具有至少部分地与第一阻塞图案不重叠的第二阻塞图案。在一些实施例中,在阻塞元件的俯视图中,第一阻塞图案和第二阻塞图案协作以抑制有源电路系统的光学读取。在一些实施例中,阻塞图案包括一种或多种导电材料。在一些实施例中,一种或多种导电材料包括铜。在一些实施例中,图案化阻塞材料包括阻挡波长在700nm至1mm范围内的光的材料。在一些实施例中,图案化阻塞材料包括阻挡波长在800nm至2500nm范围内的光的材料。在一些实施例中,图案化阻塞材料对红外(IR)光或近红外(NIR)光中的至少一者是不透明的。在一些实施例中,半导体元件还包括接合层,并且其中阻塞元件还包括直接接合到半导体元件的接合层的接合层。在一些实施例中,半导体元件的接合层包括设置在不导电层中的多个接触垫,并且其中阻塞元件的接合层包括设置在直接接合到半导体元件的接触垫的不导电层中的多个接触垫。在一些实施例中,第一阻塞层还包括被配置为检测第一阻塞层的外部访问的检测电路。在一些实施例中,接合结构包括从检测电路延伸到阻塞元件的接触垫的垂直互连件。在一些实施例中,阻塞元件直接接合到半导体元件的与有源面相对的背面,接合结构还包括从半导体元件的有源面处或附近的接触垫延伸到阻塞元件的接触垫的贯穿半导体过孔(TSV),TSV提供半导体元件与检测电路之间的

电通信。

[0007] 本文中公开了一种形成接合结构的方法,该方法包括在没有粘合剂的情况下将半导体元件直接接合到阻塞元件,半导体元件包括有源电路系统,并且阻塞元件包括设置在有源电路系统之上并且抑制对有源电路系统的光学读取的至少一个图案化光学阻塞层。在一些实施例中,该方法包括形成阻塞元件,使得多个光学阻塞层沿着横向于接合界面的方向彼此间隔开。在一些实施例中,该方法包括形成阻塞元件,使得多个光学阻塞层中的每个阻塞层包括不导电层和至少部分地嵌入不导电层中的图案化不透明材料。在一些实施例中,该方法包括形成阻塞元件,使得图案化不透明材料包括沿着基本上平行于接合界面的方向延伸的多个闭塞带。在一些实施例中,该方法包括形成阻塞元件,使得多个闭塞带包括一种或多种金属。在一些实施例中,该方法还包括形成阻塞元件,使得图案化不透明材料包括阻挡波长在700nm至1mm范围内的光的材料。在一些实施例中,该方法包括形成阻塞元件,使得图案化不透明材料包括阻挡波长在800nm至2500nm范围内的光的材料。

[0008] 在一些实施例中,该方法包括形成阻塞元件以包括接合层;形成半导体元件以包括接合层;以及将阻塞元件的接合层接合到半导体元件的接合层。在一些实施例中,该方法包括形成阻塞元件,使得阻塞元件的接合层被金属化以匹配半导体元件的金属化图案。在一些实施例中,该方法包括形成阻塞元件,使得阻塞元件的接合层包括设置在不导电层中的多个接触垫,接触垫被配置为镜像半导体元件的接合层的多个接触垫。在一些实施例中,该方法包括形成阻塞元件,使得多个光学阻塞层中的第一阻塞层包括被配置为检测对第一阻塞层的外部访问的检测电路。在一些实施例中,该方法包括形成阻塞元件以包括从检测电路延伸到阻塞元件的接触垫的垂直互连件。在一些实施例中,该方法包括将阻塞元件直接接合到半导体元件的背面,背面与半导体元件的有源面直接相对,其中半导体元件的有源电路系统设置在半导体元件的有源面处或附近,并且还包括从半导体元件的有源面处或附近的接触垫延伸到阻塞元件的接触垫的贯穿半导体过孔(TSV),TSV提供半导体元件与检测电路之间的电通信。

[0009] 本文中公开了一种接合结构,该接合结构包括半导体元件和阻塞元件,该半导体元件包括有源电路系统,该阻塞元件在没有粘合剂的情况下在有源电路系统之上沿着接合界面直接接合到半导体元件,阻塞元件包括多个导电层,多个导电层包括检测电路,检测电路监测阻塞单元的无源电特性,检测电路与有源电路系统电通信。在一些实施例中,有源电路系统被配置为检测阻塞元件的无源电特性的变化。在一些实施例中,在检测到无源电特性的变化时,有源电路系统被配置为向外部系统或用户传输警报消息。在一些实施例中,无源电特性包括阻塞元件的电容。在一些实施例中,多个导电层包括第一导电层、第二导电层、以及位于第一导电层与第二导电层之间的电介质层。在一些实施例中,阻塞元件直接接合到与半导体元件的正面相对的半导体元件的背面,有源电路系统被设置为距正面比距背面更近。在一些实施例中,接合结构包括提供有源电路系统与检测电路之间的电通信的贯穿衬底过孔(TSV)。在一些实施例中,多个导电层用作抑制对有源电路系统的光学读取的光学阻塞结构。在一些实施例中,多个导电层包括第一阻塞图案和至少部分地与第一阻塞图案不重叠的第二阻塞图案。

[0010] 本文中公开了一种接合结构,该接合结构包括半导体元件和阻塞元件,该半导体元件具有正面和与正面相对的背面,该半导体元件包括被设置为距正面比距背面更近的有

源电路系统,该阻塞元件在没有粘合剂的情况下在有源电路系统之上沿着接合界面直接接合到半导体元件的背面,阻塞元件包括监测阻塞元件的无源电特性的检测电路,检测电路与有源电路系统电通信。

附图说明

- [0011] 图1是半导体芯片的近红外(NIR)成像的示例图示。
- [0012] 图2A是具有多个闭塞层的保护元件的示意性侧视截面图。
- [0013] 图2B是具有多个闭塞层的保护元件的示意性侧视截面图。
- [0014] 图3是保护元件的示意性俯视截面图,示出了闭塞层的叠加。
- [0015] 图4A是接合到有源芯片的有源面的保护芯片的示意性侧视截面图。
- [0016] 图4B是接合到有源芯片的无源面的保护芯片的示意性侧视截面图。
- [0017] 图5A是保护芯片的示意性侧视截面图,该保护芯片合并有接合到有源芯片的有源面的光学过滤层。
- [0018] 图5B是保护芯片的示意性侧视截面图,该保护芯片组合接合到有源芯片的有源面的光学过滤层和嵌入式随机反射图案。

具体实施方式

[0019] 如本文所述,第三方(诸如第三方不良行为者)可能试图访问诸如集成器件管芯等元件上的安全敏感组件。在一些元件中,安全敏感组件可以由网表和非易失性存储器(NVM)数据的组合来保护。然而,第三方可能试图通过破坏性和非破坏性技术的组合来破解安全敏感组件,例如,对元件进行探测和/或分层以暴露或以其他方式获取对安全敏感组件的访问。在一些情况下,第三方可能试图通过使用故障注入技术、采用近红外(NIR)激光触发或聚焦离子束(FIB)电路改性、化学蚀刻技术、以及其他物理、化学、和/或电磁破解工具和甚至逆向工程而使电磁(EM)波向元件的有源电路系统上脉冲来破解安全敏感组件。这些技术可能被用于物理访问微器件的敏感电路,诸如集成电路,以直接读取加密信息,从外部触发电路以释放以其他方式加密的信息,了解制造过程,或者甚至提取足够的信息以使得能够最终复制敏感设计。例如,在一些情况下,黑客可能试图访问加密密钥,该密钥可能存储在电路设计中、在存储器中或在这两者的组合中。技术还可能被用于通过基于故障注入输入来分析结果输出以间接读取敏感信息,并且通过递归分析来确定加密密钥或数据内容。在结构上保护诸如集成器件管芯或芯片等元件上的安全敏感组件是具有挑战性的。

[0020] 因此,重要的是为包括安全敏感组件的元件(诸如半导体集成器件管芯)提供改进的安全性。本文中公开的各种实施例涉及包括接合到第二半导体元件的第一半导体元件的接合结构。第二半导体元件可以包括保护或阻塞元件,该保护或阻塞元件包括至少一个(例如,多个)图案化阻塞层,该图案化阻塞层设置在第一半导体元件的有源电路系统之上并且被布置为抑制有源电路系统的光学询问或光学访问。

[0021] 图1示出了使用近红外(NIR)光学探针126例如来探测半导体元件100的敏感电路系统以对半导体元件100成像的常规方法。如图1所示,光学探测技术可以用于访问半导体元件100的有源电路系统116。光学探测技术可能使得攻击者能够重构敏感电路系统,从而损害敏感电路系统的机密性和安全性。光学探测技术可以用于从半导体元件100的背面112

访问有源电路系统116,因为与半导体元件100的正面114上不同,来自背面的光学探针126不被任何布线或金属化物阻挡。光学探针126包括激光源122、分束器120、检测器124和物镜118。激光源122可以产生激光束并且将激光束引导到分束器120,该分束器可以将光束拆分成通过物镜118被引导到半导体元件100的第一分量以及被引导到反射镜128和检测器124的第二分量。背面光学侵入技术也可以用于监测电路的活动,收集比特流信息以检索加密密钥并且泄露加密信息。

[0022] 因此,防止光学侵入对于确保包含安全敏感组件的半导体元件的安全性非常重要。常规技术可以包括用闭塞壳封装半导体元件100。然而,常规封装可能容易受到研磨、化学蚀刻和其他相对简单的去除工艺的影响,从而使敏感电路系统被暴露并且容易受到光学探测的影响。因此,可能希望包括通过将保护或闭塞元件直接接合到半导体元件100来防止光学侵入的保护。半导体元件100(诸如集成器件管芯或芯片)可以安装或堆叠在其他元件上。例如,半导体元件100可以安装到载体,诸如封装衬底、中介层、重构的晶片或元件等。作为另一示例,半导体元件100可以堆叠在另一半导体元件100之上,例如,第一集成器件管芯可以堆叠在第二集成器件管芯上。在一些布置中,贯穿衬底过孔(TSV)可以垂直延伸穿过半导体元件100的厚度,以穿过半导体元件100传输电信号,例如,从半导体元件100的第一表面传输到半导体元件100的相对的第二表面。本公开的实施例涉及包括保护芯片的接合结构,该保护芯片包括直接接合到有源芯片的阻塞层,该有源芯片可以包括安全敏感电路系统或电路元件。

[0023] 图2A-图2B示出了包括至少一个阻塞层的保护芯片300(本文中也称为阻塞芯片)的侧视截面图。在图2A-图2B的实施例中,根据各种实施例,至少一个阻塞层包括多个堆叠的闭塞(例如,光阻挡)层(图2A所示的层L1-L4 101-104和图2B所示的层L1-L3 105-107)。用于半导体工业外部的光学闭塞的常规技术通常可以包括围绕敏感电路的金属或其他闭塞材料的实心片或层。然而,由于闭塞材料和半导体材料的不同热机械性质等,单个闭塞层可能不适合并入半导体元件中。例如,如果半导体元件中包括单个金属(诸如铜)覆盖层,则当在升高的温度下被处理时,大的连续金属片可能引起热机械应力。因此,在各种工艺中,典型的互补金属氧化物半导体(CMOS)在特定层内的最大金属覆盖率可以在该层的总面积的15%至45%的范围内、20%至40%的范围内、22%至35%的范围内或25%至33%的范围内,以防止材料之间的破坏性热机械应力。

[0024] 为了减少热机械应力,同时提供更大的阻塞,可以将多个层设置成保护或阻塞元件(例如,保护芯片300)的闭塞结构。图2A示出了由半导体元件的四个层形成的示例半导体元件300的横截面,其中每个层具有部分金属化物。所示的层可以包括多个(例如,四个)图案化后端线层,例如闭塞层L1-L4(101、102、103和104),其中每个层L1-L4包括形成在该层中的不导电材料110(诸如电介质材料,如氧化硅或氮化硅)和闭塞(例如,金属的、不透明的)带108或其他形状的模式。在各种实施例中,带108可以包括阻挡入射光束的导电材料,诸如铜或任何其他合适的金属。

[0025] 因此,闭塞材料(例如,不透明带108)可以包括阻挡光(或大部分光)透射通过阻塞芯片300的材料。在利用闭塞带的实施例中,闭塞材料可以包括对入射光束的波长下的光不透明(例如,吸收或反射)的材料。例如,在图2A所示的实施例中,闭塞带108包括不透明材料,诸如金属(例如,在一些实施例中为铜)。在其他实施例中,闭塞材料可以包括阻挡或基

本阻挡(多个)入射光束的(多个)波长下的光的传输的其他类型的材料。例如,在其他实施例中,图案化闭塞材料可以包括透射一个或多个第一波长下的至少一些光并且阻挡一个或多个第二波长下的至少一些光(例如,通过吸收和/或干涉)的一个或多个过滤层。因此,各种阻塞光学材料可以使用不透明材料或过滤各种波长下的光的材料来阻挡(或基本上阻挡)光。另外地或替代地,在一些实施例中,阻塞光学材料可以包括以其他方式阻塞光的光学材料。例如,在这样的实施例中,阻塞材料可以改变入射或出射光束的方向(例如,折射)、聚焦或离焦(例如,透镜化)光束、散射光束、漫射光束、衍射光束(例如,光栅)、相位/波长偏移光束等等。因此,本文中描述的光学阻塞材料是指阻挡或改性在试图破解敏感电路系统时使用的入射光的光阻塞或光改性材料。阻塞材料中的一些可以包括经过粗糙化以实现上述期望效果的材料。如本文中在不透明闭塞带108的上下文中所解释的,阻塞材料层可以被图案化以产生抑制对有源电路系统的光学读取的至少一个光学阻塞层(例如,多个阻塞层)。

[0026] 在图2A的示例中,闭塞带108可以大致平行于保护元件300的接合表面布置,并且可以彼此平行延伸。在一些实施例中,带108可以跨芯片300的大部分宽度而延伸,例如,如从俯视平面图所见,基本上完全跨芯片300宽度而延伸。如本文中使用的,图案化不透明材料包括单个闭塞层(例如,101-104中的一个)的一个或多个闭塞带108。在一些实施例中,如本文所述,闭塞层的图案化不透明材料包括闭塞带108,该闭塞带由闭塞(例如,阻挡)以下项的材料制成:至少90%的400nm至1mm范围内的光、至少90%的800nm至2500nm范围内的光,例如,至少90%的近红外(NIR)光。在各种实施例中,闭塞层101-104的图案化不透明材料可以阻挡至少95%或至少99%的400nm至1mm范围内的光、至少90%的800nm至2500nm范围内的光,例如,至少90%的近红外(NIR)光。另外地或替代地,图案化不透明材料可以阻挡至少90%、至少95%或至少99%的红外(IR)光或紫外(UV)光。在利用包括闭塞层的光学阻塞材料的这样的实施例中,该材料可以包括不透明层(例如,金属带108)、一个或多个过滤层或任何其他光阻挡层。

[0027] 如上所述,在其他实施例中,光学阻塞材料可以包括其他类型的光改性材料,诸如对至少90%、至少95%或至少99%的波长在400nm至1mm、800nm至2500nm范围内的光、近红外(NIR)光、红外光(IR)或UV光进行折射、反射、散射、漫射、衍射、相移等的材料。在利用非闭塞性阻塞材料的实施例中,入射光中的至少一些可以穿过阻塞元件300,入射在有源电路系统116上,并且反射回来穿过阻塞元件300。然而,非闭塞性阻塞材料可以与反射光相互作用,从而改变光的幅度和/或相位,这可以抑制通过光学探针对有源电路系统的光学读取。

[0028] 在图2A所示的闭塞示例中,层101-104(或层102-104)中的带108的闭塞图案可以协作以形成光学阻塞结构,以基本上或完全阻挡被用于探测底层有源芯片310内的有源电路系统的光束。在一些实施例中,例如,闭塞图案可以阻挡入射到闭塞(例如,不透明)带108上的90%至100%、或95%至100%的光。例如,带108可以被选择为对在光学探针中使用的光(诸如NIR光)是不透明的。当以本文中描述的至少部分不重叠的方式被提供时,闭塞层可以基本上阻挡来自探测技术的光。因此,多个闭塞或不透明带108可以被布置为使得从俯视平面图来看时,这些带协作以形成光学阻塞结构,该光学阻塞结构抑制(例如,基本上防止)光入射到敏感电路系统上,并且因此抑制有源电路系统的光学读取。因此,个体闭塞层中的每个(例如,101-104中的一个)仅是部分阻塞的。例如,闭塞层101本身可以仅阻挡

20% - 40% 的入射光。然而, 这些层被组合 (例如, 图2A-图2B) 以形成基本上完全闭塞的元件, 该元件阻挡或抑制大部分或全部入射光并且对于光学插入是不透明的。如图2A所示, 完全阻塞 (例如, 闭塞) 或基本上完全阻塞 (如, 闭塞) 可以用每个层的总面积的大约25% 的最大每层金属覆盖来实现。因此, 在这样的布置中, 四 (4) 个层可以设置在彼此之上, 其中光学闭塞 (例如, 不透明) 带108交错, 使得从俯视图来看, 不透明带108完全或基本上完全覆盖底层有源芯片的至少敏感电路系统。在一些实施例中, 如从俯视图所见, 不透明带108可以协作以完全或基本上完全覆盖底层芯片的整个有源表面、或者底层芯片或管芯的整个上表面。在其他实施例中, 如从俯视图所见, 不透明带108可以协作以完全或基本上完全覆盖底层芯片的有源电路系统的敏感部分。

[0029] 利用更大程度的金属覆盖, 可以使用更少的层来实现的相同水平的闭塞。除非另有说明, 否则图2B中的组件可以与图2A中编号相同的组件相同或大致相似。例如, 图2B示出了由三个层形成的示例半导体元件300的横截面, 其中每个层的金属化物可以覆盖高达33% 的层表面。所示的层可以包括多个 (例如, 3个) 图案化后端线层L1-L3 (105、106和107), 其中每个层L1-L3包括形成在该层中的不导电材料110 (诸如电介质材料, 如氧化硅或氮化硅) 和闭塞 (例如, 金属、不透明) 带108或其他形状的图案, 这些图案协作以形成图案化光学阻塞材料。如下面更详细地讨论的, 金属化物的图案化也可以被采用以实现敏感区域的闭塞, 同时限制闭塞元件101-104的总金属化。在一些实施例中, 带108的闭塞材料可以是金属, 诸如铜。在其他实施例中, 可以使用不同闭塞或阻塞材料。在一些实施例中, 如上所述, 这些材料可以被选择为闭塞 (例如, 不透明或反射) 或以其他方式阻塞 (例如, 被选择为折射、散射、漫射、相移等至少90%、至少95%或至少99%的) 波长在400nm至1mm范围内的光。在各种实施例中, 材料可以被选择为阻塞 (例如, 阻挡、折射、反射、散射、漫射、相移等至少90%、至少95%或至少99%的) 波长在800nm至2500nm范围内的光。在各种实施例中, 材料可以被选择为阻塞近红外 (NIR) 光、红外光或UV光。

[0030] 图3描绘了包括层202和204的光学阻塞半导体元件300的说明性实施例的俯视图。如图3所示, 每个层202、204的表面可以用包括闭塞带208的阻塞层部分地金属化, 以提供光学闭塞屏障。每个层可以根据不同图案进一步被金属化。说明性地, 分离的层202、204中的至少部分不重叠的金属化图案可以被配置为使得当被堆叠并且从俯视图看时, 这些层协作以形成重叠 (或基本上重叠) 的闭塞屏障, 如从上方看。例如, 元件300示出了层202和204的俯视图, 其中它们的金属化图案208被叠加。以这种方式, 可以在单个保护性半导体元件300中形成多个部分金属化层, 以提供比单个层可以实现的更大的闭塞。本领域技术人员应当理解, 图3所示的保护芯片300仅为说明性的, 并且其他实施例可以具有多于两 (2) 个层。另外, 其他实施例可以采用不同金属化图案208来实现闭塞。例如, 可以针对层202、204使用其他互补图案, 前提是当从俯视图看时, 层202、204的互补图案基本上闭塞底层有源电路系统的至少敏感部分。在另外的实施例中, 例如利用非闭塞阻塞材料的实施例, 阻塞材料可以在一个层中被图案化。例如, 在散射、衍射或漫射光的实施例中, 阻塞层可以被图案化, 使得至少一些光可以穿过阻塞元件300, 从有源芯片310反射或散射, 并且通过来自 (多个) 图案化阻塞层的干涉被吸收或抵消。光学阻塞材料的附加示例可以在作为美国专利公开号US 2020/0328162而公布的第16/844932号美国专利申请中找到 (至少包括其第[0030]、[0036]、[0051]和[0066]-[0067]段), 该申请的全部内容通过引用整体并入本文并且用于

所有目的。

[0031] 此外,在一些实施例中,一个或多个阻塞层(例如,闭塞结构的金属化图案208)可以是不规则的,或者仅覆盖芯片206的一部分区域。例如,有源芯片可以具有仅覆盖芯片的区域的一部分的敏感电路系统。为了提高成本和性能特性,保护芯片300可以被配置为仅阻塞(例如,闭塞)有源电路系统的敏感部分,而不阻塞(例如,闭塞或阻挡)芯片的不包括电路系统或包括非敏感电路系统的其他部分。此外,在一些实施例中,完全阻塞或闭塞对于破坏光学探针攻击可能是不必要的。在这些实施例中,保护芯片300的(多个)阻塞层(例如,闭塞层202、204)可以被配置为提供对接合的有源芯片的敏感区域的部分阻塞或闭塞。例如,使用仅部分闭塞的有源芯片可以被接合到保护芯片300,该保护芯片包括通过较低精度较低成本的工艺而图案化的重叠的闭塞层202、204。因此,较低精度可以以每芯片的较低成本产生足以在有源芯片的敏感区域之上提供期望保护的部分闭塞的区域。例如,闭塞层可以被配置为在敏感电路区域的50%至75%范围内、75%至95%范围内或95%至100%范围内、或者在一些实施例中在芯片310的整个有源区域的50%至75%范围、75%至95%范围内、或95%至100%范围内,在有源芯片的区域之上提供期望保护。

[0032] 图4A描绘了在直接接合之前保护芯片300与有源芯片310在接合界面315上的有源面接合。除非另有说明,否则图4A结构的组件和功能可以与图2A-图3的组件相同或大致相似。如上所述,非接合保护结构可以容易经由各种去除技术(诸如研磨或蚀刻)被去除。因此,可能希望直接接合保护芯片300和有源芯片315以形成接合结构。在一些实施例中,接合界面315可以包括保护芯片300的接合层340A与有源芯片310的接合层340B之间的接合。在一些实施例中,直接接合可以包括不导电非粘合接合,其中元件(例如,保护芯片300和有源芯片310)的不导电场区域341A、341B(例如,电介质材料)彼此直接接合。在其他实施例中,诸如图4A所示的实施例,直接接合可以包括混合接合,其中有源芯片310的接触垫350B直接接合到保护芯片300的对应接触垫350A,并且其中有源芯片310的不导电区域(例如,不导电场区域341B)直接接合到保护芯片300的对应不导电区域(例如,不导电场区域341A)。如图4A所示,每个芯片300、310的接合层340A、340B可以包括多个接触垫350A、350B,该接触垫设置在不导电场区域341A、341B中,诸如电介质层(例如,氧化硅、氮化硅、氮氧化硅等)。在一些实施例中,场区域341A、341B可以包括与不导电层305相同的材料。在其他实施例中,场区域341A、341B可以包括与不导电层304不同的材料。接触垫350A、350B可以包括导电材料,例如为直接混合接合制备的诸如铜等金属。在这些实施例中,保护芯片300的接触垫350A可以被配置为镜像和/或对应于有源芯片310的接触垫350B。垫可以在保护芯片与有源芯片之间提供电连接和/或机械连接。如本文中使用的,垫可以包括贯穿衬底过孔(TSV)330或垂直互连件360的暴露端(例如,标记为垫350A)、或至少部分地嵌入场区域中的分立垫(例如,标记为垫350B)。

[0033] 如图4A所示,保护芯片可以包括多个闭塞层301-304,这里示出为L1-L4。每个闭塞层301-304可以包括不导电材料305以及导电闭塞材料306。在一些实施例中,闭塞材料306可以以带或图案布置,以利用每个层提供有源芯片310的部分闭塞。例如,如图4A所示,闭塞层301-304可以被图案化以提供如上所述的组合闭塞效果。如上所述,在其他实施例中,其他类型的图案化光学阻塞材料可以用于层301-304。

[0034] 如上所述,接合结构可能会受到侵入性篡改。例如,聚焦离子束(FIB)技术可以用

于消融芯片的保护层。因此,这些技术可以使得攻击者能够从保护芯片300移除闭塞材料,以暴露有源芯片310的有源电路系统以用于进一步的光学探测。因此,可能希望检测保护芯片300的消融。在一些实施例中,保护芯片的接合层340A的接触垫350A可以通过垂直互连件360进一步连接到保护芯片300的一个或多个闭塞层302-304。同样,有源芯片310的接合层340B的接触垫350B可以通过导电迹线(未示出)连接到有源芯片310的有源电路系统116。通过将保护芯片300的接触垫350A接合到有源芯片的对应接触垫350B,在一些实施例中,接合结构因此可以在有源芯片310的有源电路系统与保护芯片300的一个或多个闭塞层301-304L1-L4之间具有电连接。在本文中公开的实施例中的每个中,一个或多个闭塞层可以包括接合层340A,使得闭塞层301可以与接合层340A相同或者可以至少包括接合层340A。在一些实施例中,接合层340A可以被图案化以帮助闭塞(或以其他方式光学阻塞),而在其他实施例中,接合层340A可以基本上不会有助于闭塞,而层302-304L2-L4协作以闭塞(例如,阻挡)入射光与底层敏感电路系统相互作用。

[0035] 在所示实施例中,包括四个闭塞层301-304(L1-L4)的保护芯片300可以具有垂直互连件360,以提供最顶部闭塞层304L4与接合层340A的接触垫350A之间的电连接。在这些实施例中,有源芯片310可以被配置为通过保护芯片300的一个或多个层与有源芯片310之间的电连接来监测保护芯片300中的一个或多个属性。在一些实施例中,多个光学闭塞层301-304可以设置在彼此之上并且沿着横向于接合界面315的方向彼此间隔开。

[0036] 例如,在一些实施例中,有源芯片310可以被配置为测量一个或多个层301-304、层301-304的一部分、或保护芯片300的层内的带306的无源电特性(例如,电容)。在其他实施例中,有源芯片310可以被配置为测量层301-304、层301-304的一部分、或保护芯片300的层301-304内的元件306的电阻。在这些实施例中,消融破解技术可以通过测量保护芯片300的属性的变化来检测(例如,通过测量以下项中的电阻和/或电容和/或阻抗的变化:(多个)闭塞层301-304、(多个)闭塞层301-304的一部分、或(多个)闭塞层301-304内有源电路系统所连接到的元件306)。例如,FIB探针可以用于消融电连接到有源芯片310的保护芯片300的闭塞层301-304的一部分。作为示例,层304内的金属化物可以用作电容电路的第一端子,层302内的金属化物可以用作电容电路的第二端子,并且层303中的介入电介质材料305可以用作电容电路的电介质。有源芯片310可以检测由闭塞层301-304的金属化物的消融引起的保护芯片300的电容(或在其他实施例中为电阻)的变化。在这些实施例中,有源芯片310可以被配置为在消融被检测到时禁用敏感电路系统的操作和/或向外部系统或用户传输警报消息。在一些实施例中,闭塞元件的两个或更多个相邻层在其之间可以没有电连接。例如,保护芯片300可以具有第一闭塞层(例如,层304)和第二闭塞层303,该第一闭塞层通过垂直互连件360连接到接合层340A的一个或多个接触垫350A,该第二闭塞层不电连接到接合层350A或第一闭塞层(例如,其用作电容电路的介入电介质)。在一些实施例中,在第二闭塞层303位于接合层340A与第一闭塞层304之间的情况下,第一闭塞层304可以连接到接合层,其中垂直互连件360用作旁路过孔,该旁路过孔跳过第二闭塞层303并且连接到作为电容电路的端子的层304。在一些实施例中,有源芯片310可以连续地测量保护芯片300的属性。在其他实施例中,有源芯片310可以周期性地测量保护芯片300的属性。在一些实施例中,有源芯片310可以被配置为检测保护芯片300的属性随时间的相对变化(例如,电容的变化)。在其他实施例中,有源芯片310可以被配置为将保护芯片300的属性与预定基线进行比较。因此,

闭塞层301-304中的一个或多个可以用作检测电路,该检测电路被配置为检测一个或多个闭塞层301-304的外部访问。检测电路的附加示例可以在美国专利第11,385,278号中找到,该专利的全部内容通过引用整体并入本文并且用于所有目的。

[0037] 在图4A的实施例中,保护芯片300可以接合到有源芯片310的有源(例如,正)面370,其中接触垫350A-350B在接合界面315处或附近电连接到有源电路系统。在所示实施例中,保护芯片300被示出为覆盖有源芯片310的与其接合的表面的全部或基本上全部。在这样的实施例中,保护芯片300可以覆盖有源芯片310的总有源区域的至少10%、至少90%或至少95%。例如,保护芯片300可以覆盖有源芯片310的总有源区域的10%至100%之间、或者有源芯片310的总有源区域的90%至99%之间。如上所述,在其他实施例中,保护芯片300可以仅覆盖有源芯片310的区域的一部分,使得保护芯片300仅覆盖有源电路系统310的敏感电路系统,或者仅覆盖敏感电路系统的一部分。在一些实施例中,敏感电路系统可以位于有源芯片310的一个或多个敏感区域中,并且保护芯片300覆盖这些区域中的每个敏感区域的大部分或全部。在一些实施例中,保护芯片300可以覆盖一个或多个敏感区域中的每个敏感区域的一部分,使得每个敏感区域的1%至25%被覆盖。在一些实施例中,保护芯片300可以覆盖每个敏感区域的最大20%。因此,保护芯片300的闭塞带306不需要彼此横向连续。此外,一个层的闭塞带306可以但不必与另一层的闭塞带306重叠。在本文中描述的一些实施例中(例如,图2B),第一层和第二层中的每个层的闭塞图案可以至少部分不重叠。

[0038] 图4B描绘了在有源芯片310的背面372上直接接合到有源芯片310的保护芯片300。有源电路系统116可以被设置距正面370比距芯片310的背面372更近。如图4B所示,保护芯片300与有源芯片310的背面372之间的接合界面315可以不包括任何接触垫。在其他实施例中,保护层300和有源芯片310的接合层340A、340B可以包括接触垫。此外,在一些实施例中,接触垫350A、350B可以提供有源芯片310的有源电路系统116与保护芯片300的一个或多个闭塞层301-304之间的电连接,以监测闭塞层301-304的电特性,从而检测诸如FIB攻击等侵入,如上所述。在所示实施例中,例如,一个或多个贯穿衬底过孔(TSV)330可以将有源芯片310的有源正面处的(多个)接触垫350B连接到保护芯片300的(多个)对应接触垫350A。保护芯片300的垂直互连件(参见图4A)可以将保护芯片300的(多个)接触垫350A与一个或多个闭塞层L1-L4(301-304)中的金属材料306中的一种或多种连接。另外的其他实施例可以包括跨有源芯片310的有源面和无源面直接接合到有源芯片310的多个保护芯片300。在这些实施例中,保护芯片300可以提供保护,以防止有源芯片310的两面的光学探测。

[0039] 图5A示出了在接合界面315上直接接合到有源芯片310的有源面370的保护芯片300的说明性实施例,其中保护芯片300还包括光学过滤层420,该光学过滤层包括光学过滤元件。为了增加敏感芯片的分析成本,可能期望向攻击者提供误导或混淆数据,以减缓分析过程。因此,代替或除了阻挡光信号,改变信号可以是有益的。在一些实施例中,光学过滤元件可以被配置为在入射光线中引起相移。在这些实施例中,光学过滤元件(其可以包括图案化过滤元件)因此可以生成正或负干扰以干扰攻击者的信号。在一些实施例中,光学过滤元件可以包括金属化层。在一些实施例中,光学过滤器可以包括折射光学过滤器。在其他实施例中,光学材料可以包括适用于对光进行过滤、折射和/或衍射的其他材料和结构。在一些实施例中,光学过滤元件可以包括保护芯片300内的多于一个层。

[0040] 图5B示出了在接合界面315上直接接合到有源芯片310的有源面的保护芯片300的

说明性实施例,其中保护芯片300还包括与嵌入式随机反射图案组合以形成反射过滤元件457的光学过滤层420。如图5B所示,反射过滤元件457可以用于改变来自激光探针的光学信号。在这些实施例中,入射光线455被反射456远离探针,从而改变接收光的表观强度。例如,这可能导致NIR探针报告电路的被探测区域的密度的不准确读数。

[0041] 返回图5A,在一些实施例中,光学过滤元件420可以包括保护芯片300的单个层。在这些实施例中,光学过滤元件420可以接合到保护芯片300,该保护芯片还包括一个或多个闭塞层301-303和接合层340A、340B,其中层301可以是接合层。在其他实施例中,多个光学过滤层420和/或闭塞层301-303可以被组合在保护芯片300中。此外,单个光学过滤元件可以包括多个层。例如,单个光学过滤元件可以包括被配置为用作菲涅耳透镜的单个层或多个层。在一些实施例中,光学过滤元件可以仅覆盖有源芯片310的敏感区域。在其他实施例中,光学过滤元件可以被配置为覆盖有源芯片310的整个区域。

[0042] 尽管本文所示的实施例(例如,图1-图5)示出了直接接合的阻塞芯片和有源芯片(例如,300和310),但在其他实施例中,阻塞元件300可以用粘合剂(诸如焊料、不导电膏等)接合到有源芯片310。此外,在一些实施例中,阻塞元件300可以没有任何有源电路系统(例如,没有晶体管)。

[0043] 直接接合方法和直接接合结构的示例

[0044] 本文中公开的各种实施例涉及直接接合结构,其中两个元件(例如,元件300、310)可以在没有介入粘合剂的情况下彼此直接接合。两个或更多个半导体元件(诸如集成器件管芯、晶片等)可以堆叠在彼此上或接合到彼此以形成接合结构。一个元件的导电接触垫可以电连接到另一元件的对应导电接触垫(例如,接触垫350A、350B)。任何合适数目的元件可以堆叠在接合结构中。

[0045] 在一些实施例中,元件在没有粘合剂的情况下彼此直接接合。在各种实施例中,第一元件(例如,保护或闭塞元件)的不导电或电介质材料可以在没有粘合剂的情况下直接接合到第二元件(例如,有源芯片)的对应不导电或电介质场区域(例如,341A、341B)。不导电材料可以称为第一元件的不导电接合区域或接合层(例如,340A、340B)。在一些实施例中,可以使用电介质到电介质接合技术将第一元件的不导电材料直接接合到第二元件的对应不导电材料。例如,可以使用至少在美国专利第9,564,414号、第9,391,143号和第10,434,749号中公开的直接接合技术在没有粘合剂的情况下形成电介质到电介质接合,其中每个专利的全部内容通过引用全部并入本文并且用于所有目的。

[0046] 在各种实施例中,可以在没有介入粘合剂的情况下形成混合直接接合。例如,电介质接合表面可以被抛光到高度光滑。接合表面可以被清洁并且暴露于等离子体和/或蚀刻剂以活化表面。在一些实施例中,表面可以在活化之后或在活化期间(例如,在等离子体和/或蚀刻工艺期间)用物种终止。在不受理理论限制的情况下,在一些实施例中,可以执行活化工艺以破坏接合表面处的化学键,并且终止工艺可以在接合表面处提供附加化学物质,该化学物质提高了直接接合期间的接合能。在一些实施例中,活化和终止在同一步骤中提供,例如,用于活化和终止表面的等离子体或湿法蚀刻剂。在其他实施例中,接合表面可以在单独的处理中终止,以提供用于直接接合的附加物质。在各种实施例中,终止物种可以包括氮。此外,在一些实施例中,接合表面可以暴露于氟。例如,在层和/或接合界面附近可以存在一个或多个氟峰。因此,在直接接合结构中,两种电介质材料之间的接合界面(例如,315)

可以包括在接合界面处具有较高氮含量和/或氟峰的非常光滑的界面。活化和/或终止处理的附加示例可以在美国专利第9,564,414号、第9,391,143号和第10,434,749号中找到,其中每个专利的全部内容通过引用全部并入本文并且用于所有目的。

[0047] 在各种实施例中,第一元件的导电接触垫也可以直接接合到第二元件的对应导电接触垫。例如,可以使用混合接合技术来提供沿着接合界面的导体到导体直接接合,该接合界面包括如上所述制备的共价直接接合的电介质到电介质表面。在各种实施例中,导体到导体(例如,接触垫到接触垫)直接接合和电介质到电介质混合接合可以使用至少在美国专利第9,716,033号和第9,852,988号中公开的直接接合技术来形成,其中每个专利的全部内容通过引用全部并入本文并且用于所有目的。

[0048] 例如,可以制备电介质接合表面,并且在没有介入粘合剂的情况下将其彼此直接接合,如上所述。导电接触垫(其可以被不导电电介质场区域包围)也可以在没有介入粘合剂的情况下彼此直接接合。在一些实施例中,相应接触垫可以在电介质场或不导电接合区域的外部(例如,上)表面下方凹陷,例如凹陷小于30nm、小于20nm、小于15nm或小于10nm,例如凹陷在2nm至20nm的范围内,或凹陷在4nm至10nm的范围内。在一些实施例中,不导电接合区域可以在室温下在没有粘合剂的情况下彼此直接接合,并且随后,接合结构可以被退火。在退火时,接触垫可能膨胀并且彼此接触以形成金属到金属直接接合。有益的是,使用混合接合技术(诸如直接接合互连或DBI®,其可以从加利福尼亚州圣何塞的Xperi商购获取)可以实现在直接接合界面上被连接的高密度垫(例如,常规阵列的小间距或细间距)。在一些实施例中,接合垫或嵌入接合元件中的一个的接合表面中的导电迹线的间距可以小于40微米或小于10微米或甚至小于2微米。对于一些应用,接合垫的间距与接合垫的尺寸中的一个的比率小于5,或小于3,有时希望小于2。在其他应用中,嵌入接合元件中的一个的接合表面中的导电迹线的宽度可以在0.3微米至3微米之间的范围内。在各种实施例中,接触垫和/或迹线可以包括铜,尽管其他金属可以是合适的。

[0049] 因此,在直接接合工艺中,第一元件可以在没有介入粘合剂的情况下直接接合到第二元件。在一些布置中,第一元件可以包括单体化元件,诸如单体化集成器件管芯或单体化保护或闭塞元件。在其他布置中,第一元件可以包括载体或衬底(例如,晶片),该载体或衬底包括多个(例如,数十个、数百个或更多个)器件区域,该器件区域在被单体化时形成多个集成器件管芯。类似地,第二元件可以包括单体化元件,诸如单体化集成器件管芯。在其他布置中,第二元件可以包括载体或衬底(例如,晶片)。

[0050] 如本文所述,第一元件和第二元件可以在没有粘合剂的情况下彼此直接接合,这与沉积工艺不同。在一个应用中,接合结构中第一元件的宽度可以类似于第二元件的宽度。在一些其他实施例中,接合结构中第一元件的宽度可以不同于第二元件的宽度。接合结构中较大元件的宽度或面积可以比较小元件的宽度和面积大至少10%。第一元件和第二元件可以相应地包括非沉积元件。此外,与沉积层不同,直接接合结构可以包括沿着接合界面的缺陷区域,其中存在纳米空隙。纳米空隙可以由于接合表面的活化(例如,暴露于等离子体)而形成。如上所述,接合界面可以包括来自活化和/或最后化学处理过程的材料浓度。例如,在利用氮等离子体进行活化的实施例中,可以在接合界面处形成氮峰。在利用氧等离子体进行活化的实施例中,可以在接合界面处形成氧峰。在一些实施例中,接合界面可以包括氮氧化硅、碳氮氧化硅或碳氮化硅。如本文所解释的,直接接合可以包括共价键,其比范德

华键更强。接合层还可以包括被平坦化到高度光滑的抛光表面。

[0051] 在各种实施例中,接触垫之间的金属到金属接合可以被连结,使得铜晶粒在接合界面上相互生长。在一些实施例中,铜可以具有沿着晶面定向的晶粒,以改善铜在接合界面上的扩散。接合界面可以基本上完全延伸到接合接触垫的至少一部分,使得在接合接触垫处或附近的不导电接合区域之间基本上没有间隙。在一些实施例中,可以在接触垫(例如,其可以包括铜)下方提供阻塞层。然而,在其他实施例中,在接触垫下方可以不存在阻塞层,例如,如US2019/0096741中所述,该专利通过引用整体并入本文并且用于所有目的。

[0052] 除非上下文另有明确要求,否则在整个说明书和权利要求书中,词语“包括(comprise)”、“包括(comprising)”、“包括(include)”、“包括(including)”等应当在包容性的意义上解释,而不是排他性或详尽的意义;也就是说,在“包括但不限于”的意义上解释。本文中通常使用的“耦合”一词指的是可以直接连接或通过一个或多个中间元件连接的两个或更多个元件。同样,本文中通常使用的“连接”一词指的是两个或更多个元件,它们可以直接连接,也可以通过一个或多个中间元件连接。此外,在本申请中使用的词语“本文中”、“上面”、“下面”和具有类似含义的词语应当是指本申请的整体,而不是本申请的任何特定部分。此外,如本文中使用的,当第一元件被描述为“在第二元件上”或“在第二元件之上”时,第一元件可以直接在第二元件上或之上,使得第一元件和第二元件直接接触,或者第一元件可以间接在第二元件上或之上,使得一个或多个元件介于第一元件与第二元件之间。在上下文允许的情况下,上述“具体实施方式”中使用单数或复数的词语也可以分别包括复数或单数。“或”一词指的是两个或更多个项目的列表,该列表涵盖了对该词的所有以下解释:列表中的任何项目、列表中的所有项目、以及列表中项目的任何组合。

[0053] 此外,除非另有特别说明,或者在使用的上下文中以其他方式理解,否则本文中使用的条件语言(诸如“能够”、“可能会”,“可能”、“可以”,“例如”、“如”等)通常旨在传达某些实施例包括而其他实施例不包括某些特征、元素和/或状态。因此,这样的条件语言通常并不表示特征、元素和/或状态以任何方式是一个或多个实施例所需要的。

[0054] 虽然已经描述了某些实施例,但这些实施例仅以示例的方式呈现,并不旨在限制本公开的范围。事实上,本文中描述的新颖装置、方法和系统可以以各种其他形式来体现;此外,在不脱离本公开的精神的情况下,可以对本文中描述的方法和系统的形式进行各种省略、替换和改变。例如,当块以给定布置呈现时,替代实施例可以利用不同组件和/或电路拓扑来执行类似功能,并且一些块可以被删除、移动、添加、细分、组合和/或修改。这些块中的每个可以以各种不同方式来实现。上述各种实施例的元件和动作的任何适当组合都可以被组合以提供另外的实施例。所附权利要求及其等同物旨在涵盖落入本公开的范围和精神内的这样的形式或修改。

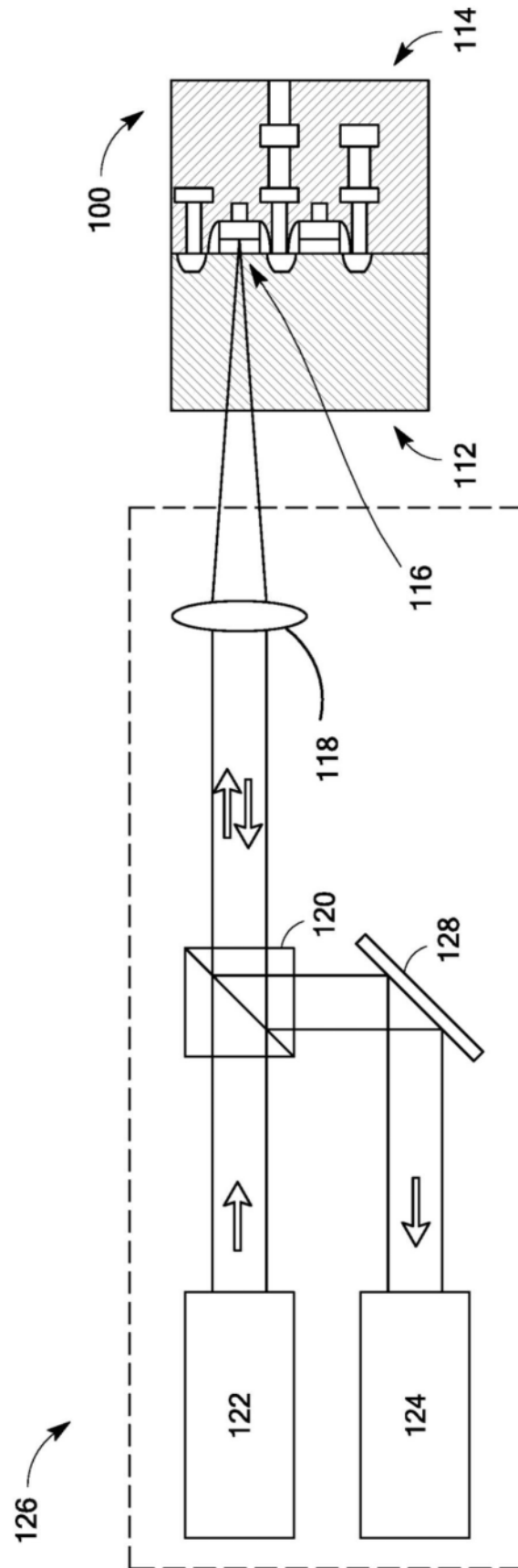


图1

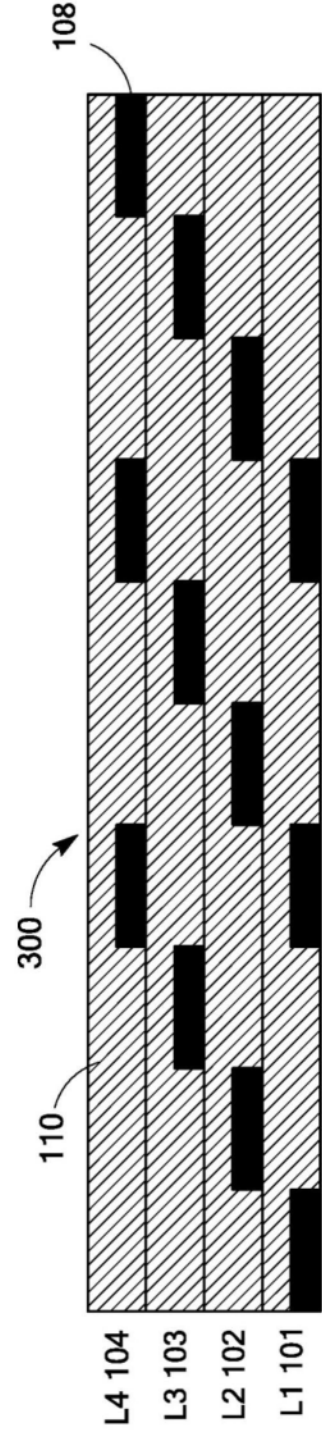


图2A

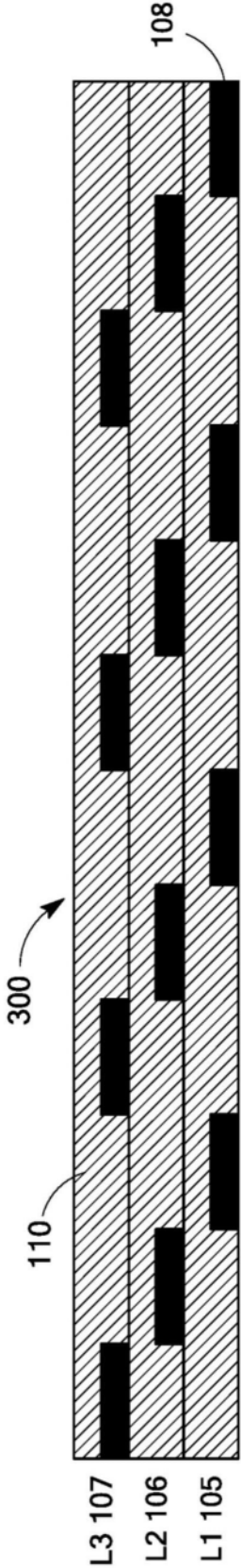


图2B

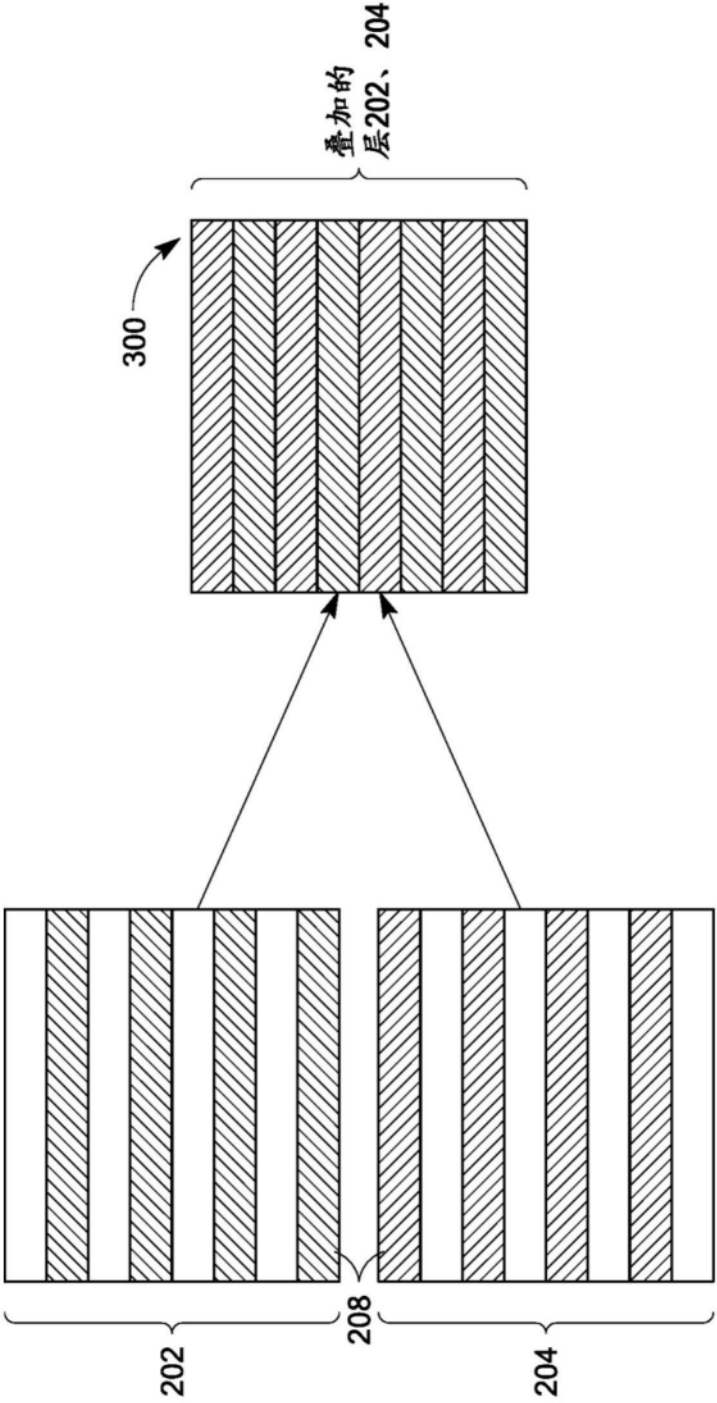


图3

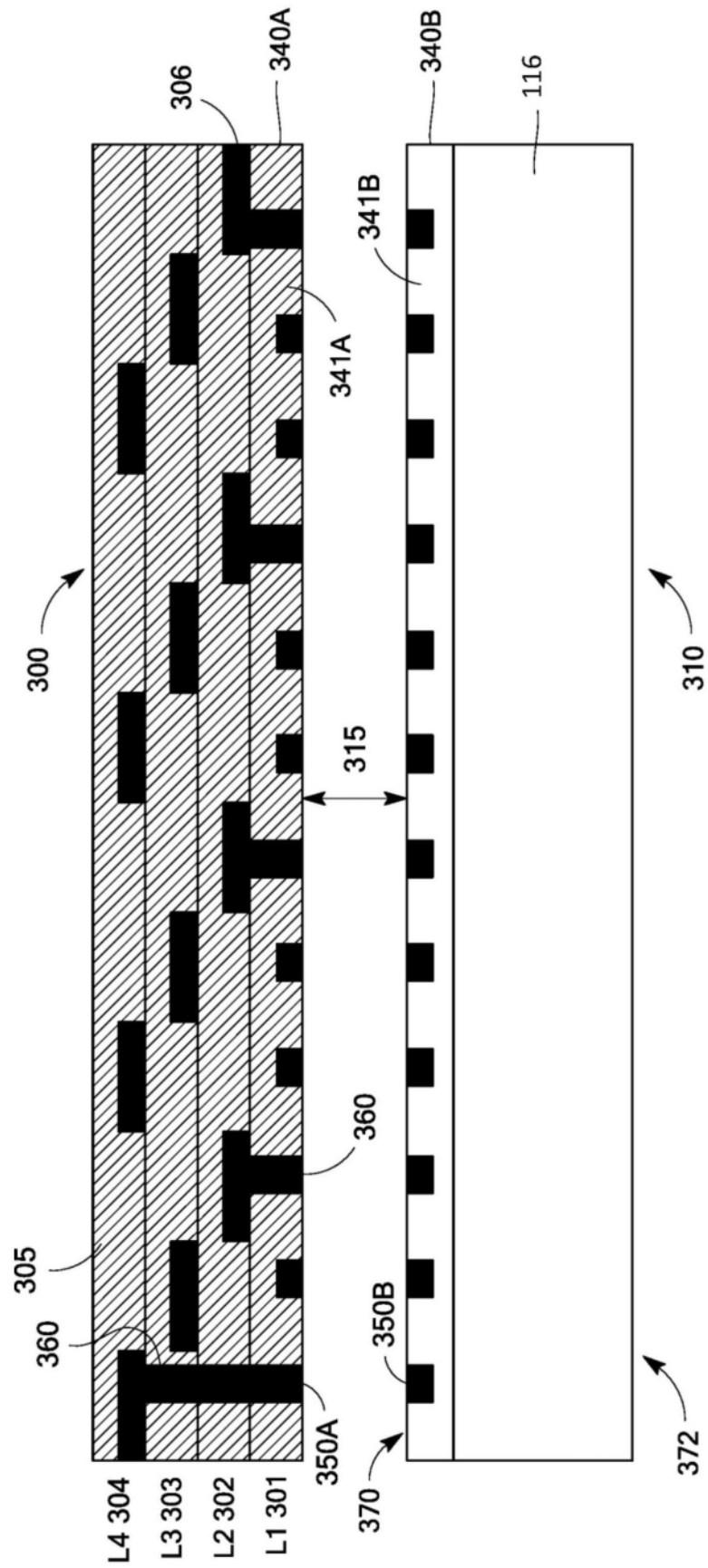


图4A

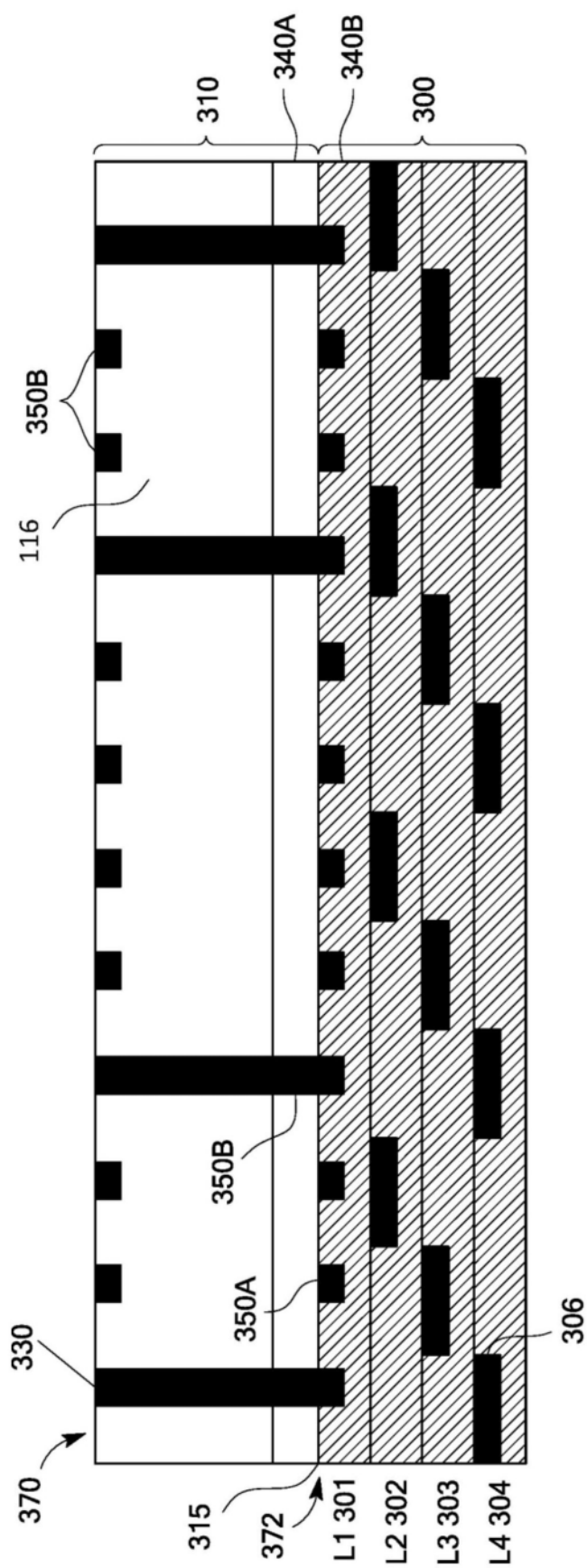


图4B

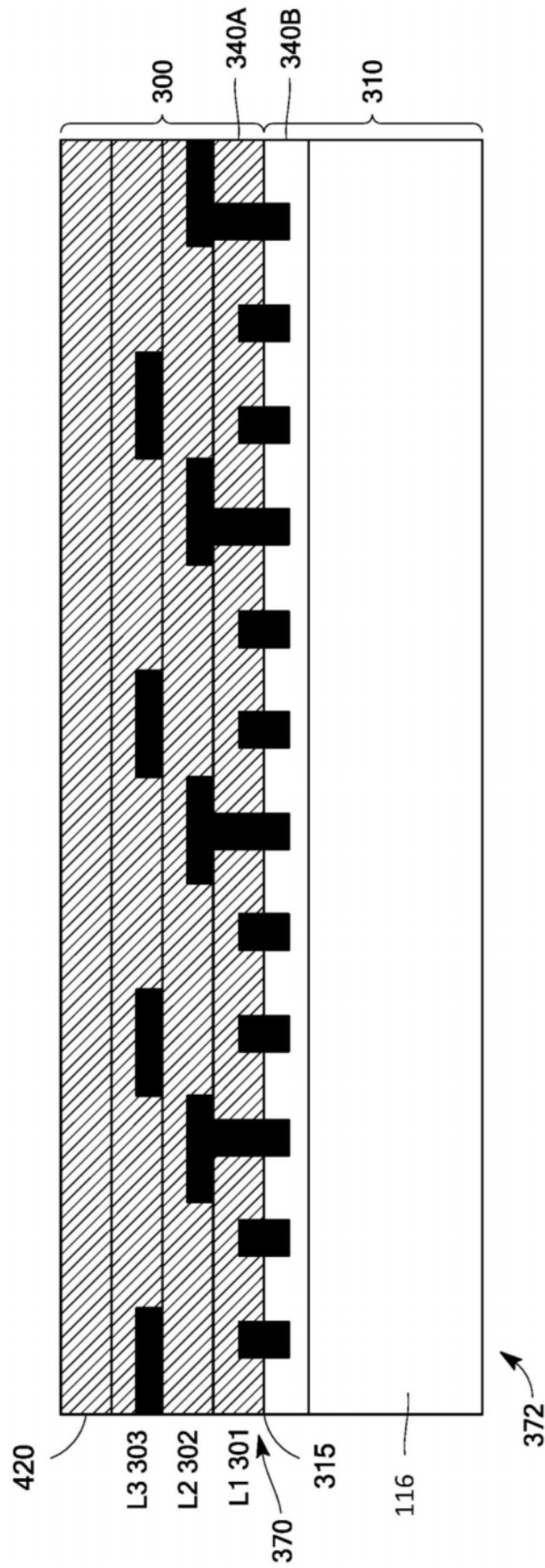


图5A

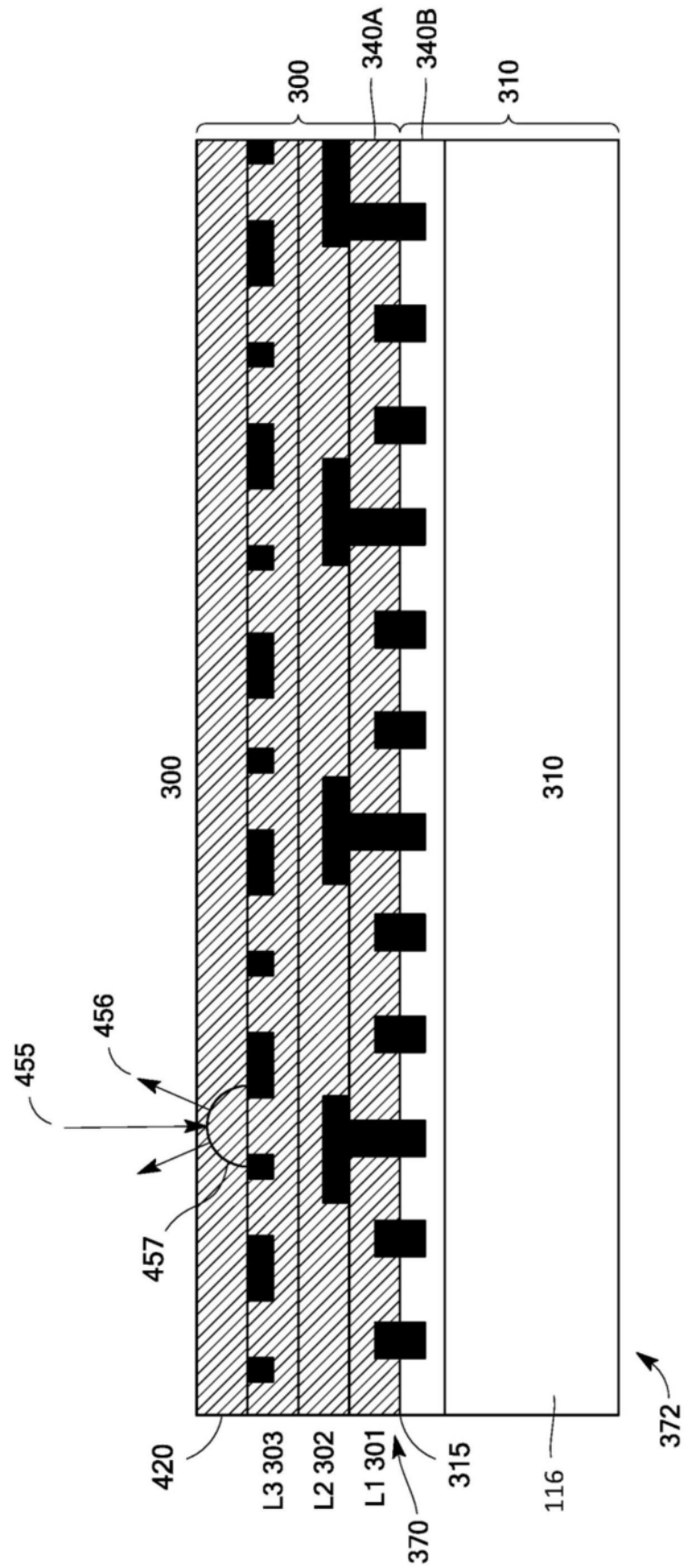


图5B