



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

62336

Patent dodatkowy
do patentu _____

Zgłoszono: 24.III.1969 (P 132 544)

Pierwszeństwo: _____

Opublikowano: 10.III.1971

Kl. 21a¹, 36/22

MKP H 03 k, 23/08

UKD

Współtwórcy wynalazku: Edmund Porządkowski, Andrzej Barwicz

Właściciel patentu: Politechnika Warszawska (Katedra Urządzeń Radio-
technicznych i Telewizyjnych), Warszawa (Polska)

Dekada szybkolicząca

1

Przedmiotem wynalazku jest dekada szybkolicząca z deszyfratorem. Częstotliwość graniczna dotychczas znanych dekad szybkoliczących złożonych zwykle z czterech przerzutników jest rzędu 1/7 częstotliwości granicznej użytych tranzystorów. To ograniczenie wynika ze skończonej szybkości przerzucania się pojedynczego przerzutnika zależnej od jego budowy, oraz z opóźnień pętli sprzężeń zwrotnych, których zastosowanie pozwala czterem przerzutnikom liczyć do dziesięciu w kodzie zależnym od rodzaju sprzężeń.

Celem wynalazku jest zbudowanie dekady szybkoliczącej, która by eliminowała wyżej opisane niedogodności i pozwalała przez zastosowanie szybszych od przerzutników elementów składowych oraz przez usunięcie sprzężeń zwrotnych o których mowa uzyskać lepsze wykorzystanie częstotliwościowe tranzystorów, co związane jest z podwyższeniem częstotliwości granicznej dekady.

Cel został osiągnięty przez opracowanie układu szybkoliczącego według wynalazku, który składa się z pierścieniowej piątki liczącej i połączonej z nią poprzez wzmacniacz z wtórnikiem dwójki dzielącej. Wyjście dwójki dzielącej stanowi wyjście dekady. Piątka licząca oraz dwójka dzieląca połączone są z deszyfratorem. Na wejściu dekady znajduje się połączony z bramką elektroniczną wejściowy układ formujący w postaci jednostabilnego przerzutnika Schmidta, w którym kolektor drugiego tranzystora połączony jest poprzez diodę Zenera

2

z wejściem pierścieniowej piątki liczącej, połączonym również poprzez opornik polaryzujący diodę Zenera z masą lub napięciem zasilającym ($-U_{EE}$).

We wzmacniaczu różnicowym baza pierwszego tranzystora połączona jest poprzez opornik sprzęgający z bazą tranzystora nieparzystego pierwszego stopnia, a baza drugiego tranzystora połączona jest poprzez opornik sprzęgający z bazą tranzystora nieparzystego piątego stopnia pierścieniowej piątki liczącej. Kolektor pierwszego tranzystora wzmacniacza dołączony jest bezpośrednio do zasilania. Kolektor drugiego tranzystora posiadający opór pracy stanowi wyjście wzmacniacza dołączone do bazy wtórnika emiterowego, którego emiter dołączony jest do wejścia dwójki dzielącej. Deszyfrator zawiera połączonych ze sobą 9 układów iloczynów logicznych, 7 układów sum logicznych oraz 8 wzmacniaczy wyjściowych.

Przedmiot wynalazku przedstawiony jest na rysunku, na którym fig. 1 przedstawia schemat blokowy dekady, fig. 2 przedstawia układ formujący z bramką, fig. 3 przedstawia odmianę układu formującego, a fig. 4 przedstawia wzmacniacz różnicowy z wtórnikiem oraz jego połączenie z pierścieniową piątką liczącą.

Przedstawiona na fig. 1 dekada licząca posiada na swym wejściu 1 połączony z bramką elektroniczną 2, wejściowy układ formujący 3, w postaci jednostabilnego przerzutnika Schmidta składa się z pierścieniowej piątki liczącej 4 oraz

połączonej z nią poprzez wzmacniacz różnicowy z wtórnikiem 5 dwójki dzielącej 6, której wyjście 7 stanowi wyjście dekad. Wyjście 8, 9, 10, 11 i 12 pierścieniowej piątki liczącej oraz wyjście 13 i 7 dwójki dzielącej dołączone są do deszyfratora 14 składającego się z połączonych ze sobą dziewięciu układów iloczynów logicznych 15, 16, 17, 18, 19, 20, 21, 22, 23, siedmiu układów sum logicznych 24, 25, 26, 27, 28, 29, 30 oraz ośmiu układów wzmacniaczy wyjściowych 31, 32, 33, 34, 35, 36, 37, 38 połączonych z żarówkami L1, L2, L3, L4, L5, L6, L7, L8 ośmio-segmentowego cyfrowego wskaźnika stanu dekady. Wyjścia 9 i 11 pierścieniowej piątki liczącej stanowią jednocześnie wejście dodatnich impulsów, a wyjście 8 stanowi wejście ujemnych impulsów kasujących doprowadzonych do pierścieniowej piątki liczącej w procesie kasowania dekady do stanu „O”. Fig. 2 przedstawia bramkę elektroniczną 2 oraz układ formujący 3. Bramka elektroniczna 2 posiada wejście 39 do którego doprowadzony jest przebieg bramkujący.

Układ formujący 3 jest jednostabilnym przerzutnikiem Schmidta w którym kolektor 40 połączony jest poprzez diodę Zenera 41 z wejściem 42 pierścieniowej piątki liczącej 4, do którego dołączony jest również opornik 43 polaryzujący diodę Zenera którego drugi koniec dołączony jest do masy lub napięcia zasilającego ($-U_{EE}$).

Bramkę elektroniczną 2 stanowi tranzystor dołączony kolektorem do kolektora, a emitery do emitery pierwszego tranzystora przerzutnika Schmidta a jego baza 39 stanowi wejście dla przebiegu bramkującego. W przypadku pracy w szerszym zakresie częstotliwości konieczne jest aby do dzielnika napięcia 41, 43 przedstawionego na fig. 3 dołączona była baza wtórnika emiterowego 44 którego emiter jest dołączony do wejścia 42 pierścieniowej piątki liczącej 4 oraz przez opornik emitery 45 tego wtórnika do masy.

W przedstawionym na fig. 4 wzmacniaczu równocowym 5 baza 46 pierwszego tranzystora dołączona jest poprzez opornik 47 do wyjścia 8, a baza 48 drugiego tranzystora dołączona jest przez opornik 49 do wyjścia 12 pierścieniowej piątki liczącej. Kolektor pierwszego tranzystora dołączony jest bezpośrednio do zasilania $+U_{cc}$, a kolektor 50 tranzystora posiadającego opór pracy 51 stanowi wyjście wzmacniacza do którego dołączona jest baza wtórnika emiterowego 52 którego emiter 53 dołączony jest do wejścia dwójki dzielącej 6.

Cykl pracy dekady liczącej zrealizowanej według wynalazku jest następujący. W okresie otwarcia bramki elektronicznej 2 to znaczy w okresie zatkania tranzystora bramkującego przebieg podawany na wejście 1 jest formowany w układzie 3 i doprowadzony do wejścia pierścieniowej piątki liczącej 4, która częstotliwość przebiegu dzieli przez pięć w znany sposób. Przebieg wyjściowy z pierścieniowej piątki liczącej wzmocniony i formowany we wzmacniaczu różnicowym z wtórnikiem 5 jest doprowadzony do wejścia dwójki dzielącej 6. Przebieg wyjściowy posiada częstotliwość dziesięć razy mniejszą od częstotliwości przebiegu wejściowego.

Po zamknięciu bramki to znaczy po wprowadzeniu w stan przewodzenia tranzystora bramkującego

— układ formujący przestaje pracować w związku z czym do wejścia piątki liczącej przestaje być doprowadzony przebieg zmienny i zarówno piątka jak i dwójka licząca przestają liczyć. Informacje o stanie dekady w postaci potencjałów na wyjściach 8, 9, 10, 11, 12 piątki oraz 13 i 7 dwójki doprowadzone są do deszyfratora 14 którego wyjścia sterują zapaleniem żarówek L1, L2, L3, L4, L5, L6, L7, L8, cyfrowego wskaźnika stanu dekady. Przed rozpoczęciem następnego okresu pracy dekady, to jest okresu otwarcia bramki dekada kasowana jest do stanu „O” przy pomocy doprowadzonych z zewnątrz dekady impulsów kasujących — z tym, że do pierścieniowej piątki liczącej doprowadzone są impulsy dodatnie do punktu 9, 11, impulsy ujemne do punktu 8, a dwójka licząca kasowana jest w znany sposób.

Zastrzeżenia patentowe

1. Dekada szybkolicząca, posiadająca na swym wejściu bramkę logiczną a składająca się z pierścieniowej piątki liczącej i połączonej z nią poprzez wzmacniacz różnicowy z wtórnikiem dwójki dzielącej, której wejście stanowi wyjście dekady, przy czym piątka i dwójka liczące połączone są z deszyfratorem **znamienna tym**, że dekada posiada połączony z bramką logiczną (2) wejściowy układ formujący (3) w postaci jednostabilnego przerzutnika Schmidta, w którym kolektor (40) drugiego tranzystora połączony jest przez diodę Zenera (41) z wejściem (42) pierścieniowej piątki liczącej (4) do którego jednym końcem dołączony jest również opornik polaryzujący diodę Zenera (43) którego drugi koniec dołączony jest do masy lub napięcia zasilającego ($-U_{EE}$), zaś we wzmacniaczu różnicowym (5) baza (46) pierwszego tranzystora jest połączona poprzez sprzęgający opornik (47) z bazą (8) tranzystora pierwszego stopnia pierścieniowej piątki liczącej, a baza (48) drugiego tranzystora wzmacniacza różnicowego połączona jest poprzez opornik sprzęgający (49) z bazą (12) tranzystora piątego stopnia piątki, natomiast kolektor pierwszego tranzystora wzmacniacza różnicowego dołączony jest bezpośrednio do zasilania (U_{cc}) a kolektor (50) drugiego tranzystora wzmacniacza różnicowego posiadający opór (51) stanowi wyjście wzmacniacza różnicowego dołączone do bazy wtórnika emiterowego (52) którego emiter (53) dołączony jest do wejścia dwójki dzielącej (6) przy czym jej poszczególne bloki są budowane zarówno z tranzystorów p-n-p jak i n-p-n z zachowaniem odpowiedniej biegunowości źródeł zasilania.

2. Dekada według zastrz. 1 **znamienna tym**, że bramkę logiczną (2) stanowi tranzystor dołączony kolektorem do kolektora, a emitery do emitery pierwszego tranzystora układu formującego (3) podczas gdy jego baza stanowi wejście (39) przebiegu bramkującego, przy czym przewodzenie tranzystora bramkującego (2) powodujące zwarcie pierwszego tranzystora układu formującego (3) odpowiada stanowi zamknięcia bramki, a nieprzewodzenie tranzystora bramkującego (2) odpowiada stanowi otwarcia bramki.

3. Dekada według zastrz. 1 i 2 **znamienna tym**, że wejściami dla dodatniego impulsu kasującego są bazy (9) i (12) pierwszych tranzystorów drugiego i czwartego stopnia pierścieniowej piątki liczącej (4), a wejściem dla ujemnego impulsu kasującego jest baza (8) pierwszego tranzystora pierwszego stopnia piątki.

4. Dekada według zastrz. 1—3 **znamienna tym**, że do dzielnika napięcia (41) i (43) układu formującego (3) dołączona jest baza wtórnikowa emiterowego (44), którego emiter połączony jest bezpośrednio z wej-

ciem (42) pierścieniowej piątki liczącej, oraz przez opornik emitera tego wtórnik (45), do masy lub napięcia zasilającego ($-U_{EE}$).

5. Dekada według zastrz. 1—4 **znamienna tym**, że deszyfrator (14) zawiera połączonych ze sobą dziewięć układów iloczynów logicznych (15 do 23), siedem układów sum logicznych (24—30) oraz siedem wzmacniaczy wyjściowych (31 do 38) sterujących zapaleniem żarówek (L_1 do L_8) ośmiosegmentowego cyfrowego wskaźnika stanu dekady.

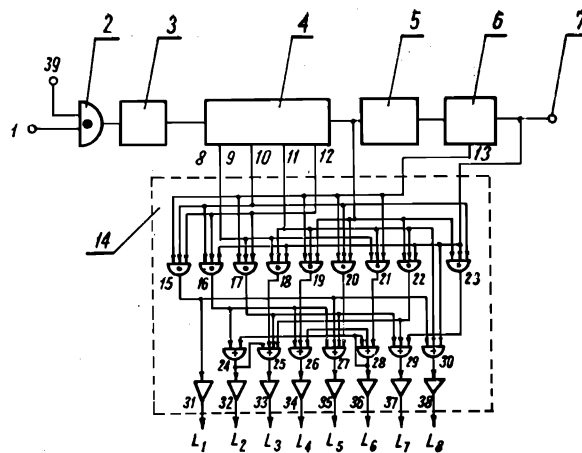


Fig. 1

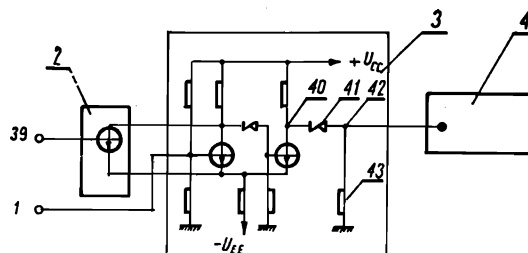
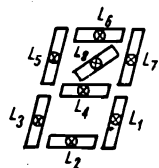


Fig. 2

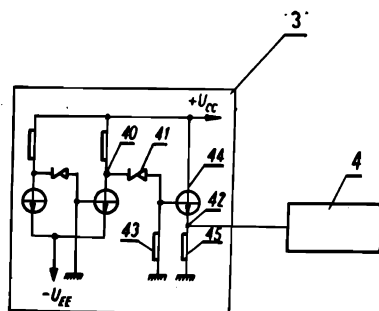


Fig. 3

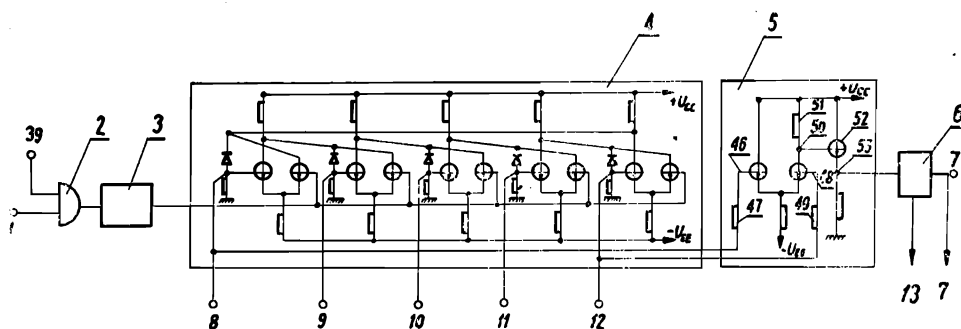


Fig. 4