

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-261692

(P2008-261692A)

(43) 公開日 平成20年10月30日(2008.10.30)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 N 21/956 (2006.01)	GO 1 N 21/956 A	2 G 0 5 1
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 A	4 M 1 0 6
GO 1 N 21/84 (2006.01)	HO 1 L 21/66 J	
	GO 1 N 21/84 D	

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2007-103864 (P2007-103864)
 (22) 出願日 平成19年4月11日 (2007.4.11)

(71) 出願人 00000295
 沖電気工業株式会社
 東京都港区西新橋三丁目16番11号
 (71) 出願人 390008855
 官崎沖電気株式会社
 官崎県官崎郡清武町大字木原727番地
 (74) 代理人 100086807
 弁理士 楠本 恭成
 (72) 発明者 井上 博仁
 官崎県官崎郡清武町大字木原727番地
 官崎沖電気株式会社内
 Fターム(参考) 2G051 AA51 AB01 AB07 AC02 CA04
 CA11 CB01 DA13 DA15 EA30
 EC01

最終頁に続く

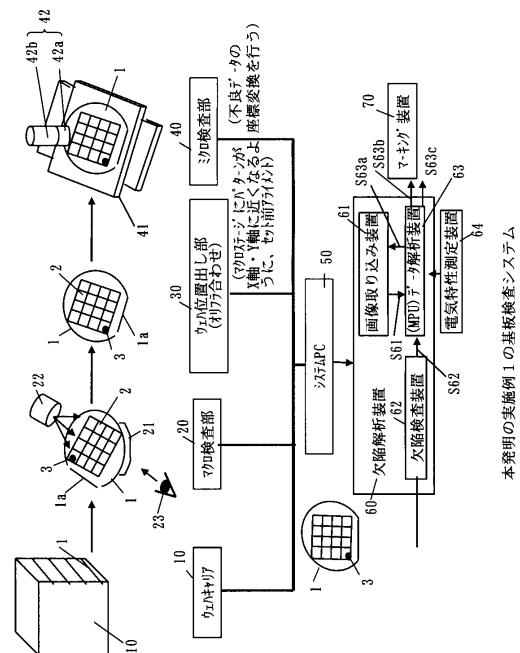
(54) 【発明の名称】 基板検査システム及び基板検査方法

(57) 【要約】

【課題】オペレータの負荷を軽減しつつ、不良ダイのマーキング判断を精度良く行う。

【解決手段】基板検査システムでは、ダイ2が複数配置されたウェハ1の表面を目視により概略的に検査して表面不良箇所を検査するマクロ検査部20と、前記マクロ検査部20の表面検査結果に基づき、前記ウェハ1の表面を第1の撮像装置42により詳細に検査して表面不良箇所を検査するミクロ検査部40と、前記マクロ検査部20の表面検査結果と前記ミクロ検査部40の表面検査結果とを所定のダイレイアウト上に記憶するシステムPC50内の記憶装置と、前記記憶装置の記憶結果と、前記ウェハ1に対する他の欠陥検査装置62による欠陥検査結果と、前記ウェハ1に対する電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び/又はインクレスデータを出力するデータ解析装置63とを有している。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電子機器が形成されたダイが複数配置された被検査基板の表面を目視により検査して表面不良箇所を検査するマクロ検査部と、

前記マクロ検査部の表面検査結果に基づき、前記被検査基板の表面を第 1 の撮像装置により検査して表面不良箇所を検査するミクロ検査部と、

前記マクロ検査部の表面検査結果と前記ミクロ検査部の表面検査結果とを所定のダイレイアウト上に記憶する記憶装置と、

前記記憶装置の記憶結果と、前記被検査基板に対する他の欠陥検査装置による欠陥検査結果と、前記被検査基板に対する電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び / 又はインクレスデータを出力するデータ解析装置と、

10

を有することを特徴とする基板検査システム。

【請求項 2】

請求項 1 記載の基板検査システムは、更に、

前記マクロ検査部は、前記被検査基板の裏面を目視により検査して裏面不良箇所を検査する機能を有し、

前記ミクロ検査部は、前記第 1 の撮像装置と同一の光軸上に配置された第 2 の撮像装置を有し、前記マクロ検査部の裏面検査結果に基づき、前記被検査基板の裏面を前記第 2 の撮像装置により検査して裏面不良箇所を検査する機能を有し、

20

前記記憶装置は、前記マクロ検査部の表裏検査結果と前記ミクロ検査部の表裏検査結果とを前記所定のダイレイアウト上に記憶する機能を有し、

前記データ解析装置は、前記記憶装置の記憶結果と、前記被検査基板に対する前記他の欠陥検査装置による欠陥検査結果と、前記被検査基板に対する前記電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び / 又はインクレスデータを出力する機能を有することを特徴とする基板検査システム。

【請求項 3】

請求項 1 又は 2 記載の基板検査システムは、更に、

前記マーキングデータに基づき、前記被検査基板における前記不良箇所のダイにマーキングを行うマーキング装置を有することを特徴とする基板検査システム。

30

【請求項 4】

前記被検査基板は、半導体ウェハであることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の基板検査システム。

【請求項 5】

電子機器が形成されたダイが複数配置された被検査基板の表面を目視により検査して表面不良箇所を検査するマクロ検査処理と、

前記マクロ検査処理後の前記被検査基板に対する位置合わせを行い、前記マクロ検査処理の表面検査結果に基づき、前記被検査基板の表面を第 1 の撮像装置により検査して表面不良箇所を検査するミクロ検査処理と、

前記マクロ検査処理の表面検査結果と前記ミクロ検査処理の表面検査結果とを所定のダイレイアウト上に記憶する記憶処理と、

40

前記記憶処理の記憶結果と、前記被検査基板に対する他の欠陥検査結果と、前記被検査基板に対する電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び / 又はインクレスデータを出力するデータ解析処理と、

を有することを特徴とする基板検査方法。

【請求項 6】

請求項 5 記載の基板検査方法は、更に、

前記マクロ検査処理は、前記被検査基板の裏面に対して裏面不良箇所を検査する処理を行い、

前記ミクロ検査処理は、前記第 1 の撮像装置と同一の光軸上に配置された第 2 の撮像装

50

置を使用し、前記マクロ検査処理の裏面検査結果に基づき、前記被検査基板の裏面に対して裏面不良箇所を検査する処理を行い、

前記記憶処理は、前記マクロ検査処理の表裏検査結果と前記ミクロ検査処理の表裏検査結果とを前記所定のダイレイアウト上に記憶し、

前記データ解析処理は、前記記憶処理の記憶結果と、前記被検査基板に対する前記他の欠陥検査結果と、前記被検査基板に対する前記電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び/又はインクレスデータを出力することを特徴とする基板検査方法。

【請求項 7】

請求項 5 又は 6 記載の基板検査方法は、更に、

前記マーキングデータに基づき、前記被検査基板における前記不良箇所のダイにマーキングを行うことを特徴とする基板検査方法。

【請求項 8】

前記被検査基板は、半導体ウェハであることを特徴とする請求項 5 ~ 7 のいずれか 1 項に記載の基板検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置等の電子機器が形成された複数のダイが配置された被検査基板（例えば、半導体ウェハ、これを以下単に「ウェハ」という。）において、表面あるいは裏面の外観検査と、電気特性検査とを行うための基板検査システム及び基板検査方法に関するものである。

【背景技術】

【0002】

例えば、絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor、以下「IGBT」という。）、ダイオード等の半導体装置の製造方法では、ウェハの表面側において多数のダイ毎に回路パターンが形成される。形成後、ウェハの表面の外観検査を行い、不良箇所があるダイには、不良マークをインク等で付すためのマーキングを行う。更に、電気特性検査を行い、不良箇所があるダイには、同じく、マーキングを行う。その後、ウェハにおいて半導体装置がそれぞれ形成された多数のダイを切断してチップとして分離し、不良品のチップを廃棄し、良品のチップのみを使用（例えば、半導体メーカーの場合は、出荷）する。

【0003】

従来、外観検査に関する技術としては、例えば、次のような文献に記載されるものがあった。

【0004】

【特許文献 1】特開 2003 - 14654 号公報

【特許文献 2】特開 2006 - 128504 号公報

【特許文献 3】特開 2006 - 310551 号公報

【特許文献 4】特開平 10 - 170605 号公報

【0005】

特許文献 1 は、基板の表裏面を検査（モニタ）し、そのモニタ結果に基づいて不良チップにマーキングを行う技術が記載されている（段落 0006、0020 等参照）。特許文献 2、3 には、モニタした表裏の画像を重ね合わせてモニタ画面に表示することが記載されている（特許文献 2 の場合は段落 0023、0044 等参照、特許文献 3 の場合は段落 0049、0056 等を参照）。又、特許文献 4 は、基板の外観検査と電氣的試験を行い、外観検査の結果と電氣的試験の結果とを重ね合わせて不良箇所を解析することが記載されている（段落 0087 ~ 0092 等を参照）。

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 6 】

しかしながら、従来の基板検査システムあるいは基板検査方法では、欠陥検査プログラムを実行するためのマイクロプロセッサ（以下「MPU」という。）等を用いて自動的に基板の外観検査を行ったり、その後、テストプログラムを用いてプロービングにより電気特性検査を行っているが、これらの検査は、煩雑な作業や処理が必要になるばかりか、時には不良箇所を発見できないことがある。そこで、従来、自動的に基板の外観検査を行う前に、オペレータが目視により外観検査を行い、不良箇所を発見した場合には、ウェハ内の不良ダイ位置を手書きにて書き写し、マーキング情報として次工程にフィードバックし、不良としてのマーキングを実施している。

【 0 0 0 7 】

この場合、ダイサイズが小さくなると、不良対象チップの位置の確定ミスが生じ易くなると共に、オペレータの負荷が増大するという不具合が生じている。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の基板検査システムでは、電子機器が形成されたダイが複数配置された被検査基板の表面を目視により検査して表面不良箇所を検査するマクロ検査部と、前記マクロ検査部の表面検査結果に基づき、前記被検査基板の表面を第1の撮像装置により検査して表面不良箇所を検査するミクロ検査部と、前記マクロ検査部の表面検査結果と前記ミクロ検査部の表面検査結果とを所定のダイレイアウト上に記憶する記憶装置と、前記記憶装置の記憶結果と、前記被検査基板に対する他の欠陥検査装置による欠陥検査結果と、前記被検査基板に対する電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び/又はインクレスデータを出力するデータ解析装置とを有することを特徴とする。

【 0 0 0 9 】

本発明の基板検査方法では、電子機器が形成されたダイが複数配置された被検査基板の表面を目視により検査して表面不良箇所を検査するマクロ検査処理と、前記マクロ検査処理後の前記被検査基板に対する位置合わせを行い、前記マクロ検査処理の表面検査結果に基づき、前記被検査基板の表面を第1の撮像装置により検査して表面不良箇所を検査するミクロ検査処理と、前記マクロ検査処理の表面検査結果と前記ミクロ検査処理の表面検査結果とを所定のダイレイアウト上に記憶する記憶処理と、前記記憶処理の記憶結果と、前記被検査基板に対する他の欠陥検査結果と、前記被検査基板に対する電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び/又はインクレスデータを出力するデータ解析処理とを有することを特徴とする。

【発明の効果】

【 0 0 1 0 】

本発明の基板検査システム及び基板検査方法によれば、目視によるマクロ検査結果と、このマクロ検査結果に基づき、目視によるミクロ検査結果と、他の欠陥検査結果とを、同時にシステム上のデータベースとして管理できる上に、マクロ検査時に不良箇所の画像データも同時に取得できるため、オペレータの負荷を抑制しつつ、不良ダイのマーキング判断を精度良く行うことができる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

基板検査システムでは、電子機器が形成されたダイが複数配置された被検査基板（例えば、ウェハ）の表面を目視により概略的に検査して表面不良箇所を検査するマクロ検査部と、前記マクロ検査部の表面検査結果に基づき、前記被検査基板の表面を第1の撮像装置により詳細に検査して表面不良箇所を検査するミクロ検査部と、前記マクロ検査部の表面検査結果と前記ミクロ検査部の表面検査結果とを所定のダイレイアウト上に記憶する制御部内の記憶装置と、前記記憶装置の記憶結果と、前記被検査基板に対する他の欠陥検査装置による欠陥検査結果と、前記被検査基板に対する電気特性の不良箇所の測定結果とを解析して重ね合わせて前記不良箇所に対するマーキングデータ及び/又はインクレスデータ

10

20

30

40

50

を出力するデータ解析装置とを有している。

【実施例 1】

【0012】

(実施例 1 の基板検査システム)

図 1 は、本発明の実施例 1 を示す基板検査システムの概略の構成図である。及び、図 2 は、図 1 中の制御部 (例えば、システム・パーソナルコンピュータ (以下「システム P C」という。)) を示す概略の構成図である。

【0013】

図 1 に示す基板検査システムは、複数の被検査基板 (例えば、ウェハ) 1 を収納するウェハキャリア 10 を有している。ウェハ 1 は、薄い円板の外周の一部がカットされた整列用のオリエンテーションフラット部 (以下「オリフラ部」という。) 1 a を有し、回路パターンが形成されたほぼ方形のダイ 2 が平面上において横方向の X 軸方向及び縦方向の Y 軸方向に多数配置されている。更に、この基板検査システムは、ウェハキャリア 10 から取り出された (ロードされた) ウェハ 1 を目視検査するためのマクロ検査部 20 と、ウェハ 1 のオリフラ 1 a を一定方向にアライメント (整列) するためのオリフラ合わせ用のウェハ位置出し部 30 と、オリフラ合わせされたウェハ 1 に対して目視検査するためのマイクロステージ 41 及び第 1 の撮像装置 42 等により構成されるマイクロ検査部 40 とを有し、これらのウェハキャリア 10、マクロ検査部 20、ウェハ位置出し部 30、及びマイクロ検査部 40 が、システム P C 50 により制御される構成になっている。

【0014】

マクロ検査部 20 は、回転可能なマクロステージ 21 上に載置されたウェハ 1 に対して、落射照明器 22 により上斜め方向から照射し、そのウェハ反射面をオペレータの目 23 で目視して、外観の大まかな不良箇所 (例えば、回路パターンの欠損、傷、メタル成膜時のパターン欠陥、付着した異物等の欠陥) 3 を検査するものであり、このマクロ検査結果がシステム P C 50 に格納される。ウェハ位置出し部 30 は、ウェハ 1 をロードしてマイクロステージ 41 にセットする前に、そのマイクロステージ 41 のパターンが X 軸方向及び Y 軸方向に近くなるようにアライメントするものである。

【0015】

マイクロ検査部 40 は、X 軸方向及び Y 軸方向に移動可能なマクロステージ 41 上にセットされたウェハ 1 に対して、マクロ検査結果に基づき、対物レンズ 42 a 及び電荷結合素子型カメラ (以下「C C D カメラ」という。) 42 b 等により構成された第 1 の撮像装置 42 により、ウェハ 1 上の詳細な外観検査をし、不良箇所 3 の画像を取得すると共に、不良箇所 3 の位置を検出して不良ダイデータの座標変換を行い、その不良ダイの画像データ及び変換された不良ダイデータの座標値をシステム P C 50 に格納するものである。

【0016】

システム P C 50 は、例えば、図 2 に示すように、ウェハキャリア 10、マクロ検査部 20、ウェハ位置出し部 30、及びマイクロ検査部 40 に対して入出力インタフェースを介して接続される内部バス 51 を有している。内部バス 51 には、例えば、制御部、演算部、アドレス管理部等により構成される制御部 (例えば、中央処理装置、以下「C P U」という。) 52 と、ワーキングデータ等を格納する随時読み書き可能なメモリ (以下「R A M」という。) 53 と、欠陥解析プログラム等を格納する読み出し専用メモリ (以下「R O M」という。) 54 と、ウェハマップのダイレイアウトデータ等を格納するハードディスク等の補助記憶装置 55 と、キーボード等の入力部 56 と、目視検査部 20 及びマイクロ検査部 40 の不良ダイデータ等を表示するための表示装置や出力ポート等の出力部 57 と、ネットワークインタフェース 58 等とが、相互に接続されている。

【0017】

ネットワークインタフェース 58 には、例えば、ウェハ 1 を自動的に外観検査したり、自動的に電気特性測定等を行うための特許文献 2 等に記載された欠陥解析装置 60 が接続されている。図 1 に示す欠陥解析装置 60 は、複数の半導体製造工程におけるウェハの欠陥の検査及び解析を行うための装置であり、例えば、画像取り込み装置 61、欠陥検査装

10

20

30

40

50

置 6 2、及びデータ解析装置 6 3 等により構成され、そのデータ解析装置 6 3 に電気特性測定装置 6 4 が接続され、更に、そのデータ解析装置 6 3 の出力端子から、マーキングデータ S 6 3 b をマーキング装置 7 0 へ出力したり、あるいは、インクレスデータ S 6 3 c を出力する機能等を有している。

【 0 0 1 8 】

画像取り込み装置 6 1 は、例えば、データ解析装置 6 3 から与えられる欠陥分布情報 S 6 3 a の受信に応答して、電子顕微鏡等によりウェハ表面の観察画像を取り込み、デジタル信号の基板観察情報 S 6 1 等をデータ解析装置 6 0 へ与える機能を有している。欠陥検査装置 6 2 は、ウェハ 1 の欠陥を検査して X 軸及び Y 軸からなる 2 次元座標系の欠陥座標、欠陥分布及び欠陥サイズを含む欠陥分布情報 S 6 2 を得てデータ解析装置 6 3 へ与える装置であり、例えば、光学画像比較検査装置、レーザ散乱式検査装置、あるいは電子顕微鏡画像検査装置等により構成されている。

10

【 0 0 1 9 】

データ解析装置 6 3 は、例えば、画像取り込み装置 6 1 から与えられる基板観察情報 S 6 1 と、欠陥検査装置 6 2 から与えられる欠陥分布情報 S 6 2 と、テスト及びプローブカードを有する電気特性測定装置 6 4 により測定されたウェハ 1 の電気特性測定結果とを合成して欠陥情報を生成し、この欠陥情報に基づいてウェハ 1 中のダイ 2 の不良を判定し、不良と判定されたダイ 2 をインクでマーキングするためのマーキングデータ S 6 3 b をマーキング装置 7 0 へ出力したり、あるいは、インクレスデータ S 6 3 c を出力する機能等を有し、MPU 等により構成されている。

20

【 0 0 2 0 】

(実施例 1 の基板検査方法)

図 3 は、図 1 の基板検査システムを用いた基板検査方法を示す処理工程図である。図 4 (a) ~ (c) は、図 1 のウェハ位置出し部 3 0 の処理を示す図である。図 5 (a) ~ (c) は、図 1 のシステム PC 5 0 におけるダイレイアウト作成方法を示す図である。更に、図 6 (a) ~ (d) は、図 5 の処理工程の説明図である。

【 0 0 2 1 】

以下、主として図 3 の処理工程図を参照しつつ、本実施例 1 の基板検査方法を説明する。

先ず、ウェハキャリア 1 0 から取り出したウェハ 1 に対して、ウェハ位置出し部 3 0 によりオリフラ部 1 a の位置出しを行い、マイクロステージ 4 1 にウェハ 1 をロードする。更に、マイクロステージ 4 1 に対するウェハ 1 の回転角度成分 を補正する (図 3 のステップ P 1) 。

30

【 0 0 2 2 】

即ち、ウェハ位置出し部 3 0 の処理では、図 4 (a) ~ (c) に示すように、X ステージ座標及び Y ステージ座標からなるマイクロステージ 4 1 上のウェハ 1 のダイレイアウト位置と、システム PC 5 0 の補助記憶装置 5 5 上に描く (格納する) ウェハ 1 上のダイレイアウトを一致させるために、ウェハ 1 内の同一線上のダイ原点 2 a にて第 1 アライメント位置 A 1 及び第 2 アライメント位置 A 2 のアライメントを行い、マイクロステージ 4 1 に対するオリフラ部 1 a のウェハ回転成分 を補正する。

40

【 0 0 2 3 】

補正後、ウェハ 1 に対するダイレイアウトをダイサイズ、ウェハ中心 1 b からダイ原点 2 a までのオフセットを用いて、実際のマイクロステージ 4 1 上のウェハ 1 のダイレイアウトを基に、ウェハ 1 に対するダイレイアウトを作成する (ステップ P 2) 。

【 0 0 2 4 】

即ち、ダイレイアウト作成では、例えば、図 5 (a) に示すように、ウェハ中心 1 b を原点 (0 , 0) とした場合、この原点 (0 , 0) から基準とするダイ 2 のコーナ (ダイ原点 2 a) までの距離 x , y をシステム PC 5 0 に入力するか、あるいは、X、Y ステージ座標より算出してシステム PC 5 0 に入力する。次に、図 5 (b) に示すように、ダイ 2 の X 軸、及び Y 軸上のサイズをシステム PC 5 0 に入力し、ダイ原点 2 a を基準にダイレ

50

イアウト格子を描く（補助記憶装置 55 に格納する）。図 5（a）及び（b）によりウェハ 1 に対するダイ 2 のレイアウトの位置が特定され、格子を描いているため、その後、図 5（c）に示すように、ウェハ外径に対する有効外のチップ（斜線箇所のチップ）を消し込み、実ウェハ上にパターン転写されているダイレイアウトと一致させる。

【0025】

以上により、マクロステージ 21 上のウェハ 1 内の座標と、システム PC 50 の補助記憶装置 55 上のウェハマップ内のダイレイアウト上の位置とが一致するようにし、レシピとしてシステム PC 50 の補助記憶装置 55 に登録する（ステップ P 3）。

【0026】

次に、製品（ウェハ 1）の検査を以下のようにして行う（ステップ P 10）。

先ず、対象となるシステム PC 50 の補助記憶装置 55 に登録されているレシピを読み出す（ステップ P 11）。

【0027】

ウェハ 1 の表面をマクロ検査部 20 で目視検査した後、ウェハ 10 をウェハ位置出し部 30 によりマイクロステージ 41 へロードし、マイクロ検査部 40 の対物レンズ 42 a 及び CCD カメラ 42 b によりウェハ 1 の表面を検査し、マクロ検査部 20 及びマイクロ検査部 40 により不良箇所 3 が発見されたダイ 2 の位置をシステム PC 50 における補助記憶装置 55 内のダイレイアウト上に登録して行く（ステップ P 12）。この時、マクロ検査部 20 及びマイクロ検査部 40 により観察した不良箇所 3 の位置座標の他に、対物レンズ 42 a 及び CCD カメラ 42 b により観察した不良箇所 3 の画像データも、同時に補助記憶装置 55 内に登録して行く（ステップ P 13）。

【0028】

補助記憶装置 55 に登録された不良ダイデータを欠陥解析装置 60 へ転送する（図 6（a）の工程 1）。欠陥解析装置 60 において、画像取り込み装置 61 及び欠陥検査装置 62 により自動的に外観検査を行うと共に、プロービングによる電気特性測定装置 64 を用いて自動的に電気特性検査を行う。そして、データ解析装置 63 により、登録された不良ダイデータ（図 6（a）の工程 1）と、自動外観検査結果により異常と判断されたダイ位置（図 6（b）の工程 2）と、自動電気特性検査結果により異常と判断されたダイ位置（図 6（c）の電気特性工程）とを重ね合わせて、データ解析装置 63 からマーキングデータ S 63 b 又はインクセルデータ S 63 c を出力する。データ解析装置 63 からマーキングデータ S 63 b が出力されると、マーキング装置 70 により、インクを用いて不良箇所のダイ 3 へマーキングが行われる。ダイ 3 の微細化により、インクを用いたマーキングができない場合には、データ解析装置 63 からインクレスデータ S 63 c が出力される（ステップ P 14）。

【0029】

その後、ウェハ 1 において半導体装置がそれぞれ形成された多数のダイ 2 を切断してチップとして分離し、例えば、半導体製造メーカーの場合は、不良品のチップを廃棄し、良品のチップのみを市場へ流出する。

【0030】

（実施例 1 の効果）

本実施例 1 の基板検査システムによれば、オペレータによる目視検査にて発見されたウェハ 1 上の不良ダイ位置をシステム PC 50 上のウェハダイレイアウトのダイ 2 の位置にリンクさせる機能を持ち、オペレータが容易に不良チップ位置を不良ダイ情報として出力する構成になっている。そのため、本来目視外観検査において不良個所の観察時のウェハ 1 上のダイ座標とシステム PC 50 上のダイ座標及び不良個所の座標を一致させてデータベースに変換することと、同時に不良個所の画像を取り込むことにより、複数工程の不良ダイを重ね合わせて電気特性で異常と判断できないような異常も合わせてマーキングできる。

【0031】

即ち、図 6 に示すように、マクロ検査部 20 及びマイクロ検査部 40 による検査工程 1 の

10

20

30

40

50

結果(図6(a))と、自動外観検査の工程2の結果(図6(b))とで登録されたダイ2の不良箇所3が、電気特性検査結果(図6(c))で不良となっていない場合があり、上記のように電気特性検査結果と重ね合わせてマーキングを行うことで、通常、電気特性検査のみで不良と判断されない不良ダイを市場に流出することを防止できる。

【実施例2】

【0032】

図7は、本発明の実施例2を示す基板検査システムを用いた基板検査方法の概略の説明図であり、実施例1を示す図1中の要素と共通の要素には共通の符号が付されている。

【0033】

図1に示す実施例1のマクロ検査部20及びミクロ検査部40による目視検査結果と、図1のような画像取り込み装置61及び欠陥検査装置62を用いた例えば2つの自動外観検査工程80-1, 80-2の検査結果と、電気特性測定装置64の測定結果とを入力し、図1のような欠陥解析装置60内のデータ解析装置63により、不良ダイの抽出とその抽出結果を重ね合わせて(マージして)、マーキングデータS63b又はインクレスデータS63cを出力する構成にしても良い。

10

【0034】

このように、実施例1のマクロ検査部20及びミクロ検査部40による目視検査結果と、2つの自動外観検査工程80-1, 80-2の結果と、電気特性測定装置64の測定結果とをマージすることにより、これらすべての検査(測定)の結果で異常が検出された不良ダイへのマーキングのみならず、目視検査結果、自動外観検査工程80-1, 80-2による検査結果、伝記特性測定装置64での測定結果の少なくともいずれか1つで異常が検出された不良ダイに対して併せてマーキングすることが可能となり、スクリーニング精度を向上できる。

20

【実施例3】

【0035】

図8は、本発明の実施例3を示す基板検査システムの概略の構成図、及び、図9は、図8の基板検査システムを用いた基板検査方法の概略の説明図であり、実施例1を示す図1及び実施例2を示す図7中の要素と共通の要素には共通の符号が付されている。

【0036】

例えば、IGBT、ダイオード等の半導体装置の製造方法では、ウェハ1の表面側において多数のダイ毎に回路パターンが形成されると共に、裏面側においても多数のダイ毎に電極パターン等が形成され、この電極パターン等に不良箇所がある場合も、ダイ2の欠陥原因になることがある。そこで、図8に示すように、図1のミクロ検査部40におけるウェハ表面観察用の対物レンズ42a及びCCDカメラ42bからなる第1の撮像装置42に対して、これと同一の光軸上に位置するウェハ裏面観察用の対物レンズ43a及びCCDカメラ43bからなる第2の撮像装置43を設ける。そして、図9に示すように、ウェハ裏面観察用の撮像装置43によるウェハ裏面検査結果をウェハ表面のダイ位置情報に入力(反映)させ、ウェハ表面不良箇所にウェハ裏面不良箇所に相当するダイ情報を重ね合わせれば、スクリーニング精度をより向上できる。

30

【0037】

同様に、2つの自動外観検査工程80-1, 80-2において、ウェハ表面情報にウェハ裏面情報を反映させる構成にすれば、更に、スクリーニング精度が良くなる。

40

【0038】

(変形例)

本発明は、上記実施例に限定されず、例えば、基板検査システムの構成を図示以外の構成に変更したり、それに応じて、基板検査方法の処理内容を図示以外の処理手順に変更する等、数種々の利用形態や変形が可能である。

【図面の簡単な説明】

【0039】

【図1】本発明の実施例1を示す基板検査システムの概略の構成図である。

50

【図 2】図 1 中のシステム P C を示す概略の構成図である。

【図 3】図 1 の基板検査システムを用いた基板検査方法を示す処理工程図である。

【図 4】図 1 のウェハ位置出し部の処理を示す図である。

【図 5】図 1 のシステム P C におけるダイレイアウト作成方法を示す図である。

【図 6】図 5 の処理工程の説明図である。

【図 7】本発明の実施例 2 を示す基板検査システムを用いた基板検査方法の概略の説明図である。

【図 8】本発明の実施例 3 を示す基板検査システムの概略の構成図である。

【図 9】図 8 の基板検査システムを用いた基板検査方法の概略の説明図である。

【符号の説明】

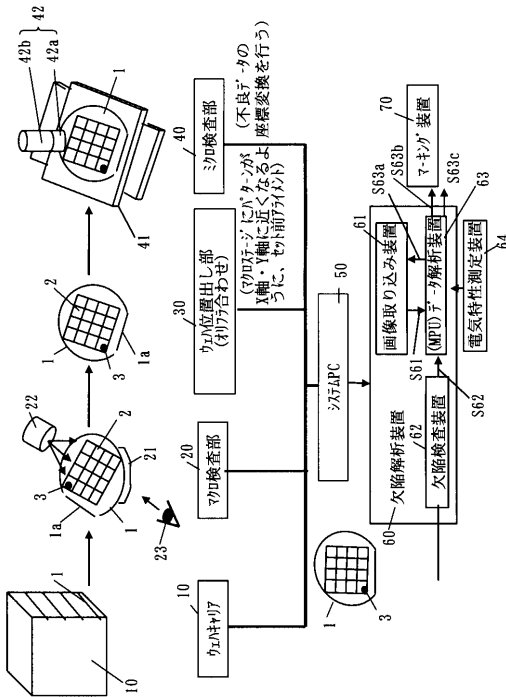
10

【 0 0 4 0 】

1 ウェハ
 1 0 ウェハキャリア
 2 0 マクロ検査部
 2 1 マクロステージ
 2 2 落射照明器
 3 0 ウェハ位置出し部
 4 0 ミクロ検査部
 4 1 ミクロステージ
 4 2 , 4 3 撮像装置
 5 0 システム P C
 6 0 欠陥解析装置
 6 1 画像取り込み装置
 6 2 欠陥検査装置
 6 3 データ解析装置
 6 4 電気特性測定装置
 7 0 マーキング装置

20

【図1】



本発明の実施例1の基板検査システム

【図2】

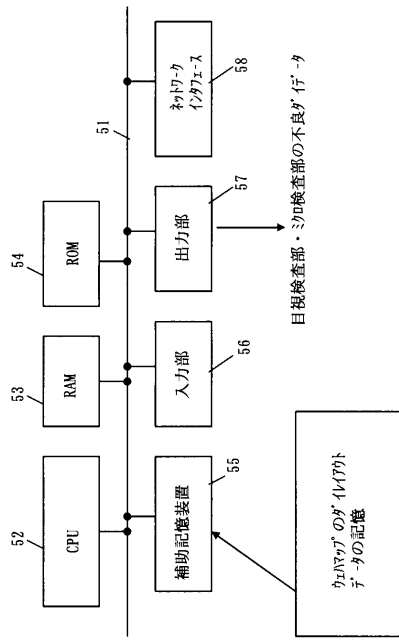


図1中のシステムPC

【図3】

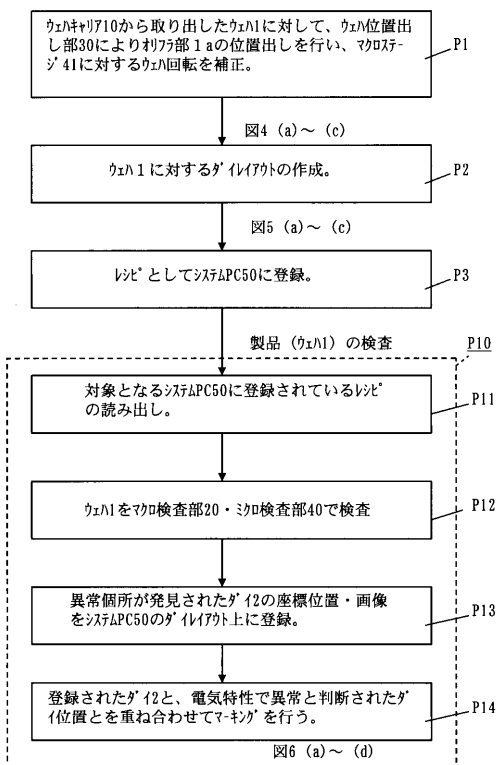


図1の基板検査システムを用いた基板検査方法

【図4】

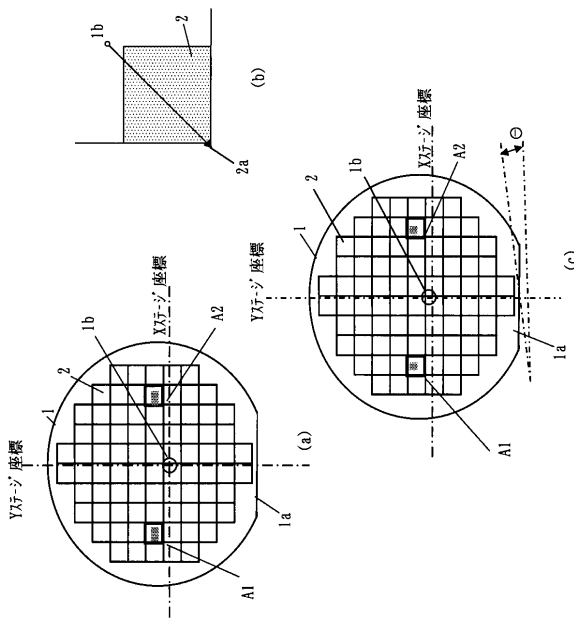
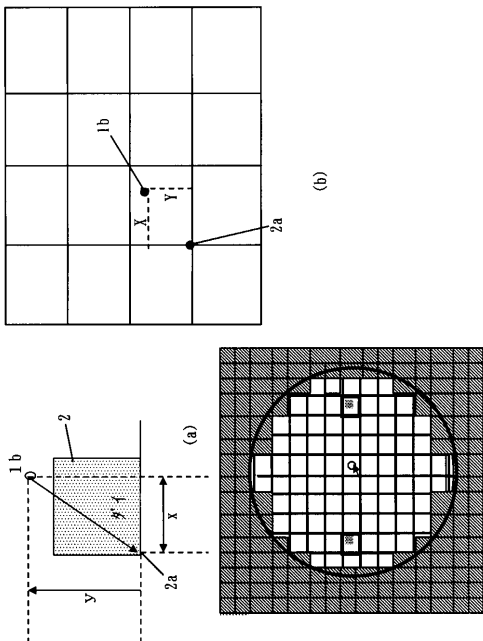


図1のウェハ位置出し部の処理

【 図 5 】



(c) 図1のシステムPCにおけるダイレイアウト作成

【 図 6 】

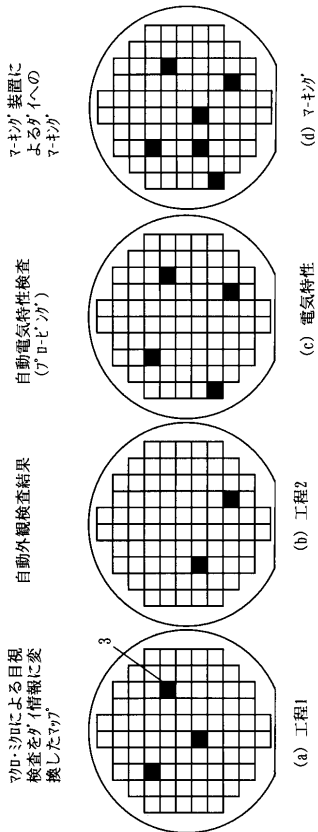
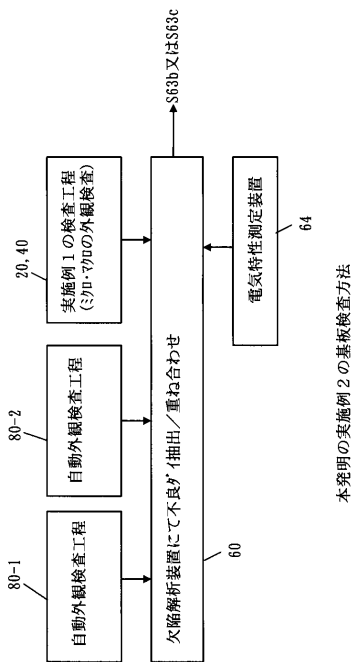


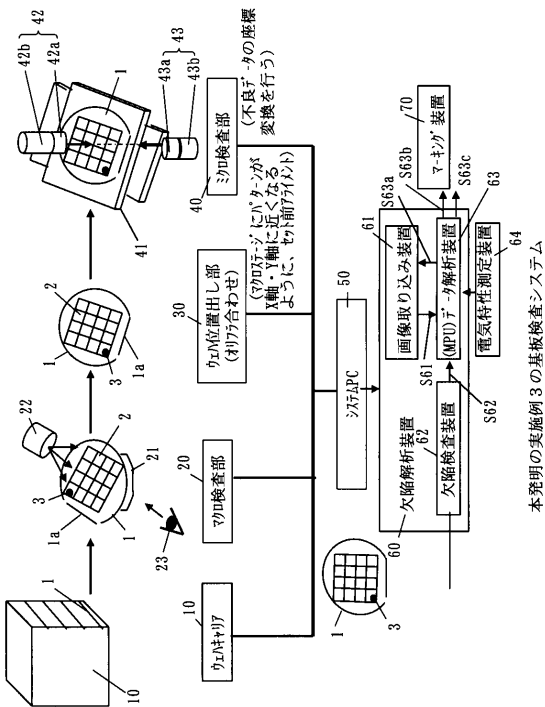
図5の処理工程

【 図 7 】



本発明の実施例2の基板検査方法

【 図 8 】



本発明の実施例3の基板検査システム

【 図 9 】

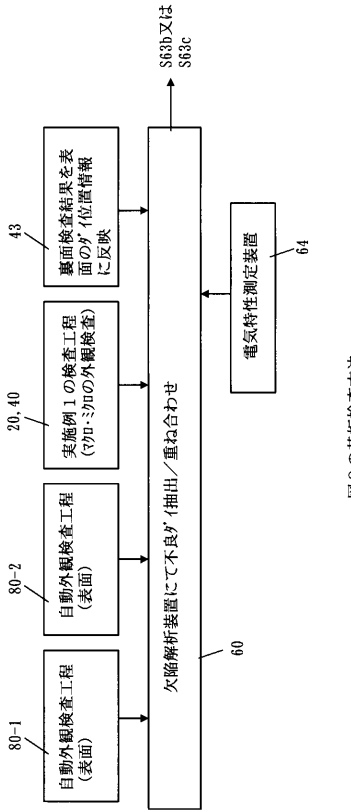


図8の基検査方法

フロントページの続き

Fターム(参考) 4M106 AA01 AA02 BA01 BA10 CA01 CA38 DA02 DA15 DB04 DJ17
DJ23