

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92113761

※申請日期：92年05月21日

※IPC分類：G11C11/34, 1/34

## 壹、發明名稱：

(中) 使用動態隨機存取記憶體以及快閃記憶體之系統以及方法

(外) System and method for using dynamic random access memory and flash memory

## 貳、申請人：(共 2 人)

1. 姓名：(中) 日立製作所股份有限公司

(外) 株式会社日立製作所

代表人：(中) 1. 庄山悦彦

(外)

地址：(中) 日本國東京都千代田區神田駿河台四丁目六番地

(外)

國籍：(中英) 日本 JAPAN

2. 姓名：(中) 日立超愛爾 愛斯 愛 系統股份有限公司

(外) 株式会社日立超エル・エス・アイ・システムズ

代表人：(中) 1. 小切間正彦

(外)

地址：(中) 日本國東京都小平市上水本町五丁目二二番一號

(外)

國籍：(中英) 日本 JAPAN

## 參、發明人：(共 3 人)

1. 姓名：(中) 三浦誓士

(外) 三浦誓士

地址：(中) 日本國東京都千代田區丸之内一丁目五番一號新丸大樓日立製作所  
(股) 知的財產權本部內

(外) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立  
製作所知的財產權本部內

2. 姓名：(中) 鮎川一重

(外) 鮎川一重

地 址：(中) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所  
(股)知的財産權本部內  
(外) 日本國東京都千代田區丸の内一丁目5番1号新丸ビル(株)日立  
製作所知的財産權本部內

3.姓 名：(中) 岩村哲哉  
(外) 岩村哲哉  
地 址：(中) 日本國東京都小平市上水本町五丁目二二番一號日立超愛爾・愛斯  
・愛・系統股份有限公司內  
(外) 日本國東京都小平市上水本町5丁目22番1号(株)日立超  
エル・エス・アイ・システムズ內

### 肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.日本 ； 2002/09/11 ； 2002-265334 有主張優先權

地 址：(中) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所  
(股)知的財産權本部內  
(外) 日本國東京都千代田區丸の内一丁目5番1号新丸ビル(株)日立  
製作所知的財産權本部內

3.姓 名：(中) 岩村哲哉  
(外) 岩村哲哉  
地 址：(中) 日本國東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯  
・愛・系統股份有限公司內  
(外) 日本國東京都小平市上水本町5丁目2番1号(株)日立超  
エル・エス・アイ・システムズ內

### 肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.日本 ; 2002/09/11 ; 2002-265334 有主張優先權

(1)

## 玖、發明說明

### 【發明所屬之技術領域】

本發明係相關於一種電腦記憶體系統，以及，特別是相關於一種具有動態隨機存取記憶體（DRAMs）之記憶體系統以及相關於一種控制此記憶體系統之方法。

### 【先前技術】

有多種習知半導體記憶體之組合方式，例如，在堆疊晶片（堆疊）上將快閃記憶體（容量為 32 百萬位元（megabits））以及靜態隨機存取記憶體（SRAM（容量：4 百萬位元））予以整合密封於 FBGA（精密間距球網柵陣列）封裝中。該快閃記憶體以及 SRAM 使用 FBGA 封裝之輸入/輸出電極而共用於位址輸入端以及資料輸入/輸出端。然而，該二者中之一的控制端係與另一個之控制端相獨立。

又有一種組合式半導體記憶體，其中快閃記憶體晶片以及 DRAM 晶片被整合密封於鉛框示封裝中。在此類型之組合半導體記憶體，該快閃記憶體以及 DRAM 使用封裝之輸入/輸出電極作為共用於位址輸入端、資料輸入/輸出端、以及控制端，以輸入/輸出。

亦有一種由作為主儲存體之快閃記憶體、快取記憶體、控制器以及 CPU 所構成之系統。亦有一種由快閃記憶體、DRAM、以及資料傳送控制電路（資料傳送控制器）所構成之半導體記憶體。亦有一種記憶體，其快閃記憶體

(2)

以及 SRAM 係封裝一起以及相同之半導體晶片。亦有一種快閃 I/O 卡，其中快閃記憶體以及 SRAM 被封裝一起。亦有一種由快閃記憶體、快取記憶體、控制器以及 CPU 所構成之系統。其中某些系統可由以下參考資料而得到更詳細之介紹。"Data Sheet of Combination Memory(Stacked CSP),Flash memory+RAM,"Model LRS1380, [online] , December 10, 2001,Sharp Corporation, [retrieved on August 21, 2002[,Internet

URL:,<<http://www.sharp.co.jp/products/device/flash/cmlist.html>>.JP-A no. 299616/1993 official gazette. Specification European Patent No. 0566306 Laid open. JP-A No. 146729/1995 official gazette. JP-A No. 5723/2001 official gazette. JP-A No. 357684/2001 official gazette. JP-A No. 137736/1996 official gazette. JP-A No. 510612/2002 official gazette。

行動電話所應用之大小以及所使用之資料以及工作區域，由於加入至行動電話之功能（例如，傳送音樂、遊戲等）的增加而益形增加。可預期的，具有較高容量之快閃記憶體以及 SRAM 更為需要。進一步，最近之行動電話之效能已顯著增進，且對於高容量記憶體之需求在增加。

現在使用在行動電話中之快閃記憶體係為 NOR-式快閃記憶體，其使用稱為 NOR 組態之記憶體陣列方法。該 NOR 組態係為一種陣列組態，而在記憶體晶格陣列中具有經減低之寄生電阻。在該 NOR 組態中，該電阻之減少

(3)

係藉由在平行接觸之兩個記憶體晶格中有一接觸點之比例而提供金屬位元線接觸。因此，讀取時間約為 80ns，其為實質等於在 SRAM 中之讀取時間。然而，雖然對於兩個晶格需要提供一個接觸點，接觸部份比上晶片區之比例仍為高，而使得每個記憶體晶格之一個位元之區域增加。此造成如法具有較高容量之問題。

且，一般的大容量快閃記憶體包括 AND 式快閃記憶體，其使用 AND 組態於記憶體陣列中，以及 NAND 式快閃記憶體其使用 NAND 組態。在此些快閃記憶體中，係對 16 至 128 個晶格提供一個位元線接觸點，而得到高密度之記憶體陣列。因此，每一記憶體晶格之單位元區域可以較 NOR 式快閃記憶體之區域為小，而可達成高容量之需求。另一方面，在第一資料輸出之前的讀取時間係由約 25 微秒至 50 微秒。不幸的是，此讀取時間將無法與 SRAM 相容。

## 【發明內容】

本發明之目的，在提供一種包括 ROM 以及 RAM 之記憶體系統，其中該記憶體系統具有高儲存容量並允許高速讀取以及寫入。

本發明之一般機構如下：快閃記憶體、傳送資料緩衝區（TDBUF）、以及由多數記憶體排（bank）所構成之兩個 DRAM，而自該些排而根據同步於時脈之指令而寫入以及讀取，以上機構封裝於一密合體，且該密合體具有電極

(4)

而互連於一半導體晶片，以及作為連接介於密合體以及密合體外側之間之連接。

在一實施例中，記憶體控制器係連接於 DRAMs 以及快閃記憶體以縮短回應於來自於半導體裝置外側之請求的讀取時間，以自快閃記憶體讀取資料，且自該快閃記憶體至 DRAMs 以及自 DRAMs 而至快閃記憶體之資料傳送藉由該記憶體控制器而完成。在電源打開之後或是當傳輸指令發出時，可進行此控制使得在快閃記憶體中資料之至少一部份藉由記憶體控制器而傳送至該 DRAMs。

可進行此控制使得儘管當資料傳送係介於半導體裝置中之快閃記憶體以及 DRAMs 之間的時候，自半導體裝置外側而存取於 DRAMs 之讀取以及寫入可在較高速率之讀取以及寫入下而完成。其可確保半導體裝置中快閃記憶體以及 DRAMs 之間資料傳送可以背景方式而完成。

進一步，該記憶體控制器，在電源打開之後，而更新自快閃記憶體至 DRAMs 之資料傳送時之 DRAMs 控制。其可實施此控制，使得在自快閃記憶體至 DRAMs 之資料傳送的時候，對於 DRAMs 而執行自動更新，該 DRAMs 在資料傳送九誠實而進入自行更新狀態，且之後，自行更新狀態根據來自於半導體裝置外側之自動更新取消指令而被取消。

本發明包含系統、方法以及裝置之其他實施例，其具有上述特徵以及其他特徵與變化。

(5)

## 【實施方式】

本發明揭示一種動態隨機存取記憶體以及快閃記憶體之系統以及方法。各種特定細節經解釋以使本發明被充分瞭解。應知，對於熟知此技藝者可在不需部份或是所有之該細節說明下而實施本發明。

參考附圖，本發明之實施例將被詳細解釋。包含在實施例中之每個區塊的電路元件，係藉由公眾已知之積體電路技術（像是 CMOS（互補 MOS 電晶體）技術）而形成在一單晶矽積體或類似者之上。

圖 1 展示本發明記憶體系統之應用例之記憶體模組之第一實施例。該記憶體模組包含四個晶片。每個晶片係如下述。

首先，CHIP1（快閃記憶體，此後稱為“FLASH”）係為非揮發性記憶體。對於非揮發性記憶體，可使用 ROM（唯讀記憶體）、EEPROM（電可抹除與程式化 ROM）、快閃記憶體等。快閃記憶體在此作為本實施例之例子。CHIP2（CTL\_LOGIC）包括一控制電路，其控制 CHIP1、CHIP3、以及 CHIP4。CHIP3 與 CHIP4 係為動態隨機存取記憶體（DRAMs）。有各種類型之 DRAM，包括 EDO（延伸資料輸出）、SDRAM（同步 DRAM）、以及 DDR（雙資料速率），其取決於內部組態以及介面之不同。任何 DRAM 皆可應用至記憶體模組，但是在此實施例中係以 SDRAM 作為例子。

關於記憶體模組有位址（A0 至 A15）、時脈信號（



# I287795

(6)

CLK) 、指令信號 (CKE, /CS, /RAS, /CAS, /WE) 等之輸入。  
。電源經由 S-VCC, S-VSS, L-VCC, L-VSS, F-VCC, F-VSS, D-VCC 與 D-VSS 以及 IO0 至 IO31 而送入至輸入/輸出資料。  
。此記憶體模組係經由所謂之 SDRAM 介面而操作。

CHIP2 提供作為操作 CHIP1、CHIP3 以及 CHIP4 所需要之信號。CHIP2 對於 CHIP1 提供位址、FLASH (F-IO0 至 F-IO7) 之資料、以及指令 (F-CE, F-/CLE, F-/ALE, F-/WE, F-/RE, F-WP, F-R/B) 進一步，CHIP2 對於 CHIP3 以及 CHIP4 提供時脈 (D-CLK)、位址 (D-A0 至 D-A14)、指令 (D-CKE, D-/CS, D-/RAS, D-/CAS, D-/WE, D1-DQMU/DQML, D2-DQMU/DQML) 以及 DRAMs 之資料 (D1-DQ0 至 D1-DQ15, D2-DQ0 至 D2-DQ15)。

每個指令信號係簡述如下。對於輸入至 CHIP2 之信號，CLK 為時脈信號；CKE 係為時脈致能信號；/CS 係為晶片選擇信號；/RAS 係為列位址閃控 (strobe) 信號；/WE 係為寫入致能信號；以及 DQMB0, QMB1, DQMB2, 以及 DQMB3 係為輸入/輸出遮罩信號。

關於輸入至 CHIP3 以及 CHIP4 之信號，D-CLK 係為時脈信號；D-CKE 係為時脈致能信號；D-/CS 係為晶片選擇信號；D-/RAS 係為列位址閃控信號；D-/CAS 為行位址閃控信號；D-/WE 係為寫入致能信號；D1-DQMU/DQML 以及 D2-DQMU/DQML 為輸入/輸出遮罩信號。

關於輸入至 CHIP1 之信號，F-/CE 為晶片致能信號；F-/CLE 為指令閃鎖致能信號；F-ALE 為位址閃鎖致能信

(7)

號；F-/WE 為寫入致能信號；F-/RE 為讀取致能信號；F-WP 為寫入保護信號；F-R/B 為備妥 (ready) /忙碌 (busy) 信號；以及 FIO0 至 F-IO7 為輸入/輸出信號並使用作為輸入位址以及輸入/輸出資料。

在 CHIP2 上之控制電路 (CTL\_LOGIC) 根據外部輸入之位址而選擇形成在 CHIP2 上之控制電路 (CTL\_LOGIC) 中控制暫存器、在 CHIP3 與 CHIP4 上之 DRAMs、或是在 CHIP1 上之 FLASH。

藉由設定形成在控制電路 (CTL\_LOGIC) 中之控制暫存器，其可判斷自外側之存取係對於控制暫存器之存取、對於 DRAMs 之存取、或對於 FLASH 之存取。任何存取可藉由 SDRAM 介面方法而實施。

FLASH 被分割為起始程式區、主資料區、以及取代區 (此處非限制)。在起始程式區的部份中，係儲存作為表示起始程式區之範圍之起始程式區之規格資料。

該起始程式區規格資料可藉由位址 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而自記憶體模組之外側而重新寫入。

該 DRAMs 係分割為工作區以及 FLASH 資料拷貝區 (此處非限制)。該工作區係使用作為當程式被執行時之工作記憶體，且 FLASH 資料拷貝區係使用作為自 FLASH 拷貝資料之記憶體。

關於 FLASH 之位址以及在 DRAMs 中之 FLASH 資料拷貝區中之位址之間的關聯性，可藉由形成在 CHIP2 上

(8)

之控制電路上記憶體管理電路而決定。例如，一般而言，SDRAM 係由四個記憶體排 (bank) (排 0 至 3) 而構成，且經由記憶體管理電路，該於 DRAMs 中之 FLASH 資料拷貝區可被配置於排 3 以及排 2，而該工作區可被配置於排 1 以及排 0 (此處非限制)。

以下描述當啓動電源時之操作順序。當記憶體模組之電源啓動時，在 CHIP2 上之該控制電路起始 DRAMs，且之後讀取位在 FLASH 中之起始程式區規格資料。之後，在由 FLASH 中起始程式區規格資料所表示範圍之 FLASH 資料被傳送至 DRAMs 中之 FLASH 資料拷貝區。

如上述，該記憶體模組在當電源啓動時，可在可攜式裝置藉由自 FLASH 至 DRAMs 最小所需要之自動傳送資料而起動之同時而被存取，而此特性可改進裝置之效能。

進一步，當起始程式區規格資料可被重新寫入以改變電源啓動時傳送之資料大小，可攜式裝置之需求可以變動，且此亦可增進裝置之效能。

關於介於 FLASH 以及 DRAMs 之間於電源啓動之操作序列完成之後之資料傳輸，在 FLASH 之資料可被拷貝 (載入) 至 DRAMs 中之 FLASH 資料拷貝區，或是在 DRAMs 中之 FLASH 資料拷貝區中之資料可藉由存取在 CHIP2 中之控制電路之控制暫存器以及寫入一載入指令或儲存指令碼而回寫入 (儲存至) FLASH。

當存取該控制暫存器之位址經由位址信號 (A0 至 A15) 而輸入時，寫入指令經由指令信號 (CKE, /CS, /RAS, /CAS

(9)

,/WE) 而輸入，且一載入指令碼、載入開始位址、載入結束位址經由輸入/輸出資料信號 (DIO0 至 DIO15) 而輸入，該載入指令碼、載入開始位址、以及傳送資料大小被寫入至控制暫存器中。之後，等於傳送資料大小之資料在載入開始位址之 FLASH 處被讀出，並傳送至 DRAMs 中 FLASH 資料拷貝區。因此，來自於 FLASH 之資料被維持在 DRAMs 中。

在與根據載入指令而在 FLASH 以及 DRAMs 之間傳送資料相同之方式，當儲存指令碼、儲存開始位址、以及傳送資料大小經由指令信號 (CKE,/CS,/RAS,/CAS,/WE) 以及位址信號 (A0 至 A15) 而寫入至控制暫存器，等效於在儲存開始位址處之 DRAMs 之傳送資料大小之資料被寫入至 FLASH 中。

在不斷寫入之下，FLASH 之可靠度降低，且在寫入時之寫入資料以及對應於資料讀取可能不同或是資料可能在某些情況下無法於再寫入時寫入。

當在 CHIP2 上之控制電路自 FLASH 讀取資料時，控制電路偵測以及校正在所讀取資料中之任何錯誤，並於之後將所校正之資料傳送至 DRAMs。當在 CHIP2 上之控制電路將資料寫入至 FLASH，該控制電路檢查該資料是否被正確的寫入，且，假如不是的話，將資料寫入非為現在位址之位址處。即，控制電路執行所謂之置換 (replacement) 處理。該控制電路亦執行位址管理，其中該管理係執行瑕疵位址以及自瑕疵位址而置換為其他位址之

(10)

置換處理。

爲了存取位在 DRAMs 中之 FLASH 資料拷貝區，作爲選擇 FLASH 資料拷貝區之位址，經由位址信號（A0 至 A15）而輸入，且一寫入指令或寫入指令經由指令信號（CKE, /CS, /RAS, /CAS, /WE）而輸入。之後，指令以及位址被解碼，存取位在 DRAMs 中之 FLASH 資料拷貝區經執行以自該區讀取或寫入資料。

因此，在 DRAMs 中之 FLASH 資料拷貝區所發生之讀取以及重寫入資料之時間，變爲等於與在 DRAMs 中其他區中讀取以及重寫入資料之時間相等。

爲了在 DRAMs 中存取該工作區，作爲選擇該工作區之位址經由位址信號（A0 至 A15）而輸入，且一讀取指令或寫入指令經由指令信號（CKE, /CS, /RAS, /CAS, /WE）而輸入。之後，該指令以及位址被解碼，而對於 DRAMs 之工作區之存取經執行以自該區讀取或寫入資料。

一般而言，SDRAM 係由四個記憶體排（排 0 至排 3）所構成，且以下描述最小時間間隔  $T_{int-min}$ ，其係爲在完成至其他排之後在一排程成可讀取之前之時間段。

假設，在 DRAMs 中之 FLASH 資料拷貝區係配置於排 3 以及排 2，且工作區係配置爲排 1 以及排 0（經由記憶體管理電路）。假如，當對於 DRAMs 之排 3 之存取正根據載入指令或儲存指令而在記憶體模組執行時，對於 DRAMs 之排 0 之存取經由位址信號（A0 至 A15）以及指令信號（CKE, /CS, /RAS, /CAS, /WE）而自記憶體模組外側而

# I287795

(11)

執行，藉由使用上述最小時間間隔  $T_{int-min}$  而使在 CHIP2 上之控制電路根據載入指令或是儲存指令而暫停存取 DRAMs，使得經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而存取，且在此存取完成之後，根據該載入指令或儲存指令而恢復存取。

當讀取存取時，自 DRAMs 讀取之資料經由 DRAM (D1-DQ0 至 D1-DQ15) 之資料 I/O 而輸出資料至資料輸入/輸出線 (I/O0 至 I/O31)。在寫入存取時，寫入資料經由記憶體模組之資料輸入/輸出線 (I/O0 至 I/O31) 而輸入，且之後，經由 DRAMs 之資料 I/O (D1-DQ0 至 D1-DQ15, D2-DQ0 至 D2-DQ15) 而輸入至 DRAMs。

圖 2 展示控制電路 CHIP2 (CTL\_LOGIC) 之元件。以下描述該電路區塊。

DRAM 控制電路 SDCON 係由以下構成：記憶體管理電路 MU、指令產生器 CGEN、位址產生器 AGEN、存取仲裁器 FAR、起始電路 INT、計數器電路 CT、以及更新控制電路 REF。該起始電路 INT 在當電源啓動 DRAMs 時而起始 DRAMs。

該記憶體管理電路 MU 轉換外部輸入之位址，並選擇控制暫存器、在 DRAMs 中之 FLASH 資料拷貝區、在 DRAMs 中之工作區、或是 FLASH。該存取仲裁器 FAR 協調 FLASH 以及 DRAMs 之間的存取。

計數器電路 CT 由位址信號 (A0 至 A15) 或指令信號 COM (CKE, /CS, /RAS, /CAS, /WE) 而設定之叢訊長度，而

(12)

一個接一個的增加位址信號(A0 至 A15)。該指令產生器 CGEN 發出命令以讀取或寫入資料等至 DRAMs。

I/O 資料控制電路 IOCON 控制資料讀取於以及寫入至 DRAMs 之時序。緩衝器電路 BUF 自時脈 CLK 而產生一時脈，以內部控制 DRAM 控制電路 SDCON 以及 IO 資料控制電路 IOCON，並產生 DRAMs 之時脈 DCLK。

存取請求電路 REQ 保持一起始位址 ADauto 以讀取表示起始程式之範圍的起時程式區規格資料，儲存於 FLASH 以在當電源開啓時自動自 FLASH 而傳送至 DRAMs。當電源開啓時，該起始程式區規格資料自起始位址 ADauto 而讀取 FLASH，且爲了自 FLASH 而至 DRAMs 傳送在由起始程式區規格資料所標示範圍的資料時，該存取請求電路 REQ 發出一傳送請求至快閃控制電路 FCON 以及 DRAM 控制電路 SDCON。進一步，存取請求電路 REQ 發出一傳送請求以根據載入指令或儲存指令而在 DRAMs 以及 FLASH 之間傳送資料。

FLASH 被分割爲起始程式區、主要資料區以及置換區（此處非限制）在起始程式區之部分，係儲存標示起始程式之範圍的起始程式區規格資料。該起始程式區規格資料可經由位址 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而自記憶體模組之外側而重新寫入。

DRAMs 具有史德儲存在記憶體晶格中之資料在無週期執行更新之下的一段時間後會消失的特性。爲此，當起

始資料在電源開啓後自 FLASH 而正被傳送至 DRAMs 時，該更新控制電路 REF 執行自動更新於 DRAMs 上。當起始資料被傳送完畢時，該更新控制電路 REF 進一步執行 DRAMs 上之自動更新，以保持資料於 DRAMs 上。在自行更新狀態中，資料可以較低功率而較一般自動而保持的更久。該由更新控制電路所建立之自行更新狀態，在當自行更新取消指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而輸入時，而被取消，且同時，更新控制自更新控制電路 REF 之控制而切換至位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 之控制。

在控制暫存器 REG，係寫入並保持有指令碼（像是載入指令）、儲存指令、週期時間改變指令、電源中斷指令、以及電源啓動指令、傳送開始位址、傳送資料大小等。

該傳送資料緩衝器 TDBUF 在資料於 DRAMs 以及 FLASH 之間傳送時而暫時儲存資料。

該快閃控制電路 RCON 係由快閃控制電路產生電路 FGGEN、時脈產生電路 CKGEN、錯誤校正電路 ECC 以及位址置換電路 REP。

當電源啓動後 RESET 信號被移除時，該時脈產生電路 CKGEN 產生一快閃控制信號產生電路 FGGEN 之時脈。

錯誤校正電路 ECC 檢查讀取自 FLASH 之資料是否錯誤並檢查錯誤（如果有的話）。該位址置換電路 REP 檢查寫入至 FLASH 者是否正確執行，假如不是的話，執行



(14)

一 新的位址以取代之之前 FLASH 所提供者。該快閃控制信號產生電路 FGEN 控制在 FLASH 之讀取以及寫入。

電源控制電路 PCON 將電路送入至 DRAMs 並控制該電源。

接著，將解釋本發明記憶體模組之操作。

當電源經由 L-VCC,L-VSS,S-VCC 以及 S-VSS 而起動時，CHIP2 藉由重設信號 RESET 而起始化。當重設被取消時，送至 DRAMs 之電源被起始，且初始化電路 INT 則初始 DRAMs。

以下解釋自 FLASH 至 DRAMs 之初始化程式之自動傳送。

存取請求電路 REQ 保持初始位址 ADauto，以讀取儲存在 FLASH 中之初始化程式區規格資料，以及標示電源啓動時自動自 FLASH 而傳送至 DRAMs 之初始化程式之範圍。

在電源啓動之後，存取請求電路 REQ 對於快閃控制信號產生電路 FGEN 發出一請求以讀取上述初始位址 ADauto 之資料。該快閃控制信號產生電路 FGEN，根據來自於存取請求電路 REQ 之指令而讀取儲存在 FLASH 中之初始化程式資料規格資料。之後，在 CHIP2 上之控制電路在由初始程式資料規格資料所標示之範圍內，自 FLASH 至 DRAMs 而傳送程式。

首先，快閃控制信號產生電路 FGEN 執行自 FLASH 讀取之操作。假如在讀取 FLASH 資料時無錯誤，快閃控

制信號產生電路 FGEN 則直接將資料傳送至傳送資料緩衝區 TDBUF。假如有錯誤時，該資料藉由錯誤校正電路而校正，且經校正之資料之後則傳送至傳送資料緩衝區 TDBUF。

接著，存取請求電路 REQ 對於存取仲裁器 FAR 發出一請求以傳送 DRAMs 之資料，且，當准許傳送請求時，來自於位址與指令產生器 ACGEN 之寫入指令與位址信號以及來自於 IO 資料控制電路 IOCON 之初始程式被寫入至 DRAMs。

當控制暫存器 REG 經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而選擇，且載入指令被寫入至控制暫存器 REG 時，則開始自 FLASH 而將資料傳送至 DRAMs。首先，快閃控制信號產生電路 FGEN 執行自 FLASH 之讀取操作。假如自 FLASH 之讀取無錯誤發生時，該資料被直接傳送至傳送資料緩衝區 TDBUF。假如有錯誤時，該資料藉由錯誤校正電路 ECC 而校正，且經校正資料之後被傳送至傳送資料緩衝區 TDBUF。

接著，存取請求電路 REQ 對於存取仲裁器 RAF 發出一請求以傳送 DRAMs 之資料，且，當傳送請求獲准時，來自於位址與指令產生器 ACGEN 之寫入指令與位址信號，以及來自於 IO 資料控制電路 IOCON 之資料被輸入至 DRAMs，且所要之資料被寫入至 DRAMs。

圖 2 中，錯誤校正電路 ECC 以及位址取代電路 REP 係形成在 CHIP2 上之控制電路 (CTL\_LOGIC)。或者，

(16)

此些電路可被形成在 CHIP1 ( FLASH ) ，使得錯誤在 FLASH 側而校正，該資料經由在 CHIP2 上之控制電路 ( CTL\_LOGIC ) 而傳送至 DRAMs ，且自 DRAMs 而至 FLASH 傳送之資料經由置換處理而寫入至 FLASH 側。

當控制暫存器 REG 經由位址信號 (A0 至 A15) 以及指令信號 COM ( CKE, /CS, /RAS, /CAS, /WE ) 而選擇，且儲存指令被寫入至控制暫存器時，而開始自 DRAMs 而至 FLASH 之資料傳送。首先，存取請求電路 REQ 對於存取仲裁器 FAR 發出一請求以傳送 DRAMs 之資料，且，當傳送請求獲准時，讀取指令以及位址信號自位址指令產生器 ACGEN 而傳送至 DRAMs ，經如此而讀取資料。

讀取自 DRAMs 之資料係經由 IO 資料控制電路 IOCON 而傳送至傳送資料緩衝區 TDBUF。該快閃控制信號產生電路 FGEN 讀取傳送至傳送資料緩衝區 TDBUF 之資料並將該資料寫入至 FLASH。

位置置換電路 REP 檢查是否寫入被成功完成，假如是的話則結束該處理。假如寫入失敗，該位址置換電路 REP 執行一些位址以取代之前 FLASH 所提供之位址。假如該位置置換電路 REP 執行置換處理，則該位置置換電路 REP 保持以及管理在瑕疵位置上之位址資訊，而該位址係取代該瑕疵位址。

爲了存取在 DRAMs 上之 FLASH 資料拷貝區或是資料區，作爲選擇該區之位址以及讀取指令或是寫入指令個別經由位址信號 (A0 至 A15) 以及指令信號 COM (

(17)

CKE, /CS, /RAS, /CAS, /WE) 而被輸入。該在 CHIP2 上之控制電路該指令以及位址解碼，並發出一位址以及讀取指令或是寫入指令至 DRAMs (經由位址信號 (D-A0 至 D-A14)) 以及指令信號 D-COM(D-CKE, D-/CS, D-/RAS, D-/CAS, /D-WE)) 而讀取或是寫入資料。

一般而言，SDRAM 係由以下構成：四個記憶體排 (排 0 至排 3) 以及最小時間間隔  $T_{int-min}$ ，其係為在完成至其他排存取之後而可存取一排時之時間間隔。

假設，在 DRAMs 中之 FLASH 資料拷貝區係配置於排 3 以及排 2, 且工作區係配置為排 1 以及排 0 (經由記憶體管理電路)。假如，當對於 DRAMs 之排 3 之存取正根據載入指令或儲存指令而在記憶體模組執行時，對於 DRAMs 之排 0 之存取經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而自記憶體模組外側而執行，藉由使用上述最小時間間隔  $T_{int-min}$  而使在 CHIP2 上之控制電路根據載入指令或是儲存指令而暫停，且之後經由位址信號 (D-A0 至 D-A14) 以及指令信號 D-COM(D-CKE, D-/CS, D-/RAS, D-/CAS, /D-WE) 而發出該位址以及一讀取/寫入指令至 DRAMs，以讀取或寫入資料以經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而執行存取。在完成此存取之後，在 CHIP2 上之控制電路根據該載入指令或儲存指令而恢復該存取。

如上述，當根據該載入指令或儲存指令而在 FLASH

與 DRAMs 之間之資料傳輸係在記憶體模組之內進行時，DRAMs 可自記憶體模組之外側而存取，而無須注意此資料傳輸。此使得其可應付可攜式裝置之效能增進之需求。

換句話說，因為根據載入指令或是儲存指令而在 FLASH 以及 DRAMs 之間的資料傳送可以背景方式執行，其可在時間到之前而對於傳送至 DRAMs 或 FLASH 所需要之資料，而不需注意來自於記憶體模組外側之存取。此使得其可應付可攜式裝置之效能增進之需求。

為了中斷至 DRAMs 之電源，電源供應中斷指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而寫入至控制暫存器 REG。之後，電源控制電路 PCON 停止對於 DRAMs 之電源供應。

為了在供應至 DRAMs 之電源一旦停止之後重新開始對於 DRAMs 之操作，電源啟動指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而寫入至控制暫存器 REG。

之後，電源控制電路 PCON 開始對於 DRAMs 供應電源，該初始電路 INT 初始 DRAMs，該存取請求電路 REQ 發出資料傳送請求，而因此而執行自 FLASH 而至 DRAMs 之初始資料傳送。

圖 3 展示記憶體管理電路 MU 之記憶體映射之例子。關於此實施例，將以具有 124+4-MB 儲存區之非揮發記憶體、256-MB 儲存區之 DRAMs、以及 8-KB 控制暫存器 REG 之記憶體模組作為典型之記憶體映射（而不再加以詳

(19)

述)。

圖 3 展示一記憶體映射，其中經由位置信號(A0 至 A15)而輸入之位址，藉由記憶體管理電路 MU 而被轉換為控制暫存器 REG (8kb)、在 DRAMs 中之工作區 WK 區 (128Mbit)、在 DRAMs 中之 FLASH 資料拷貝區 CP 區 (128Mbit) 之位址。

DRAMs 之排 0 (BANK0)、排 1 (BANK1)、排 2 (BANK2)、排 3 (BANK3) 之控制暫存器 REG，係以自記憶體映射之位址空間之較低部份開始之順序而映射 (此處非限制)。

DRAMs 之排 3 (BANK3) 以及排 2 (BANK2) 被映射至 FLASH 資料拷貝區 CP 區，而排 1 (BANK1) 以及排 0 (BANK0) 被映射至工作區 WK 區。此資料拷貝區 CP 區係為資料自 FLASH 而傳送並保留之區。該工作區 WK 區係為使用作為工作記憶體之區。

關於在 DRAMs 中之排 3 (BANK3) 中之初始程式區 D-IPR，在 FLASH 中之初始程式區 F-IPR 之程式係在電源開啓之後之初始時而被傳送。

該 FLASH 被分割為以下：初始程式區 F-IPR,主資料區 F-MD,以及置換區 F-REP。在 FLASH 中之初始程式區 F-IPR，係儲存電源啓動時被傳送至 DRAMs 之初始程式。

在主資料區 F-MD 中，係儲存程式以及資料。在重複寫入下 FLASH 之可靠度降低，且寫入之資料以及對應讀出之資料會不同或是資料可能偶爾在寫入時會失敗。置換

區 F-REP 係作為將位在失誤初始程式區 F-IPR 或是主要資料區 F-MD 中之資料，取代為一新的區。對於置換區之大小並無限制，但可選擇 FLASH 保證可靠之大小。

FLASH 之頁大小係為 528 位元組（此處非限制）。關於大小，512 位元組係為資料區，而剩餘之 16 位元組係為多餘區。

在 FLASH 中之主資料區 F-MD 以及置換區 F-REP 之資料，根據載入指令，而經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而被傳送至 FLASH 資料拷貝區 CP 區，而非至排 3 (BANK3) 之初始程式區 D-IPR。

以下描述當電源啟動時，自 FLASH 而至 DRAMs 之資料傳送。

在 FLASH 之資料區 pADauto 之資料，係儲存當電源啟動時，標示被自動自 FLASH 而傳送至 DRAMs 之初始程式之範圍之初始程式區規格資料 Larea。

在電源啟動之後，在 FLASH 之資料 pADauto 首先被讀取。當資料自 FLASH 中讀取時，配置在 FLASH 中之資料區 pADauto 以及配置在多餘區 rADauot 之 ECC 同位資料將被讀取，假如有錯誤的話，則經由該錯誤校正電路 ECC 而校正。只有在資料區 pADauto 之經校正資料被讀取。

接著，在由儲存在資料區 pADauto 中之初始程式區規格資料 Larea 所標示之範圍（初始程式區 F-IPR）被傳送

# I287795

(21)

至 DRAMs 中之初始程式區 D-IPR。

以下描述根據載入指令而自 FLASH 而至 DRAMs 傳送資料。

爲了將 FLASH 中之資料 p24575 之資料傳送至 DRAMs，需經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而將載入指令、傳送開始位址、以及傳送資料大小 (一頁) 寫入至控制暫存器 REG。之後，在 CHIP2 上之控制電路 (CTL\_LOGIC) 在 FLASH 上之位址 24575 讀取資料，或是開始傳送，且傳送等於一頁 (512 位元組) 之資料 p24575 至 DRAMs 之排 3 (BANK3) (根據由記憶體管理電路 MU 所建立之記憶體映射)。當資料自 FLASH 而讀取時，位於 FLASH 中之資料區 p24575 以及位於多餘區 r24575 中之 ECC 同位資料被讀取，且如有任何錯誤，該錯誤經由錯誤校正電路 ECC 而校正。只有被校正之資料 p24575 被傳送至 DRAMs。

以下描述根據儲存指令而自 DRAMs 而至 FLASH 之資料傳送。

爲了自 DRAMs 之排 2 (BANK2) 而傳送資料至 FLASH，需要將儲存指令、傳送開始位址、以及傳送資料大小 (一頁) 寫入至控制暫存器 REG。之後，在 CHIP2 上之控制電路 (CTL\_LOGIC) 讀取在 DRAMs 之排 2 (BANK2) 之資料，並將等於一頁 (512 位元組) 之資料傳送至位址 10240 之 FLASH 中之資料區 p10240，或是傳送之目的地 (根據由記憶體管理電路 MU 所建立之記憶體映射)



(22)

)。

當資料被寫入至 FLASH 時，錯誤校正電路 ECC 產生 ECC 同位資料。藉由快閃控制信號產生電路 FGEN，讀取自 DRAMs 之資料被寫入至 FLASH 之 p10240,且所產生之 ECC 同位資料被寫入至多餘區 r10240.該位址置換電路 REP 檢查寫入是否完成，如果是的話，則終止該處理。如果寫入失敗，而選擇在 FLASH 之置換區 F-REP 之位址。之後，例如，讀取自 DRAMs 之資料被寫入至 FLASH 之置換區 F-REP 之置換資料區 p0,且所產生之 ECC 同位資料被寫入至置換多餘區 r0。

接著，解釋自 DRAMs 之讀取資料之操作。

當 DRAMs 之排 3 (BANK3) 之位址以及讀取指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE,/CS,/RAS,/CAS,/WE) 而輸入時，在 DRAMs 之排 3 (BANK3) 之位址可經選擇而讀取資料。即，在 FLASH 之資料可與在 DRAM 中相同之速率而被讀取。資料可與其他排 (排 2、排 1、以及排 0) 相同的被讀取。

接著解釋寫入資料至 DRAMs 之操作。

當在 DRAMs 之排 2 (BANK2) 之位址以及寫入指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE,/CS,/RAS,/CAS,/WE) 而輸入時，在 DRAMs 之排 2 (BANK2) 之位址可經選擇而寫入資料。即，在 FLASH 之資料可以與 DRAM 相同速度的寫入。資料可被相同的寫入至其他排 (BANK2、BANK1、以及 BANK0)。

(23)

圖 4 表示當電源啓動實在 CHIP2 上之控制電路之初始操作之順序。

電源在時間段 T1(PON)啓動，而在時間段 T2(RST)時執行重設。DRAMs 在接續於重設取消之時間段 T3(DINIT)時被初始，且初始程式在時間段 T4 (ALD)而自 FLASH 至 DRAMs 傳送。當初始程式傳送時，更新控制電路 REF 執行自動更新。在完成初始程式傳送之後，更新控制電路 REF 在時間段 T4(SREN)時將 DRAMs 變成自行更新狀態以保持傳送至 DRAMs 之資料。該自行更新狀態在接續之時間段 T6(SREF)時仍被維持。

假如自行更新取消指令，在時間段 T7(SREX)時爲了取消自行更新狀態而經由位址信號(A0 至 A15)以及指令信號 (CKE,/CS,/RAS,/CAS,/WE)而被輸入，則 DRAMs 在時間段 T8(IDLE)以及接續之時間段中被保持在閒置狀態，而可接受存取。

圖 5 係爲展示在圖 4 所示時間段 T3(DINT)時之一般目的 SDRAM 上之初始化之例子的流程圖。

在執行重設 (RST) 之後，初始化 (DINIT) 係對於 DRAMs 執行。在 DRAMs 之初始化，對於 DRAMs 執行所有排預充電 (步驟 1: ABP)，之後執行自動更新 (步驟 2: AREF)，而最後，執行模式暫存器設定 (步驟 3: MRSET)。在模式暫存器設定 (步驟 3: MRSET)，叢訊長度 (BL) 被設定爲 1,而 CAS 出入時間 (CL) 係設定爲 2。

(24)

當 DRAMs 初始化完成時，而開始自 FLASH 至 DRAMs 之初始程式之傳送 (ALD)。

圖 6 係為展示對於 SDRAM 在時間段 T3(DINT)所發生之初始化之例子的流程圖，其中可有於自行更新時之資料保持區之改變以及最大保證溫度、輸出緩衝器之驅動效能之改變等，其係為將延遲模式暫存器 EMREG 加入至習知使用之一般目的 SDRAM 之結果。

在執行重設 (RST) 之後，而對於 DRAMs 執行初始化 (DINIT)。在對於 DRAMs 之此初始化中，係對於 DRAMs 執行所有排預充電 (步驟 1: ABP)，之後，執行自動更新 (步驟 2: AREF)。之後，模式暫存器設定被執行 (步驟: MRSET)，而最後，執行延伸模式暫存器設定 (步驟 4: EMRSET)。在模式暫存器設定 (步驟 3: MRSET)，叢訊長度 (BL) 設定為 1,而 CAS 出入時間 (CL) 被設定為 2.在延伸模式暫存器設定 (步驟 4: EMRSET)，當自行更新實在 DRAMs 中之資料保持區係對於所有排 (Ret=所有排) 而設定；最大保證溫度被設定為 85°C (Temp=85°C)；輸出緩衝器之驅動效能被設定為正常 (Drv=Normal)。當完成 DRAMs 之初始化，而開始自 FLASH 至 DRAMs 之初始程式之傳送 (ALD)。

圖 7 係為展示在圖 4 所示電源啓動之後之時間段 T4(ALD)時，自 FLASH 至 DRAMs 之初始程式傳送之例子的流程圖。在電源啓動之後，在 CHIP2 上之控制電路自 FLASH 讀取初始程式區規格資料 Larea (步驟 1)。資料

(25)

讀取是否有錯誤之檢查係在步驟 2,如果有的話，則在步驟 3 更正。如果無，該資料被直接傳送至存取請求電路 REQ。

該存取請求電路 REQ 從由初始程式區規格資料所表示範圍之初始程式區 F-IPR 而讀取資料以及 ECC 同位資料（步驟 4）。在步驟 5 檢查資料讀取是否錯誤，如果有錯誤，在步驟 6 校正。如果無，該資料直接寫入至傳送資料緩衝器 TDBUF(步驟 7)。

當寫入至傳送資料緩衝器 TDBUF 之資料被寫入至 DRAMs，DRAMs 被檢查是否有任何產生之更新請求（步驟 8）。如果有更新請求，在步驟 9 執行更新。之後，該資料在步驟 10 被寫入至 DRAMs。如果無更新請求，該資料立即被寫入至 DRAMs（步驟 10）。在 TDBUF 之資料是否皆被寫入至 DRAMs 係在步驟 11 中檢查，假如不是的話，重複步驟 7 至步驟 10.假如資料皆被寫入時，其檢查在 FLASH 中之初始程式區 F-IPR 之資料是否有被寫入至 DRAMs（步驟 12）。假如在 FLASH 之初始程式區 F-IPR 之所有資料沒有被寫入時，重複步驟 4 至步驟 1.假如在 FLASH 中之初始程式區 F-IPR 之資料已經被寫入時，表示完成初始程式之傳送的值被寫入至控制暫存器 REG（步驟 13）。

爲了保持資料於 DRAMs，更新控制電路 REF 在初始程式傳送時執行自動更新。在完成初始程式傳送之後，更新控制電路 REF 對於 DRAMs 發出一自行更新指令，而使

DRAMs 進入自行更新狀態（步驟 14）。

圖 8 係展示由 CHIP2 上之控制電路之更新控制電路 REF 所執行，經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE)，而執行更新的切換操作的例子的流程圖。

首先，當初始程式被傳送時，在 CHIP2 上之控制電路之更新控制電路 REF 對於 DRAMs (CHIP3 以及 CHIP4) 執行自動更新，且在完成初始程式傳送之後，更新控制電路 REF 對於 DRAMs (CHIP3 以及 CHIP4) 發出一自行更新指令，而使 DRAMs 進入一自行更新狀態（步驟 2）。當取消自行更新狀態之指令，經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而輸入時，DRAMs (CHIP1 以及 CHIP2) 從自行更新狀態移除（步驟 4）。之後，經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而執行更新控制。

藉由在完成初始程式傳送之後使 DRAMs 進入自行更新狀態，如上述，資料可以低功率而保持在 DRAMs，直到取消自行更新狀態之指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而輸入，而使更新狀態可被快速而正確的切換。

圖 9 係為根據載入指令而執行自 FLASH 至 DRAMs 之資料傳送之流程圖。

當載入指令以及位址經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而輸入至 CHIP2 時（

(27)

步驟 1) , 資料以及對應於輸入位址之 ECC 同位資料自 FLASH 中讀取 ( 步驟 2 ) 。 是否有錯誤發生係在步驟 3 中檢查。 假如有任何錯誤, 在步驟 4 校正錯誤, 而所經校正之錯誤被寫入至傳送資料緩衝器 TDBUF( 步驟 5 ) 。 假如無錯誤時, 該資料被直接寫入至傳送資料緩衝器 TDBUF( 步驟 5 ) 。

當寫入至傳送資料緩衝器 TDBUF 之資料被寫入至 DRAMs 時, DRAMs 被檢查是否有任何像是讀取指令、寫入指令以及更新指令之任何指令經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而輸入。 假如有此些指令, 該指令被執行 ( 步驟 7 ) , 且之後開始寫入資料至 DRAMs 中 ( 步驟 8 ) 。 假如無指令, 則開始將資料寫入至 DRAMs ( 步驟 8 ) 。

接著, 在步驟 9 中檢查資料是否已經寫入至傳送資料緩衝器 TDBUF 中。 假如尚未, 即, 假如寫入正在進行, 則 DRAMs 中檢查是否有任何像是讀取指令、寫入指令或是更新指令之指令, 經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而輸入。 如果有此指令產生, 則暫停執行自傳送資料緩衝器 TDBUF 至 DRAMs 之寫入操作 ( 步驟 11 ) , 而執行該指令 ( 步驟 12 ) 。 該指令是否已經完成係在步驟 13 中檢查, 假如未完成, 重複步驟 11 至 12. 假如指令完成了, 則恢復自傳換句話說至 DRAMs 之寫入操作 ( 步驟 8 ) 。 當資料已經自傳送資料緩衝器 TDBUF 而寫入至 DRAMs, 則表示資料完成之值被寫

入至控制暫存器 REG(步驟 14)。

圖 10 係表示根據儲存指令而執行自 DRAMs 至 FLASH 之資料傳送之流程圖。

當儲存指令以及位址經由位址信號(A0 至 A15)以及指令信號(CKE,/CS,/RAS,/CAS,/WE)而輸入至 CHIP2 上之控制電路時，其檢查是否有任何像是讀取指令、寫入指令、以及更新指令之任何指令正被執行(步驟 2)。假如無任何指令正被執行，開始根據儲存指令而自 SDRAM 而讀取資料(步驟 5)。

假如有任何指令正被執行，則停止儲存指令之執行(步驟 3)，而檢查該正被執行之指令是否已經完成(步驟 4)。假如現正執行之指令已經完成，該儲存指令之執行被停止(步驟 3)。假如正被執行之指令已經完成，而開始根據儲存指令而自 SDRAM 而讀取資料(步驟 5)。

當資料正根據儲存指令而自 DRAMs 被讀取時，其檢查是否有任何像是讀取指令、寫入指令、以及更新指令之指令經由位址信號(A0 至 A15)以及指令信號(CKE,/CS,/RAS,/CAS,/WE)而被輸入(步驟 6)。如果有的話，自 DRAMs 讀取之操作被停止(步驟 7)，而執行該指令(步驟 8)。該指令是否完成在步驟 9 執行，假如是的話，自 DRAMs 讀取之資料被寫入至傳送資料緩衝器 TDBUF(步驟 10)。假如該指令未被完成，則重複步驟 7 至步驟 8。假如指令尚未完成，則讀取自 DRAMs 之資料被寫入至傳送資料緩衝器 TDBUF(步驟 10)。

(29)

當來自於傳送資料緩衝器 TDBUF 之資料被寫入至 FLASH (步驟 11) 時，已經自 DRAMs 讀取並傳送至傳送資料緩衝器 TDBUF 之資料以及由錯誤校正電路 ECC 所產生之資料被寫入至 FLASH。

寫入至 FLASH 是否成功係在步驟 12 中檢查。假如寫入失敗，另一位址作為替代以為選擇且寫入至 FLASH 係再次在該位址而執行 (步驟 11)。假如寫入被成功完成，則其檢查該資料是否根據該儲存指令而傳送 (步驟 11)。假如資料未被成功傳送，寫入至 FLASH 之動作繼續 (步驟 11)，而，假如該資料完成傳送，則標示該資料傳送完成之值被寫入至控制暫存器 (步驟 15)。

一般而言，SDRAM 包含四個記憶體排 (排 0 至排 3)，以及最小時間間隔  $T_{int-min}$ ，其係為在完成至另一排存取之後可存取一排之時間間隔。

該最小時間間隔  $T_{int-cycle}$  [週期] (即，由 CHIP2 上之控制電路經由位址信號 (A0 至 A15) 或指令信號 (CKE, /CS, /RAS, /CAS, /WE) 所輸入之指令或是位址實際發送至 DRAMs (CHIP3 以及 CHIP4) 可根據上述最小時間間隔  $T_{int-min}$  以及時脈週期 T 而決定。

為了完成高速運算，最佳最小時間間隔  $T_{int-cycle}$  必須對應於最小時間價格  $T_{int-min}$  以及時脈週期 T 而設定。例如，當最小時間間隔  $T_{int-min}$  係為 20ns 而時脈週期 T 係為 10ns，該最佳最小時間間隔  $T_{int-cycle}$  係為 2 時脈週期。進一步，當最小時間間隔  $T_{int-min}$  為 30ns 而時脈



(30)

週期  $T$  為  $10\text{ns}$ ，則最佳最小時間間隔  $T_{\text{int-cycle}}$  係為 3 時脈週期。

例如，假如對於 DRAMs 之排 1 之存取係經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而自記憶體模組之外側而執行，雖然對於 DRAMs 之排 3 之存取正根據載入指令或是儲存指令而在記憶體模組中執行，該在 CHIP2 上之控制電路，藉由使用上述最小時間間隔  $T_{\text{int-cycle}}$ ，而暫停根據載入指令或是儲存指令而存取 DRAMs，且之後，經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而發出一位址與一讀取 / 寫入指令至 DRAMs，以讀取或寫入資料，以經由位址信號 (A0 至 A15) 以及指令信號 (CKE, /CS, /RAS, /CAS, /WE) 而執行存取。在完成此存取之後，在 CHIP2 上之控制電路可根據該載入指令或是儲存指令而恢復存取。

即，儘管當根據載入指令或是儲存指令而在 FLASH 以及 DRAMs 之間的資料傳送係在記憶體模組中執行，DRAMs 可自記憶體模組之外側而存取，而無須注意使用最小時間間隔  $T_{\text{int-cycle}}$  之資料傳送。此使其可得到可攜式裝置之效能增進之需要。

換句話說，由於根據載入指令或是儲存指令之 FLASH 與 DRAMs 之間之資料傳送可以背景方式執行，其可在適當時間之前完成 DRAMs 或 FLASH 之資料傳送。此使其可得到可攜式裝置之效能增進之需要。

圖 11 展示將最小時間間隔  $T_{\text{int}}$  設定為 2 時脈週期之

(31)

讀取以及寫入操作之例子。

DRAMs 係在閒置狀態（步驟 1）。當排作動指令或是列位址經由位址信號 (A0 至 A15) 以及指令信號 COM 而藉由 SDRAM 介面而被中斷（步驟 2），在 2 個時脈週期之後，在 CHIP2 上之控制電路藉由指令信號 D-COM 以及位址信號 (D-A0 至 D-A14) 而對於 DRAMs (CHIP3 以及 CHIP4) 發出排作動指令以及列位址。

當讀取指令（讀取）或是寫入指令（寫入）以及行位址在之後被輸入時（步驟 4），在 2 時脈週期之後，在 CHIP2 上之控制電路藉由指令信號 D-COM 以及位址信號 (D-A0 至 D-A14) 而對於 DRAMs (CHIP3 以及 CHIP4) 發出讀取或寫入指令以及列位址（步驟 5）。

當預充電指令以及排位址被最終輸入（步驟 6），在 2 時脈週期之後，該在 CHIP2 上之控制電路藉由指令信號 D-COM 以及位址信號 (D-A0 至 D-A14) 而對於 DRAMs (CHIP3 以及 CHIP4) 發出預充電指令以及排位址。

圖 12A 展示作為改變最小時間間隔  $T_{int-cycle}$  之程序之例子，其中經由位址信號 (A0 至 A15) 或指令信號 COM (CKE, /CS, /RAS, /CAS, /WE) 所輸入之一指令或一位址係被實際送入至 DRAMs (CHIP3 以及 CHIP4)。

以下描述圖 12A。該 DRAMs 係為在閒置狀態（步驟 1）。當週期時間改變指令以及位址經由位址信號 (A0 至 A15) 以及指令信號 COM 而輸入（步驟 2），該控制暫存器 REGGN 根據該位址而選擇，且週期時間改變指令被寫

(32)

入至控制暫存器。之後，根據週期時間改變指令，經由位址信號 (A0 至 A15) 以及指令信號 COM 而輸入之指令以及位址被實際發送至 DRAMs (CHIP 以及 CHIP4) 之時序被改變。

圖 12B 展示具有最小時間間隔  $T_{int-cycle}$  而讀取以及寫入資料之例圖，其中經由位址信號 (A0 至 A15) 以及指令信號 COM 而輸入之指令以及位址被實際發送至 DRAMs (CHIP3 以及 CHIP4)，至 3 時脈週期。在圖 12B 中，文字 "EXTERNAL" 表示該輸入係自模組之外側而執行，即，經由在 CHIP2 上之控制電路之輸入/輸出端。其亦適用於以下時序圖。

首先，排作動指令 A 經由指令信號 COM 而輸入，而位址 R4 經由位址信號 A0 至 A15 而輸入。接著，寫入指令 W 經由指令信號 COM 而輸入；位址 C0 經由位址信號 A0 至 A15 而輸入；而週期時間改變指令 Cy 以及設定週期時間 cy0 經由輸入/輸出信號 IO0 至 IO15 而輸入。該控制暫存器 REG 經由位址信號 A0 至 A15 而被選擇，且週期時間改變指令 CY 以及設定週期時間 cy0 被寫入至暫存器 REG。

之後，根據週期時間改變指令 Cy，CHIP2 改變經由指令信號 COM 或位址而輸入之指令或位址被實際發送至 DRAMs (CHIP3 以及 CHIP4) 之時序。

之後，指令以及位址以該設定時序而發送至 DRAMs。當相關於排作動指令、列位址、讀取指令、行位址、預

(33)

充電指令以及排位址之最小時間間隔  $T_{int}$ ，藉由週期時間改變指令  $Cy$  而改變為 3 時脈週期時，該排作動指令  $A$  以及位址  $R3$ 、讀取指令  $R$  以及位址  $C0$ 、以及預充電指令  $P$  與位址  $R3$ （經由指令信號  $COM$  以及位址信號  $A0$  至  $A15$  而輸入）係在 3 個時脈週期之後，而經由指令信號  $D-COM$  以及位址信號  $D-A0$  至  $D-A15$  而發送至  $DRAMs$ ，以自  $DRAMs$  之排 3（ $BANK3$ ）而讀取資料。

圖 13 展示當對於  $DRAMs$  之排 1 經由位址信號 ( $A0$  至  $A15$ ) 以及指令信號  $COM$  而執行資料存取之操作，而對於  $DRAMs$  之排 2 之資料傳送係根據載入指令而進行。此時，最小時間間隔  $T_{int-cycle}$  被設定為 2 個時間週期。

首先，排作動指令  $A$  藉由指令信號以及位址 4 而經由位址信號  $A$  至  $A15$  而輸入。接著，寫入指令  $W$  藉由指令信號  $COM$  而被輸入；且載入指令  $Ld$ 、傳送開始位址  $Sa$ 、以及傳送資料大小  $Da$  藉由輸入輸出信號  $IO0$  至  $IO31$  而被輸入。該控制暫存器  $REG$  經由位址信號  $A$  至  $A15$  以及載入指令而被選擇，該傳送開始位址  $Sa$  以及傳送資料大小被寫入至暫存器  $REG$ 。

之後，根據載入指令，資料自  $FLASH$  讀出並被寫入至  $DRAMs$  之排。當根據載入指令而寫入資料至  $DRAMs$  時，排作動指令  $BA$  以及位址  $R2$  自位址產生器  $AGEN$  而個別被送入至  $DRAMs$  以及指令產生器  $CGEN$ 。當排作動指令藉由指令信號  $COM$  而被輸入且位址  $R1$  藉由藉由位址信號 ( $A0$  至  $A15$ ) 而被輸入以在此時讀取  $DRAMs$  之

(34)

排 1 之資料時，該指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期而對於 DRAMs 發出排作動指令 A。在 2 時脈週期之時期，該指令產生器 CGEN 以及位址產生器 AGEN 暫時停止根據載入指令而寫入至 DRAMs 資料之指令發出。

接著，當讀取指令 R 經由指令信號 COM 且位址 C0 經由位址信號 (A0 至 A15) 而被輸入時，該指令產生器 CGEN 以 2 個時脈週期之延遲而對 DRAMs 發出讀取指令 R 以及位址 C0。

當叢訊長度為 4 時，位址 C0 由計數器 CT 而增加 +1，且位址 C1, C2 與 C3 以及讀取指令 R 個別自位址產生器 AGEN 以及指令產生器 CGEN 而發送至 DRAMs。因此，對應於位址 C0, C1, C2 以及 C3 之資料經由輸入/輸出信號 D1-DQ0 至 DQ15, D2-DQ0 至 DQ15 而讀取。該資料最終經由 IO0 至 IO31 而讀取。

接著，當預充電指令 P 經由指令信號 COM 而輸入，且位址 B1 經由位址信號 (A0 至 A15) 而輸入，則 DRAMs 之排 1 進入閒置狀態。

當完成自 DRAMs 之排 1 之資料讀取時，指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一寫入指令 BW 以及位址 C0, C1, C2 以及 C3 以根據載入指令而寫入資料至 DRAMs，並將輸出自 IO 資料控制電路 IOCON 之資料 (I0, I1, I2, I3) 寫入至 DRAMs。

當此寫入完成時，該指令產生器 CGEN 以及位址產生

器 AGEN 對於 DRAMs 發出一預充電指令 P 以及位址 B2，而使 DRAMs 之排 2 進入閒置狀態。

資料傳送信號 TE 在資料根據載入指令而傳送至 DRAMs 進行之時間段時被保持在高電位，並在當未執行資料傳送時而保持在低電位。

如上述，儘管當根據載入指令而寫入至 DRAMs 正在進行，讀取存取可在任何時候經由位址信號(A0 至 A15)以及指令信號 COM 而被接受，而資料可在與 DRAMs 相同時間而被輸出。當正在進行根據載入指令而對於 DRAMs 之排 2 之資料傳送時，DRAMs 之排 1 之資料寫入存取經由位址信號(A0 至 A15)以及指令信號 COM，係具有相同之操作。儘管當正在進行根據載入指令而寫入至 DRAMs，寫入存取經由位址信號(A0 至 A15)以及指令信號 COM 而被接受，且資料可在與 DRAMs 相同時間下而被寫入至 DRAMs。

圖 14 展示當正在進行根據儲存指令而自 DRAMs 之排 2 (BANK2) 之資料傳送時，經由位址信號(A0 至 A15)以及指令信號 COM 而執行對於 DRAMs 排 1 之資料讀取存取之操作。此情形下，該最小時間間隔  $T_{int-cycle}$  係設定為 2 個時脈週期。

首先，排作動指令 A 經由指令信號 COM 而輸入，而位址 R4 經由位址信號 A0 至 A15 而輸入。

接著，寫入指令 W 經由指令信號 COM 而輸入；位址 C4 經由位址信號(A0 至 A15)而輸入；且儲存指令 St、傳

(36)

送開始位址 Sa、以及傳送資料大小 Da 被寫入至暫存器 REG。

之後，根據儲存指令，資料自 DRAMs 之排 2 讀取，並寫入至 FLASH。在根據儲存指令而自 DRAMs 讀取資料時，排作動指令 BA 以及位址 R2 首先個別自指令產生器 CGEN 以及位址產生器 AGEN 而發送至 DRAMs。當排作動指令 A 經由指令信號 COM 而輸入，且位址 R1 經由(A0 至 A15)而輸入，以讀取 DRAMs 之排 1 之資料時，該指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期之延遲而對於 DRAMs 發出排主動指令 A 以及位址 R1。在此 2 時脈週期之時間段中，該指令產生器 CGEN 以及位址產生器 AGEN 暫時停止根據儲存指令而對於 DRAMs 讀取資料之指令之發出。

接著，當讀取指令 R 經由指令信號 COM 而輸入，且位址 C0 經由位址信號(A0 至 A15)而輸入時，該指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期延遲而對於 DRAM 發出讀取指令 R 以及位址 C0。

當叢訊長度為 4 時，位址 C0 由計數器 CT 而增加+1，且位址 C1,C2 與 C3 以及讀取指令 R 個別自位址產生器 AGEN 以及指令產生器 CGEN 而發送至 DRAMs。因此，對應於位址 C0,C1,C2 以及 C3 之資料經由輸入/輸出信號 D1-DQ0 至 DQ15,D2-DQ0 至 DQ15 而讀取。該資料最終經由 IO0 至 IO31 而輸出。

接著，當預充電指令 P 經由指令信號 COM 而輸入，

(37)

且位址 B1 經由位址信號 (A0 至 A15) 而輸入，則 DRAMs 之排 1 進入閒置狀態。

當完成自 DRAMs 之排 1 之資料讀取時，指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一讀取指令 BR 以及位址 C0, C1, C2 以及 C3 以根據讀取指令而自 DRAMs 讀取資料。如此，對應於位址 C0, C1, C2 以及 C3 之資料 (S0, S1, S2, S3) 經由輸入/輸出信號 D1-DQ0 至 DQ15, D2-DQ0 至 DQ15 而讀取。當此讀取完成時，該指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一預充電指令 P 以及位址 B2, 而使 DRAMs 之排 2 進入閒置狀態。資料傳送信號 TE 在資料根據載入指令而自 DRAMs 傳送資料進行之時間段時被保持在高電位，並在當未執行資料傳送時而保持在低電位。

如上述，儘管當根據儲存指令而自 DRAMs 讀取資料正在進行，讀取存取可在任何時候經由位址信號 (A0 至 A15) 以及指令信號 COM 而被接受，而資料可在與 DRAMs 相同時間而被輸出。

當正在進行根據儲存指令而對於 DRAMs 之排 2 之資料讀取時，DRAMs 之排 1 之資料寫入存取經由位址信號 (A0 至 A15) 以及指令信號 COM，係具有相同之操作。儘管當正在進行根據儲存指令而自 DRAMs 讀取資料，寫入存取經由位址信號 (A0 至 A15) 以及指令信號 COM 而被接受，且資料可在與 DRAMs 相同時間下而被寫入至 DRAMs



圖 15 展示當根據載入指令而自 DRAMs 之排 2 資料傳送發生之前，而經由位址信號 (A0 至 A15) 以及指令信號 COM 而對於 DRAMs 之排 1 讀取資料之操作。此情形下，該最小時間間隔  $T_{int-cycle}$  係設定為 2 個時脈週期。

首先，排作動指令 A 經由指令信號 COM 而輸入，而位址 R4 經由位址信號 A0 至 A15 而輸入。

接著，寫入指令 W 經由指令信號 COM 而輸入；位址 C4 經由位址信號 (A0 至 A15) 而輸入；且載入指令 Ld、傳送開始位址 Sa、以及傳送資料大小 Da 經由輸入/輸出信號 IO0 至 IO31 而被輸入。該控制暫存器 REG 藉由位址信號 (A0 至 A15) 以及載入指令 Ld、傳送開始位址 Sa、以及傳送資料大小 Da 而被寫入至暫存器 REG。

之後，根據載入指令，資料自 FLASH 處讀取並寫入至 DRAMs 之排 2。假如在實際執行根據載入指令而寫入 DRAMs 之排 2 之前對於 DRAMs 之排 1 之讀取資料之存取係藉由指令信號 COM 而執行，根據載入指令而寫入至 DRAMs 之排 2 之操作係在自 DRAMs 之排 1 讀取資料完成之後而執行。當排作動指令 A 經由指令信號 COM 而輸入，且位址 R1 經由 (A0 至 A15) 而輸入，以讀取 DRAMs 之排 1 之資料時，該指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期之延遲而對於 DRAMs 發出排主動指令 A 以及位址 R1。在此 2 時脈週期之時間段中，該指令產生器 CGEN 以及位址產生器 AGEN 暫時停止根據儲存指令而對於 DRAMs 讀取資料之指令之發出。

(39)

接著，當讀取指令 R 經由指令信號 COM 而輸入，且位址 C0 經由位址信號(A0 至 A15)而輸入時，該指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期延遲而對於 DRAMs 發出讀取指令 R 以及位址 C0。

當叢訊長度為 4 時，位址 C0 由計數器 CT 而增加 +1，且位址 C1, C2 與 C3 以及讀取指令 R 個別自位址產生器 AGEN 以及指令產生器 CGEN 而發送至 DRAMs。因此，對應於位址 C0, C1, C2 以及 C3 之資料經由輸入/輸出信號 D1-DQ0 至 DQ15, D2-DQ0 至 DQ15 而讀取。該資料最終經由 IO0 至 IO31 而輸出。

接著，當預充電指令 P 經由指令信號 COM 而輸入，且位址 B1 經由位址信號(A0 至 A15)而輸入，則 DRAMs 之排 1 進入閒置狀態。

當完成自 DRAMs 之排 1 之資料讀取時，指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一排作動指令 BA 以及位址 R2 以將資料寫入至 DRAMs。接著，寫入指令 BW 以及輸出自 IO 資料控制電路 IOCON 之資料 (I0, I1, I2, I3) 被寫入至 DRAMs 之排 2。

當此寫入完成時，該指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一預充電指令 P 以及位址 B2，而使 DRAMs 之排 2 進入閒置狀態。

圖 16 展示當正在進行根據載入指令而傳送資料至 DRAMs 之排 2 時，經由位址信號(A0 至 A15)以及指令信號 COM 而執行對於 DRAMs 之排 1 之讀取資料之存取之

(40)

步驟。此情形下，該最小時間間隔  $T_{int-cycle}$  係設定為 3 個時脈週期。

首先，排作動指令 A 經由指令信號 COM 而輸入，而位址 R4 經由位址信號 A0 至 A15 而輸入。

接著，寫入指令 W 經由指令信號 COM 而輸入；位址 C4 經由位址信號 (A0 至 A15) 而輸入；且載入指令 Ld、傳送開始位址 Sa、以及傳送資料大小 Da 經由輸入/輸出信號 IO0 至 IO31 而被輸入。該控制暫存器 REG 藉由位址信號 (A0 至 A15) 以及載入指令 Ld、傳送開始位址 Sa、以及傳送資料大小 Da 而被寫入至暫存器 REG。

之後，根據載入指令，資料自 FLASH 處讀取並寫入至 DRAMs 之排 2。在根據載入指令而將資料寫入至 DRAMs 之排 2 時，排作動指令 BA 以及位址 R2 首先個別自指令產生器 CGEN 以及位址產生器 AGEN 而對於 DRAMs 發出。當排作動指令 A 經由指令信號 COM 而輸入，且位址 R1 經由 (A0 至 A15) 而輸入，以讀取 DRAMs 之排 1 之資料時，該指令產生器 CGEN 以及位址產生器 AGEN 以 3 個時脈週期之延遲而對於 DRAMs 發出排主動指令 A 以及位址 R1。在此 3 時脈週期之時間段中，該指令產生器 CGEN 以及位址產生器 AGEN 暫時停止根據儲存指令而對於 DRAMs 讀取資料之指令之發出。

接著，當讀取指令 R 經由指令信號 COM 而輸入，且位址 C0 經由位址信號 (A0 至 A15) 而輸入時，該指令產生器 CGEN 以及位址產生器 AGEN 以 3 個時脈週期延遲而對

(41)

於 DRAMs 發出讀取指令 R 以及位址 C0。

當叢訊長度為 4 時，位址 C0 由計數器 CT 而增加 +1，且位址 C1, C2 與 C3 以及讀取指令 R 個別自位址產生器 AGEN 以及指令產生器 CGEN 而連續發送至 DRAMs。因此，對應於位址 C0, C1, C2 以及 C3 之資料經由輸入/輸出信號 D1-DQ0 至 DQ15, D2-DQ0 至 DQ15 而讀取。該資料最終經由 IO0 至 IO31 而輸出。

接著，當預充電指令 P 經由指令信號 COM 而輸入，且位址 B1 經由位址信號 (A0 至 A15) 而輸入，則 DRAMs 之排 1 進入閒置狀態。

當完成自 DRAMs 之排 1 之資料讀取時，指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一排作動指令 BA 以及位址 R2 以根據該載入指令而將資料寫入至 DRAMs。接著，而輸出自 IO 資料控制電路 IOCON 之資料 (I0, I1, I2, I3) 被寫入至 DRAMs 中。

當此寫入完成時，該指令產生器 CGEN 以及位址產生器 AGEN 對於 DRAMs 發出一預充電指令 P 以及位址 B2，且 DRAMs 之排 2 進入閒置狀態。資料傳送信號 TE 在資料根據載入指令而傳送至 DRAMs 進行之時間段時被保持在高電位，並在當未執行資料傳送時而保持在低電位。

如上述，儘管當根據載入指令而寫入至 DRAMs 正在進行，讀取存取可在任何時候經由位址信號 (A0 至 A15) 以及指令信號 COM 而被接受，而資料可在與 DRAMs 相同時間而被輸出。當正在進行根據載入指令而對於 DRAMs

(42)

之排 2 之資料傳送時，DRAMs 之排 1 之資料寫入存取經由位址信號 (A0 至 A15) 以及指令信號 COM，係具有相同之操作。儘管當正在進行根據載入指令而寫入至 DRAMs，寫入存取經由位址信號 (A0 至 A15) 以及指令信號 COM 而被接受，且資料可在與 DRAMs 相同時間下而被寫入至 DRAMs。

圖 17 展示經由位址信號 (A0 至 A15) 以及指令信號 COM 而根據模式暫存器設定指令 MRS 而改變記憶體模組之叢訊長度之操作。

該記憶體模組係在閒置狀態 (步驟 1)。當模式暫存器設定模式 (MRSET) 經由指令信號 COM 而輸入，且叢訊長度 BL 之值係經由位址信號 (A0 至 A15) 而輸入時 (步驟 2)，該叢訊長度 BL 之值係設定在計數器電路 CT。而自 1 至 256 之值可對於叢訊長度 BL 而設定。

圖 18 係展示由模式暫存器設定指令 MRS 而將記憶體模組之叢訊長度 BL 設定在 8 而自記憶體模組外側執行讀取操作之時序圖。

當排作動指令 A 經由指令信號 COM 而輸入，且位址 R0 經由位址信號 (A0 至 A15) 而輸入以讀取 DRAMs 之排 0 之資料時，指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期而發出排作動指令 A 以及位址 R0 至 DRAMs。

接著，當讀取指令 R 經由指令信號 COM 而輸入，且位址 C0 經由位址信號 (A0 至 A15) 而輸入時，該指令產生器 CGEN 以及位址產生器 AGEN 以 2 個時脈週期延遲而對

(43)

於 DRAMs 發出讀取指令 R 以及位址 C0。

因為叢訊長度為 8，位址 C0 由計數器 CT 而增加 +1，且位址 C1, C2, C3, C4, C5, C6 與 C7 以及讀取指令 R 個別自位址產生器 AGEN 以及指令產生器 CGEN 而連續發送至 DRAMs。因此，對應於位址 C0 至 C7 之資料經由輸入/輸出信號 D1-DQ0 至 DQ15, D2-DQ0 至 DQ15 而讀取。該資料最終經由 IO0 至 IO31 而輸出。最後，當預充電指令 P 經由指令信號 COM 而輸入，且位址 B0 經由位址信號 (A0 至 A15) 而輸入，則 DRAMs 之排 0 進入閒置狀態。

因為記憶體模組可以自 1 至 256 之叢訊長度而操作，如上述，可選擇使用在本記憶體模組之系統規格中適合之叢訊長度。

圖 19A 係為自記憶體模組外側而輸入 SDRAM 之電源供應中斷指令。

首先，排作動指令 A 係經由指令信號 COM 而輸入，而位址 R4 係經由位址信號 A0 至 A15 而輸入。接著，寫入指令 W 經由指令信號 COM 而輸入；位址 C5 經由位址信號 (A0 至 A15) 而輸入；電源供應中斷指令 Of 經由輸入/輸出信號 IO31 至 IO0 而輸入。該控制暫存器 REG 由位址信號 (A0 至 A15) 而選擇，且電源啟動指令 On 被寫入至暫存器 REG。之後，根據電源啟動指令，電源控制電路 PCON 啟動電源供應 D-VCC 以及 D-VSSQ 至 SDRAMs。之後，而執行圖 4 所示之初始化。

因為電源供應可由所維護之 SDRAM 介面之相同性而

(44)

控制，如上述，對於 DRAMs 之電源供應在當資料非維持在 DRAMs 時而被中斷，而可減少記憶體模組之功率消耗。進一步，電源可藉由 DRAMs 之電源啓動指令而送至 DRAMs，如此可使 DRAMs 快速再被使用。

圖 20 係為展示圖 1 所示 CHIP1 (FLASH) 所使用包含記憶體模組之 NAND 式快閃記憶體之例的方塊圖。

該 CHIP 係由以下構成：運算邏輯控制器 L-CONT、控制電路 CTL、輸入/輸出控制電路 I/O-CONT、狀態暫存器 STREG、位址暫存器 ADREG、控制暫存器 COMREG、備妥/忙碌電路 R/B、高電壓產生電路 VL-GEN、列位址緩衝器 ROW-BUF、列位址解碼器 ROW-DEC、行緩衝器 COL-BUF、行解碼器 COL-DEC、資料暫存器 DATA-REG、感應放大器 S-AMP 以及記憶體陣列 MA。

該 CHIP1 自以與習知使用之 NAND 式快閃控制信號產生電路 FGEN 記憶體相同之方式而操作。

圖 21 展示自構成 CHIP1 之 NAND 式快閃記憶體讀取資料之操作。當晶片致能信號 F-/CE 為低電位；指令門鎖致能信號 F-CLE 為高電位；而寫入致能信號 F-/WE 升起，作為讀取指令之指令碼 Rcode 經由輸入/輸出信號 F-IO0 至 F-IO7 而輸入。之後，位址門鎖致能信號 F-ALE 為高電位，而第二、第三、第四寫入致能信號 F-/WE 升起，頁位址經由輸入/輸出信號 F-IO0 至 F-IO7 而輸入。

對應於所輸入頁位址之 527 位元組自記憶體陣列 MA 而輸入至資料暫存器 DATA-REG。當資料自記憶體陣列 A

(45)

而輸入至資料暫存器 DATA-REG 時，快閃記憶體為忙碌，且備妥/忙碌電路 RB 使得備妥忙碌信號 FRB 為低電位。當資料傳送完成時，在資料暫存器 DATA-REGs 與讀取致能信號 F-/RE 之下降端緣同步而被依序以位元讀取，並經由輸入/輸出信號 F-IO0 至 F-IO7 而輸出。

圖 22 係展示構成使用在記憶體模組之 CHIP1 (FLASH) 中所使用之具有 AND 式快閃記憶體記憶體模組之構成的例子的圖。如圖 1 之比較所示，在圖 22 之 CHIP1 (FLASH) 以及 CHIP (CTL\_LOGIC) 之間的某些信號係與圖 1 所示者不同係是，在圖 22 中，指令閃鎖致能信號 F-CLE、位址閃鎖致能信號 -ALE、讀取致能信號 F-/RE、以及寫入保護信號 FWP (在圖 1 中所示) 係被刪除，而提供輸出致能信號 -OE、串列時脈信號 -SC、重設信號 -/RES、以及指令資料致能信號 F-CDE。

圖 23 係展示使用在記憶體模組中之 AND 式快閃記憶體之構成例的方塊圖。

AND 式快閃記憶體之 CHIP1 (FLASH) 係以各種區塊構成，包括：控制信號緩衝器 C-BUF、指令控制器 -CTL、多工器 MUX、資料輸入緩衝器 DIBUF、輸入資料控制器 DC、區段位址緩衝器 SABUF、解碼器 X-DEC、記憶體陣列 MA (FLASH)、Y 位址計數器 YCTF、解碼器 -DEC、感應放大器電路 SAMP、資料暫存器 DATA-REG、以及資料輸出緩衝器 DO-BUF。該 CHIP1 係以與習知使用之 AND 式快閃記憶體相同之方式而操作。



(46)

圖 24 展示自構成 CHIP1 之 AND 式快閃記憶體讀取資料之操作。

當晶片致能信號 F-/CE 變成低電位，且寫入致能信號 -/WE 升起，作為讀取指令之指令碼 Rcode 係經由輸入/輸出信號 F-IO0 至 F-IO7 而輸入。第二以及第三寫入致能信號 F-/WE 升起，區段位址經由輸入/輸出信號 F-IO0 至 F-IO7 而輸入。

對應於所輸入頁位址之 2-K 位元組自記憶體陣列 MA 而輸入至資料暫存器 DATA-REG。當資料自記憶體陣列 A 而輸入至資料暫存器 DATA-REG 時，FLASH 為忙碌，且 F-RDY/BUSY 為低電位。當資料傳送完成時，在資料暫存器 DATA-REGs 與讀取致能信號 F-SC 之下降端緣同步而被依序以位元讀取，並經由輸入/輸出信號 F-IO0 至 F-IO7 而輸出。

圖 25 係展示構成此實施例 DRAMs 之構成之例的方塊圖。該 DRAMs 係如下構成：X 位址緩衝器 -ADB、快閃計數器 REF-CT、X 解碼器 -DEC、記憶體陣列 MA、Y 位址緩衝器 YADB、Y 位址計數器 -CT、解碼器 -DEC、感應放大器電路 S-AMP、輸入資料緩衝器電路 IN-BUF、輸出資料緩衝器電路 OUT-BUF、控制電路 CTLLOGIC、模式暫存器 MREG、以即時序產生電路 TG。

該 DRAMs 係習知使用之一般目的 SDRAMs. 特別試，該 DRAMs 包括四個記憶體排 (BANK-A0、BANK-1、BANKB、以及 BANK-1 (每個相互獨立操作))，且位址輸

(47)

入端以及資料輸入/輸出端係相互合用並以排對排 (bank-bybank) 之分時 (time-shared) 方式而使用。本實施例之記憶體模組可使用此些 DRAMs 而構成。

圖 26 係展示構成本實施例之 DRAMs 之例子的方塊圖。該 DRAMs 係由以下構成：X 位址緩衝器 -ADB、更新計數器 REF-CT、X 解碼器 -DEC、記憶體陣列 MA、Y 位址緩衝器 Y-ADB、Y 位址計數器 -CT、解碼器 -DEC、感應放大器電路 S-AMP、輸入資料緩衝器電路 IN-BUF、輸出資料緩衝器電路 OUT-BUF、控制電路 CTLLOGIC、模式暫存器 MREG、延伸模式暫存器 EMREG、以及時序產生電路 TG。

該 DRAMs 係藉由將延伸模式暫存器 EMREG 加入至習知使用之一般目的 SDRAMs 而得到，使得可改變在自行更新時之資料保持區以及保證溫度範圍，以及改變輸出緩衝器之驅動效能。因此，較佳賀定係對於服務環境，且在此實施例之記憶體模組可使用此些 DRAMs 而構成。

如上述，在本發明中之記憶體模組，可根據 SDRAM 介面方法而拷貝之 FLASH 中之部分或所有之資料的區域可確保在 DRAMs 中，而使資料事先自 FLASH 而傳送至 DRAMs。結果，在 FLASH 中之資料可以與 DRAMs 相同之速度而被讀取。關於寫入至 FLASH，該資料可被寫入至 DRAMs 一次，且可一需求而回寫回 FLASH。

關於在記憶體模組中讀取 FLASH，係執行錯誤偵測以及校正。關於寫入，係對於寫入未正確執行之任何瑕疵

位址而執行取代處理。結果，處理速度可增進，且可得到高可靠度。

因為係使用大容量之 DRAMs，除了可將拷貝在 FLASH 中資料之區域之後，另需要大容量之工作區域，且此使其可應付行動電話效能增進之需求。

儘管當根據載入指令或是儲存指令而於 FLASH 與 DRAMs 之間傳送之資料係在記憶體模組中進行，DRAMs 可自記憶體模組外側而存取，而無須注意該資料傳送，而此使其可應付行動電話效能增進之需求。

因為根據載入指令或是儲存指令而在 FLASH 與 DRAMs 之間的資料傳送可以背景而作動，如上述，其可在適當時間之前，自 FLASH 至 DRAMs 以及自 DRAMs 至 FLASH 而傳送所需要之資料。而此使其可應付行動電話效能增進之需求。

因為可將記憶體模組之叢訊長度設定在至 256 之值，使用在本記憶體模組之可攜式裝置之規格的叢訊長度可被彈性選擇。

由於在當電源啓動時，所需程式可自動自 FLASH 而傳送至 DRAMs，記憶體模組可在當可攜式裝置被啓動時而被存取。而此使其可應付行動電話效能增進之需求。

進一步，因為初始程式區規格資料可被從寫入以改變在電源啓動時之資料傳送大小，可攜式裝置之需求可為彈性以增進其效能。

在完成電源啓動之後，自 FLASH 而致 DRAMs 之初始

程式傳送之後，DRAMs 進入自行更新狀態。結果，資料可以低功率而保持於 DRAMs 直到取消自行更新狀態之指令經由位址信號 (A0 至 A15) 以及指令信號 COM 輸入。進一步，更新控制可被快速而正確的切換。

因為電源供應可與上述 SDRAMs 介面相容的控制，供應至 DRAMs 之電源供應可在當資料不需要維持在 DRAMs 中時而被中斷，且因此可減低記憶體模組之功率消耗。進一步，電源可藉由 DRAMs 之電源啟動指令而送入至 DRAMs，且因此 DRAMs 可再次被快速使用。

## 實施例

圖 27A 以及 27B 係展示本發明所採用之記憶體模組之第二實施例。圖 27A 係為記憶體模組之上視圖，而圖 27B 係為沿著上視圖之 A-A' 之橫切面圖。

在此實施例中之記憶體模組，CHIP1 (FLASH)、CHIP2 (CTL\_LOGIC)、CHIP (DRAM1) 以及 CHIP4 (DRAM2) 係接合在面板 PCB (例如，以玻璃環氧樹脂基底所構成之印刷電路板) 之上，該面板係經由球柵陣列 (ball-grid array) (BGA) 而接合在一裝置上。將信號以及電源供應墊片在所謂的晶片中央對齊的一般目的 DRAM 之裸片，係使用在 CHIP3 以及 CHIP4，而不限定於此。將信號以及電源供應墊片在所謂的墊片之一端部對齊建構之 FLASH 的一般目的裸片，係使用在 CHIP1 中，而不限定於此。

(50)

在 CHIP1 之接合墊片以及在面板 PCB 上之接合墊片係經由接合線 (PATH2) 而相互連接，且在 CHIP2 上之接合墊片以及在 PCB 上之接合墊片係經由接合線 (PATH3) 而相互連接。CHIP3 以及 CHIP4 係經由接合線 (PATH1) 而與 CHIP2 連接。

CHIP1 以及 CHIP2 係皆由接合線 (CHIP4) 而相互連接。與該些晶片接合與面板 PCB 之上表面係為樹脂成模，以保護該些晶片以及連接線。金屬、陶器、或樹脂之上可額外增加一覆蓋 (COVER)。

在此實施例中，裸片係直接接合在印刷電路板 PCB 之上，以得到具有較小接合區之記憶體模組。進一步，當晶片可相互相鄰設置時，可減少介於晶片之間的接線長度。藉由使用作為連線晶片之間以及作為連線於每個晶片以及面板之間的接合線方法，可以較小數目之製程步驟而製造記憶體模組。

進一步，藉由使用接合線而直接連接該些晶片，可減少在面板上之接合墊片以及接合線之數目，而以較少之製程數而製造記憶體模組。因為可使用大量製造之一般目的 DRAMs 之裸片，可穩定使用廉價之記憶體模組。假如使用樹脂覆蓋，可增進記憶體模組之堅固性。假如使用陶器或金屬之覆蓋，可得到在優異特性之熱輻射以及遮蔽效應以及強度之記憶體模組。

圖 28A 以及 28B 係展示圖 27A 以及 27B 所示記憶體模組構成之修改。圖 28A 係為該修改之上述圖，而圖 28

係為沿著在該上述圖之線 A-A'之橫切面圖。

在此實施例中，CHIP1 (CTL\_LOGIC) 係設置在 CHIP3 以及 CHIP4 上。接合線係使用在 CHIP2 以及 CHIP3 之間以及在 CHIP2 以及 CHIP4 之間之接線 (PATH5)。在 CHIP1 之接合墊片以及在面板 PCB 上之接合墊片係經由接合線 (PATH2) 而相互連接，且在 CHIP2 上之接合墊片以及在面板 PCB 之接合墊片係經由接合線 (PATH3) 而相互連接。CHIP1 以及 CHIP2 係皆由接合線 (PATH4) 而相互連接。

此接合方法可使印刷電路板 PCB 之區域減少。進一步，在堆疊晶片之間之接線 PATH5 可使其縮短接線長度，此可增進接線之可靠度以及減少至外側之雜訊。

## <實施例>

圖 29 展示使用本發明所採用之記憶體模組之行動電話之實施例。該行動電話係由天線 ANT、射頻區塊 RF、基頻區塊 BB、語音寫解碼區塊 SP、揚聲器 SK、麥克風 MK、處理器 CPU、液晶顯示器 LCD、鍵盤 KEY、以及實施例 1 或 2 中所述之記憶體模組 MEM 所構成。

以下將描述電話通打之操作。

由天線 ANT 所接收之語音經由射頻區塊 RF 而放大，並輸入至基頻區塊 BB。在基頻區塊 BB 中，語音之類比信號被轉換為數位信號，而執行錯誤校正以及解碼，而該信號被輸入至語音寫解碼區塊 SP。該語音寫解碼區塊將

數位信號轉換為類比信號並輸出該信號至該揚聲器 SK。因此，在另外一側之話音經由揚聲器而聽到。

當使用執行一系列之操作（包括自行動電話存取網址、下載音樂資料、再生以及收聽音樂、最後並儲存該所下載之因為資料）而執行該操作。

操作系統以及應用程式（例如，電子郵件軟體、網頁瀏覽器、因為再生軟體、遊戲軟體）被儲存在記憶體模組 MEM 中。

當指示開始網頁瀏覽器之指令經由鍵盤而送入時，儲存在記憶體模組 MEM 之 FLASH 中之網頁瀏覽器程式被傳送至相同模組之 DRAMs 中。當傳送至 DRAMs 完成，在 DRAMs 之網頁瀏覽器之程式藉由處理器 CPU 而執行，而網頁瀏覽器被顯示在液晶顯示器 LCD 上。當使用者存取所要之網址時，並經由鍵盤 KEY 而給定下載所喜愛因為資料之指令時，該音樂資料經由天線 ANT 而接收，經由射頻區塊 RF 而放大、以及輸入至基頻區塊 BB。在該基頻區塊 BB，為類比信號之音樂資料被轉換為數位信號，而執行錯誤校正以及解碼。最後，經數位化之音樂資料被儲存在記憶體模組之 DRAMs 中，而被傳送至 FLASH。

當開始因為再生程式之指令經由鍵盤 KEY 而給定時，儲存在記憶體模組 MEM 之 FLASH 中之音樂再生程式被傳送至相同記憶體模組之 DRAMs 中。當傳送至 DRAMs 完成，該處理器 CPU 執行在 DRAMs 中之因為再生程式，而音樂再生程式被顯示在液晶顯示器 LCD 上。當使用者

經由鍵盤 KEY 給定收聽下載至 DRAMs 之音樂資料所需之指令時，處理器 CPU 執行音樂再生程式並處理儲存在 DRAMs 中之音樂資料。結果，經由揚聲器 SK 而聽到音樂。

因為本發明之記憶體模組使用大容量之 DRAMs，網頁瀏覽器以及音樂再生程式被保持在 DRAMs 中，且該二成是係同步由 CPU 執行。進一步，其可同步啓動該電子郵件程式並發送以及接收郵件。

儘管當網頁瀏覽器退出，該瀏覽器可立即再啓動，因為該瀏覽器係保持在記憶體模組之 DRAMs 中。

當指令經由鍵盤而中斷電源供應被輸入時，記憶體模組只允許 SRAMs 操作以保持最小所需之資料，且因此電源消耗最小。

如上述，採用本發明之記憶體系統之記憶體模組可儲存大量郵件、音樂再生與應用程式、音樂資料、靜態影像資料、行動影像資料等，而同步執行多數個程式。

## 其他實施例

本發明係包括（但非限定）以下其他之實施例。

一種半導體記憶體裝置，包含一形成在第一半導體晶片上之動態隨機存取記憶體，其中該動態隨機存取記憶體包括多數個記憶體排，其中該動態隨機存取記憶體係經組構以接收時脈信號以及位址信號，其中該時脈信號以及位址信號係自該第一半導體晶片外側發出，其中該時脈信號



(54)

具有一時脈週期，其存取多數個記憶體排之另一記憶體排之後，存取多數個記憶體排中之一記憶體排之最小時間間隔係為 2 個時脈週期或是更多。

或者，半導體記憶體裝置進一步包含一控制電路，經組構以改變最小時間間隔，其中該改變係經組構以由控制電路外部之端點而控制。

或，該控制電路係形成在第二半導體晶片上，其中該第二半導體晶片包括同步動態隨機存取記憶體之介面。

或，該動態隨機存取記憶體係進一步經組構而執行以非揮發性記憶體之資料傳送，其中該動態隨機存取記憶體係進一步經組構而在當資料傳送時自動態隨機存取記憶體之外側而存取，而不管資料傳送。

或，該動態隨機存取記憶體可自該動態隨機存取記憶體之外側而存取（因為使用最小時間間隔）。

或，該半導體裝置經組構而使用在可攜式通訊裝置。

或，該資料傳送係根據至少一載入指令以及儲存指令而執行。

或，資料傳送係在一般資料傳送之給定時間（不使用最小時間間隔）而執行資料傳送。

本發明之功效

如上述，本發明之功效如下（但不限定於）：

首先，在本發明所採用之記憶體系統之記憶體模組中，可拷貝 FLASH 之部分或所有資料於 FLASH 之區可於

DRAMs 中確保，且資料事先自 FLASH 而傳送至 DRAMs，且藉此，在 FLASH 之資料可以與 DRAMs 相同之速度而讀取或寫入。

第二，在讀取記憶體模組中之 FLASH 時，執行錯誤偵測以及校正。在寫入時，係對於寫入未正確執行之瑕疵位址而執行取代處理。此增進處理速度以及處理可靠度。

第三，因為記憶體模組使用大容量 DRAMs，除了可拷貝資料於 FLASH 中之區之外，可確保有大容量工作區，此使其可應付行動電話效能增進之需求。

第四，儘管當根據載入指令或儲存指令而在 FLASH 與 DRAMs 之間的資料傳送係在記憶體模組中進行，DRAMs 可自記憶體模組之外側存取而不需注意資料傳送。此使其可應付行動電話效能增進之需求。

第五，因為可對於記憶體模組之叢訊長度設定在 1 至 256 之值，適合於本發明記憶體模組所使用之可攜式裝置之規格之叢訊長度可被彈性選擇。

第六，因為所需要之程式在電源啟動時自 FLASH 而自動傳送至 DRAMs 中，該記憶體模組在可攜式裝置啟動時而成為可存取。此使其可應付行動電話效能增進之需求。

進一步，因為可重寫入該初始程式區規格資料，以改變電源啟動時所傳送之資料大小，可攜式裝置之需求可為彈性，此亦使其可應付行動電話效能增進之需求。

第七，在完成電源啟動後自 FLASH 至 DRAMs 之初始

程式之傳送之後，DRAMs 進入自行更新狀態。結果，資料可以低功率而在 DRAMs 中保持直到取消自行更新狀態之指令經由位址信號(A0 至 A15)以及指令信號 COM 而輸入。進一步更新控制可被快速而正確的切換。

第八，因為電源供應可與所維持之 SDRAM 介面相容而被控制，可使該至 DRAMs 之電源供應在資料無須保持在 DRAMs 中時被中斷，而因此，可減少記憶體模組之功率消耗。進一步，藉由 DRAMs 之電源啟動指令而將電源送入至 DRAMs，而使 DRAMs 可再次被快速使用。

第九，多數個半導體晶片以單一密合體而被封裝，且得到具有較少接合區之記憶體模組。

雖然本發明係以實施例以而說明，對於熟知此技藝者可在不離開本發明之基本觀念以及範圍下而有許多之修改。

## 【圖式簡單說明】

本發明藉由以下圖式而可更加瞭解。

圖 1 係為本發明之記憶體模組之結構圖；

圖 2 係為圖 1 之 CHIP2 之例子之方塊圖；

圖 3 係為展示本發明之記憶體模組之位址圖之例子之解釋圖；

圖 4 係為展示本發明中當電源開啓時，記憶體模組操作之例圖；

圖 5 係展示本發明中當電源開啓時，在記憶體模組中

(57)

DRAMs 初始化之例圖；

圖 6 係展示本發明中當電源開啓時，在記憶體模組中之 DRAMs 之初始化之例圖；

圖 7 係展示本發明中當電源開啓時，自記憶體模組之快閃記憶體至 DRAMs 之資料傳送之操作流程圖；

圖 8 係展示本發明之記憶體模組中之 DRAMs 之更新操作之圖；

圖 9 係展示本發明自記憶體模組中之快閃記憶體至 DRAMs 之資料傳送之操作流程圖；

圖 10 係展示本發明之記憶體模組中自 DRAMs 至快閃記憶體之資料傳送之操作流程圖；

圖 11 係展示本發明之記憶體模組寫入以及讀取之操作例圖；

圖 12A 係展示本發明改變記憶體模組之時脈週期之操作例圖；

圖 12B 係展示本發明中改變記憶體模組之時脈週期之操作例圖；

圖 13 係一時序圖，展示當 DRAMs 經根據載入指令之指示執行讀取操作而 DRAMs 已經在執行寫入操作之記憶體系統操作之例子；

圖 14 係一時序圖，展示當 DRAMs 經根據一儲存指令之指示執行一讀取操作，而 DRAMs 已經在執行一讀取操作之記憶體系統操作圖；

圖 15 係為一時序圖，展示在 DRAMs 正在執行一寫入

(58)

操作之前，而當 DRAMs 經根據一載入指令之指示執行一讀取操作之記憶體系統時序圖；

圖 16 為一時序圖，展示當 DRAMs 經根據載入指令之指示執行一讀取操作，而 DRAMs 已經執行一寫入操作之記憶體系統之時序圖例；

圖 17 係展示根據本發明之記憶體模組中之模式暫存器組指令，而改變叢訊（BURST）長度之操作之例圖；

圖 18 係展示本發明自記憶體模組讀取之操作例圖；

圖 19A 係展示中斷本發明記憶體模組中 DRAMs 之電源供應之指令的圖例；

圖 19B 係展示接通本發明之記憶體模組之 DRAMs 之電源之指令之圖例；

圖 20 係展示圖 1 所示快閃記憶體構造之例子之方塊圖；

圖 21 係展示讀取自圖 20 快閃記憶體之資料之時序之例的時序流程圖；

圖 22 係展示本發明之記憶體模組之構成之例圖；

圖 23 係展示圖 22 所示快閃記憶體之構成之例圖；

圖 24 係展示讀取自圖 23 所示之快閃記憶體之資料之時序圖；

圖 25 係展示 DRAMs 之構成之例的方塊圖；

圖 26 係展示 DRAMs 構成之另一例子之方塊圖；

圖 27A 係展示本發明之記憶體模組之實施例之圖；

圖 27B 係展示圖 27A 所示之實施例之橫切面圖；

(59)

圖 28A 係展示本發明記憶體模組之實施例之修改圖

；

圖 28B 係展示圖 28A 所示之修改之橫切面圖；以及

圖 29 係展示使用本發明記憶體模組之行動裝置之構成例之方塊圖。

**伍、中文發明摘要**

發明之名稱：使用動態隨機存取記憶體以及快閃記憶體之系統以及方法

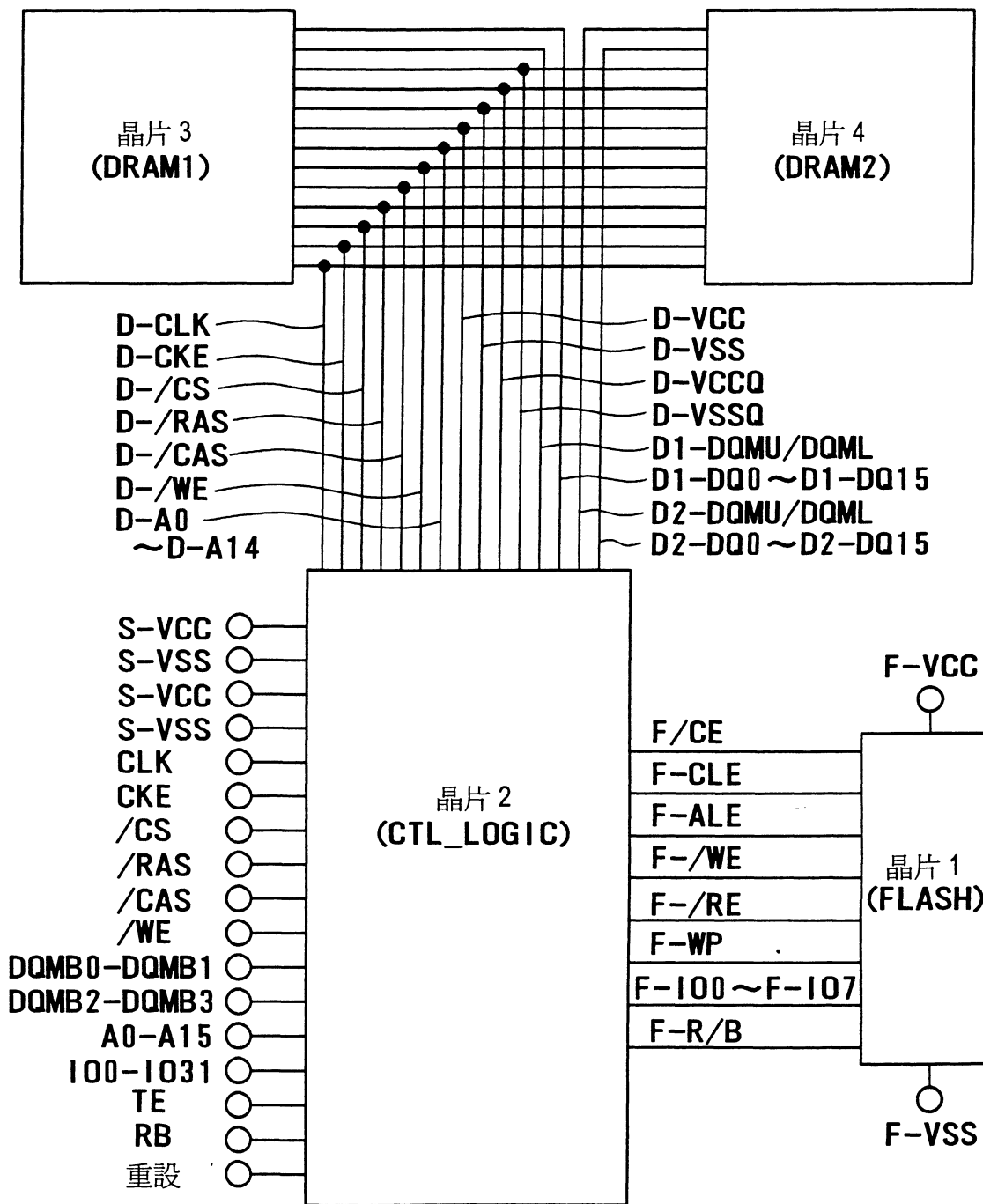
係提供一種使用動態隨機存取記憶體以及快閃記憶體之系統以及方法。在一例中，記憶體系統包含非揮發性記憶體；同步動態隨機存取記憶體；電路包括與非揮發性記憶體以及同步動態隨機存取記憶體耦合並控制非揮發性記憶體以及同步動態隨機存取記憶體之存取之控制電路；以及與該電路耦合之多數個輸入/輸出端點，其中自非揮發性記憶體至同步動態隨機存取記憶體之資料傳送中，係傳送錯誤校正後之資料。

**陸、英文發明摘要**

發明之名稱：**SYSTEM AND METHOD FOR USING DYNAMIC RANDOM ACCESS MEMORY AND FLASH MEMORY**

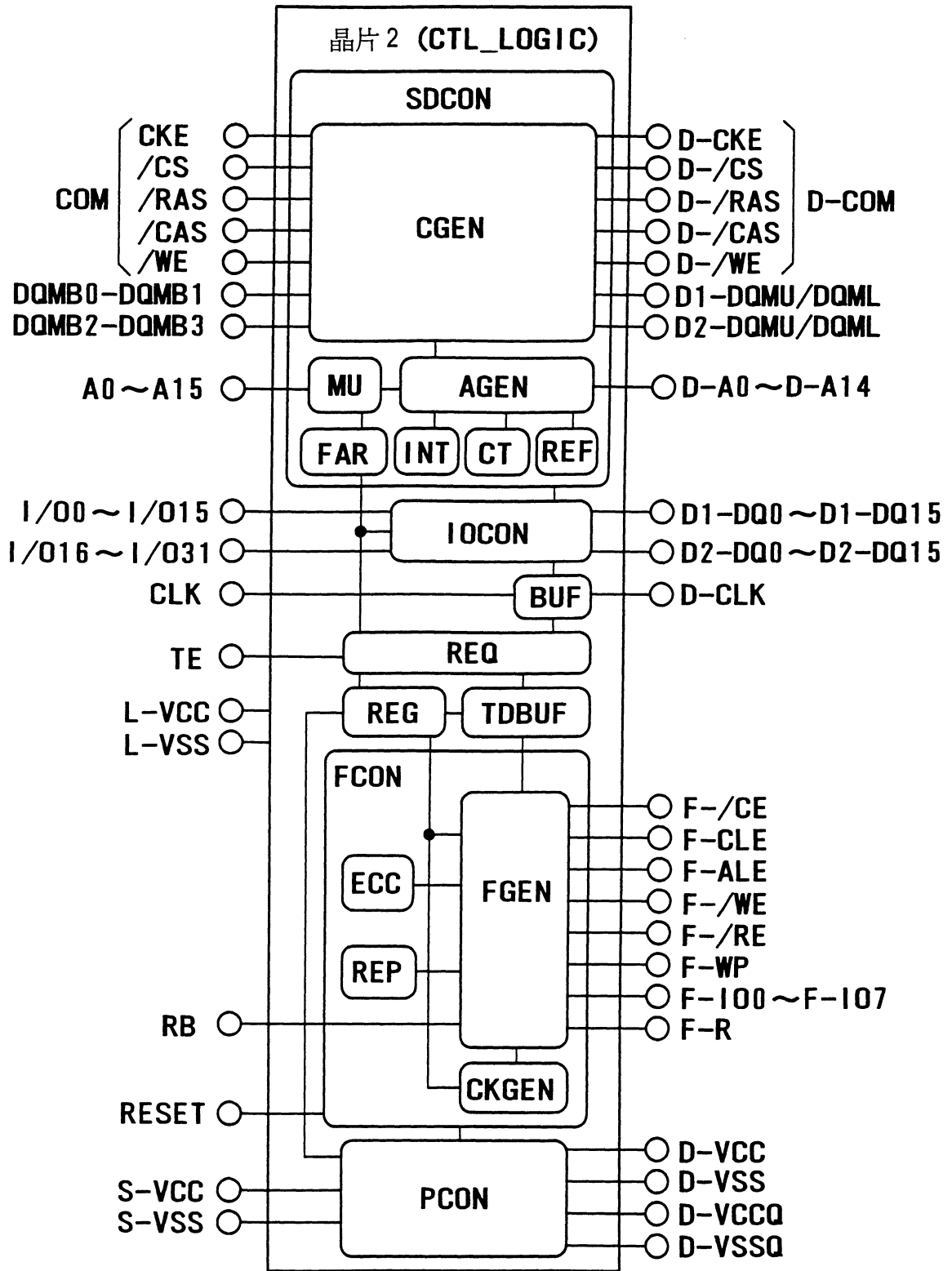
A system and method are provided for using dynamic random access memory and flash memory. In one example, the memory system comprises a nonvolatile memory; synchronous dynamic random access memories; circuits including a control circuit which is coupled with the nonvolatile memory and the synchronous dynamic random access memories, and controls accesses to the nonvolatile memory and the synchronous dynamic random access memories; and a plurality of input/output terminals coupled with the circuits, wherein in data transfer from the nonvolatile memory to the synchronous dynamic random access memories, error corrected data is transferred.

第 1 圖

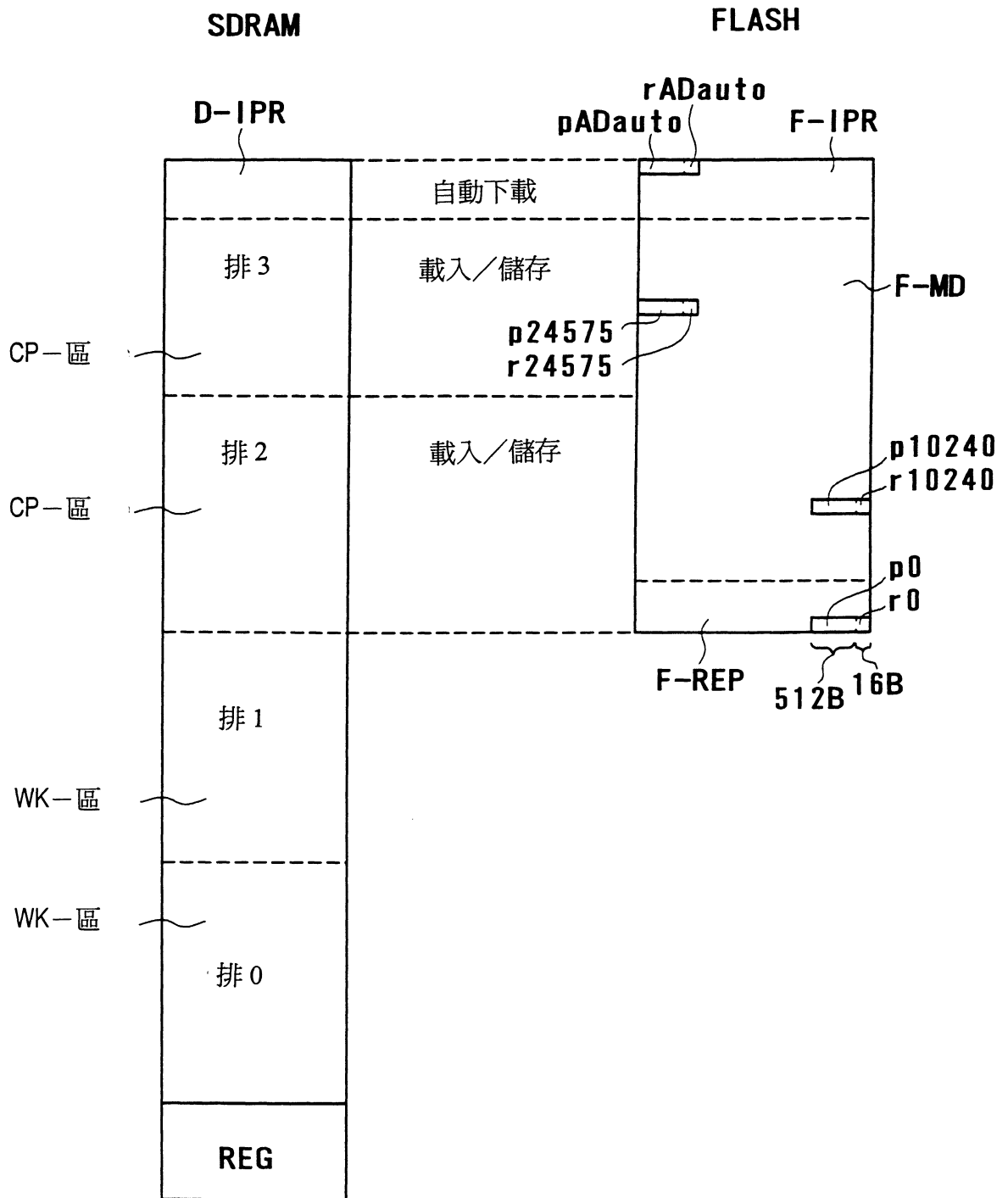




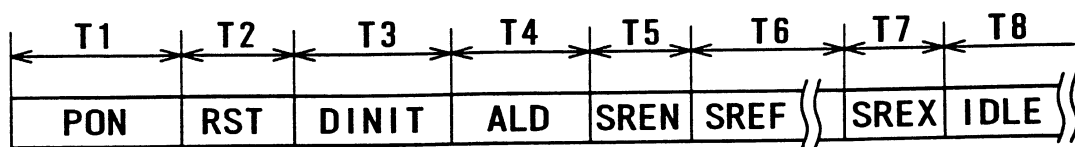
第 2 圖



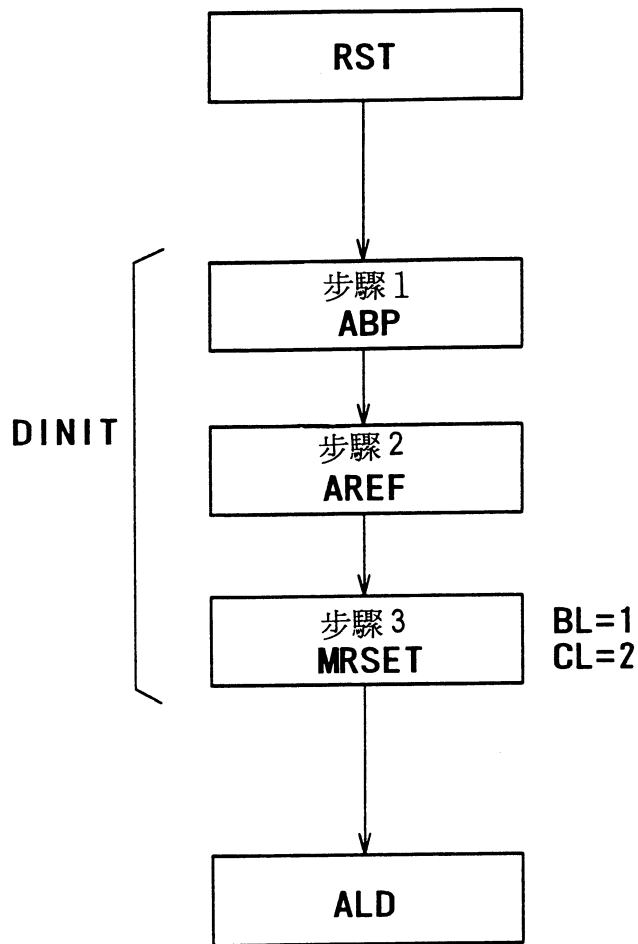
第 3 圖



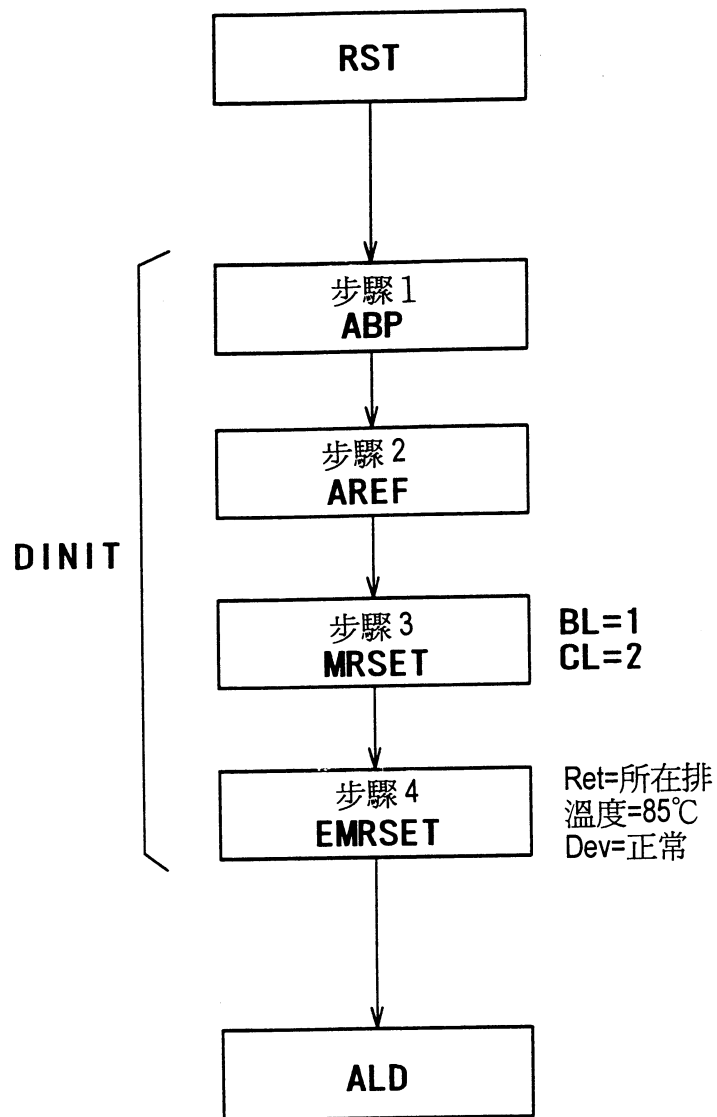
第 4 圖



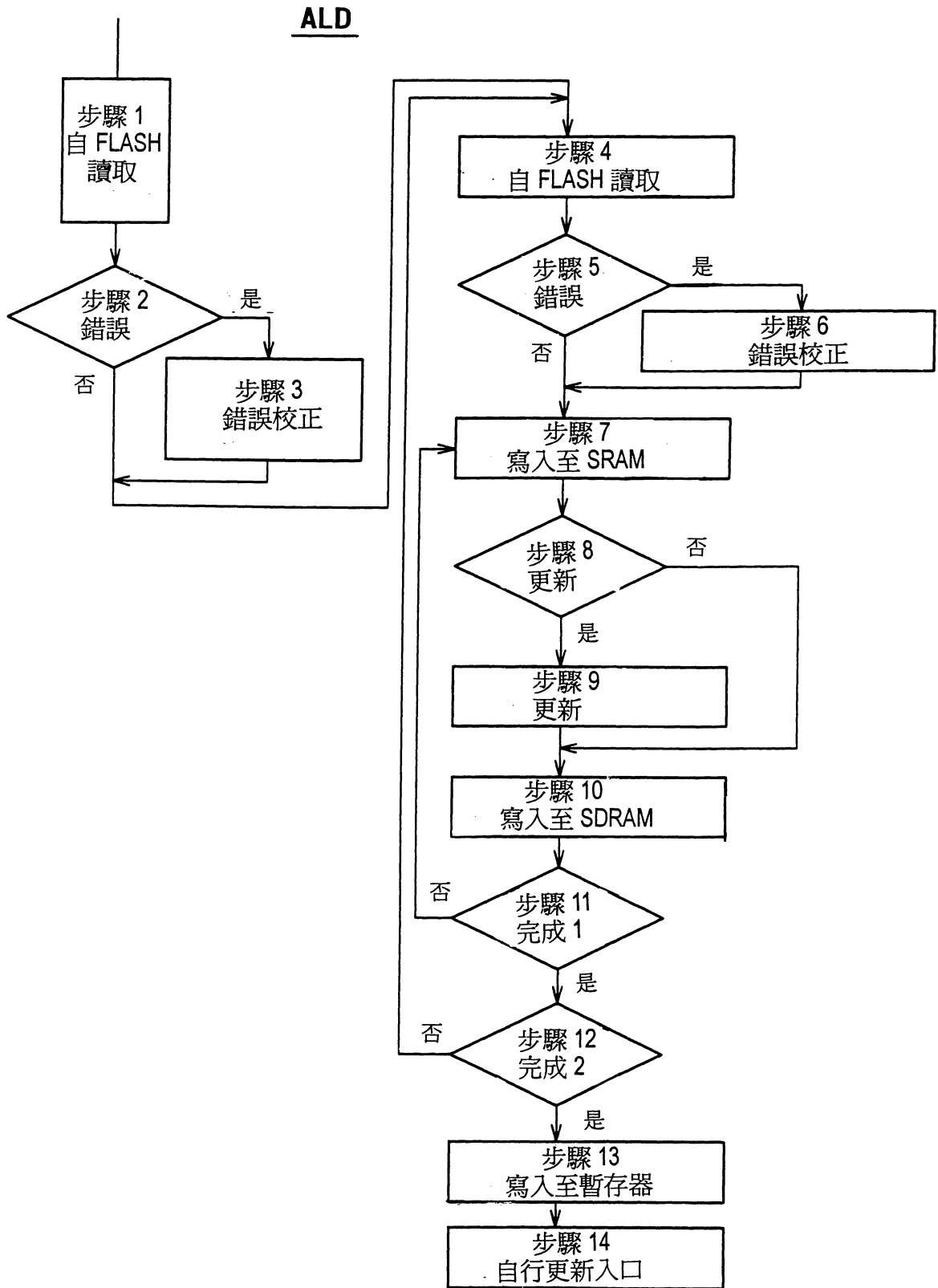
第 5 圖



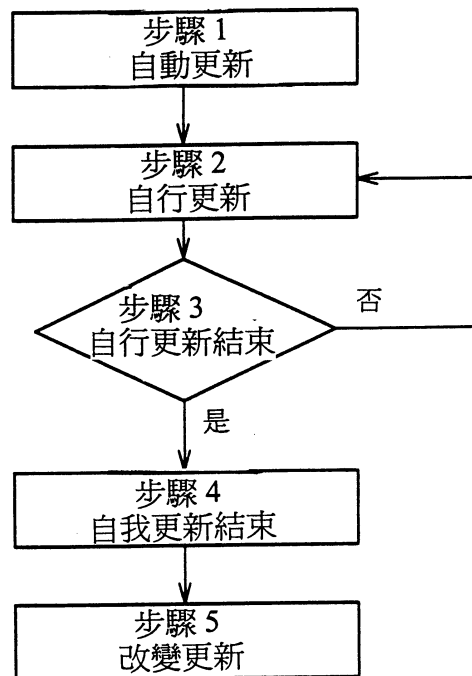
第 6 圖



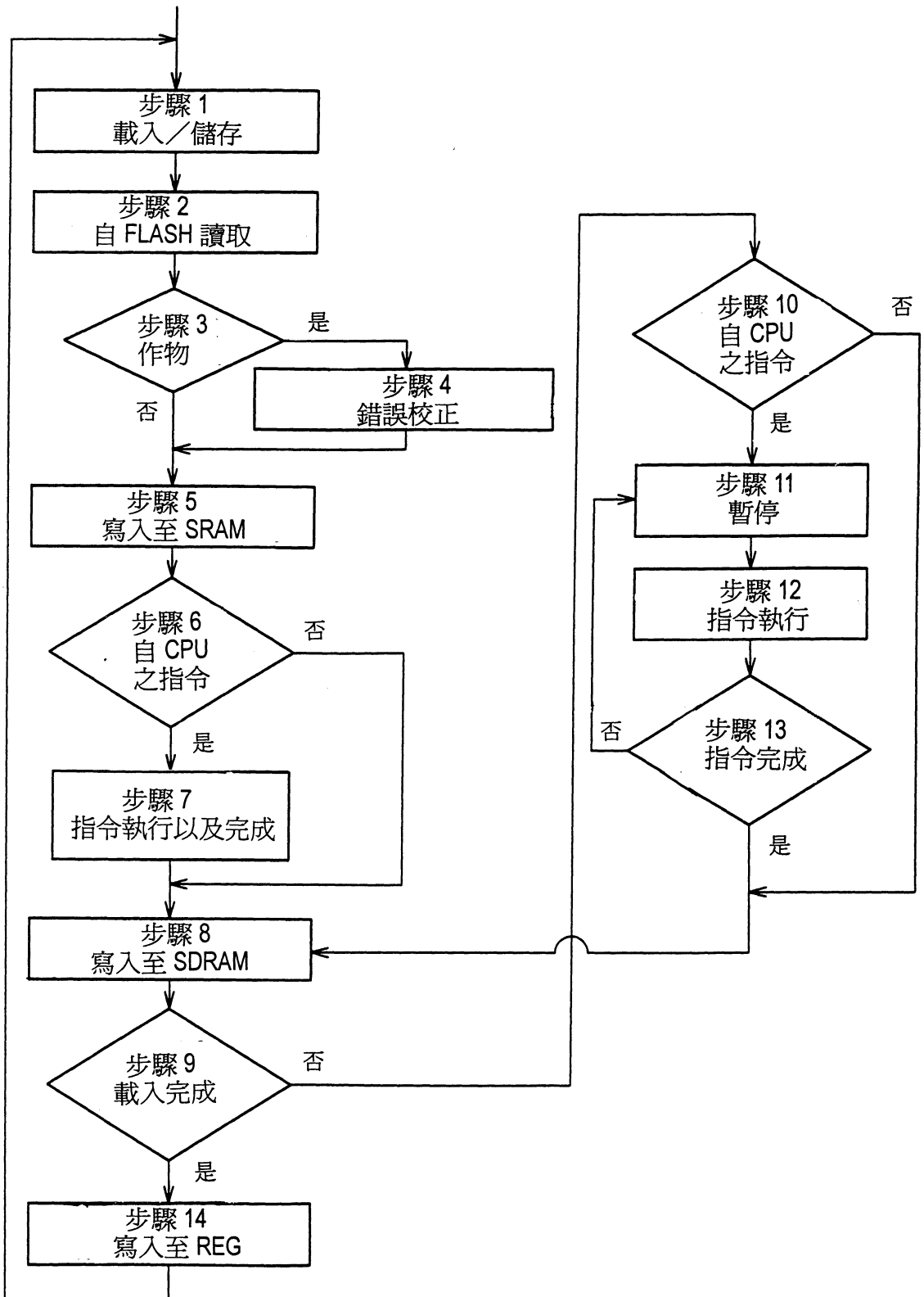
第 7 圖



第 8 圖

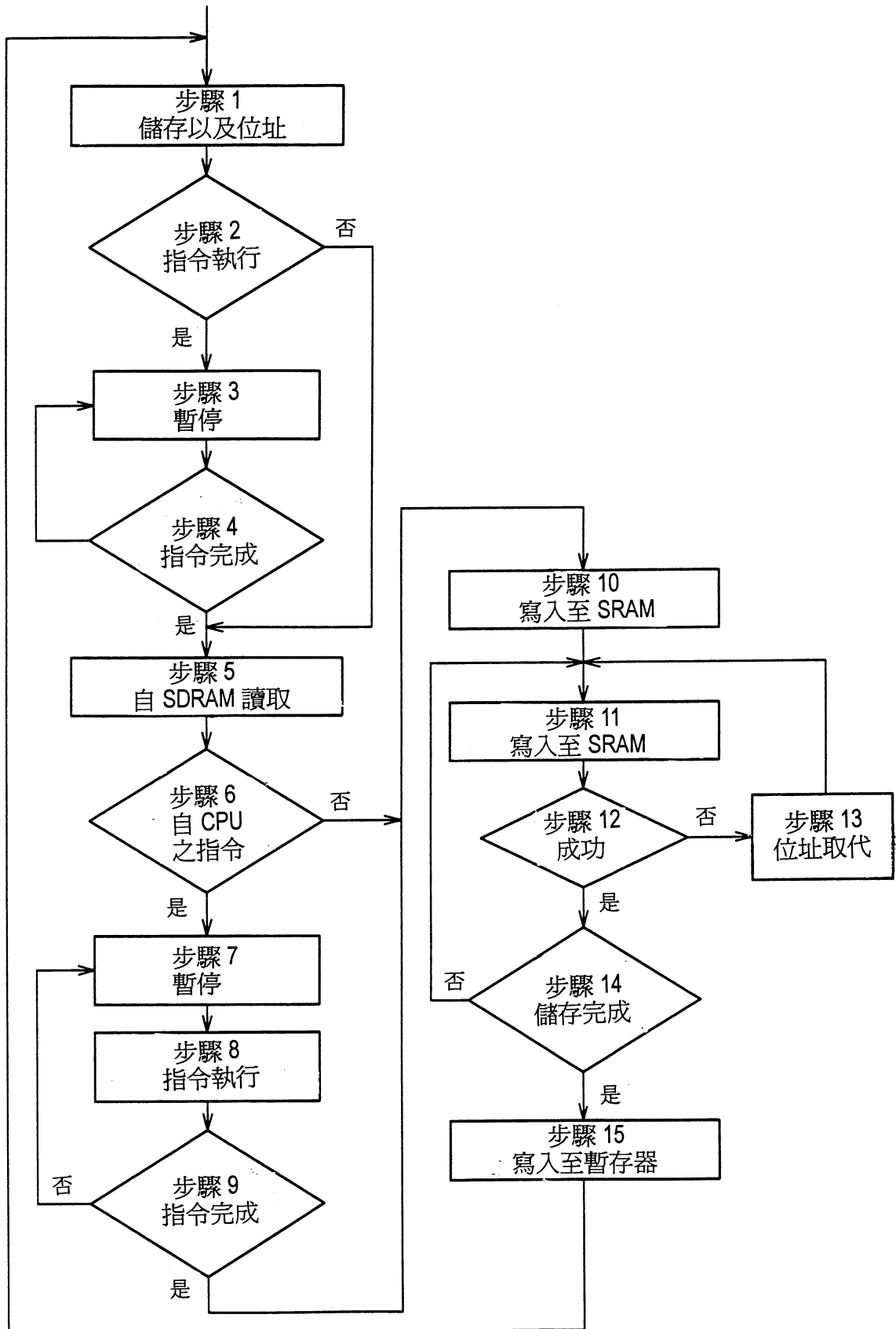


第 9 圖

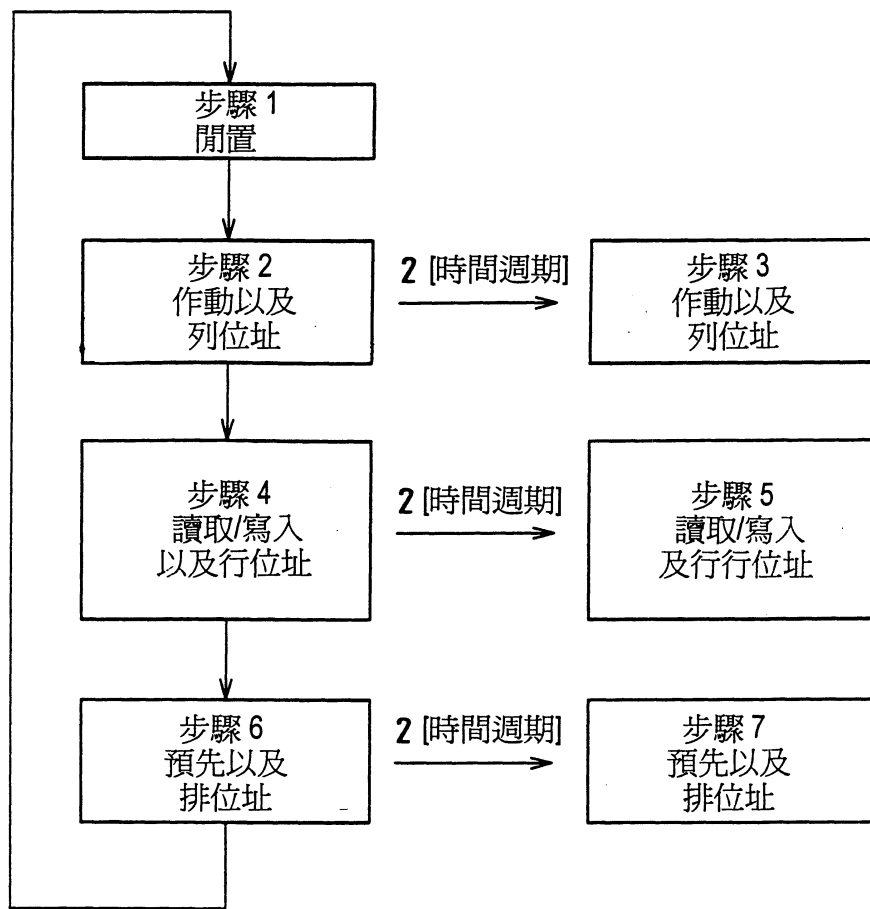




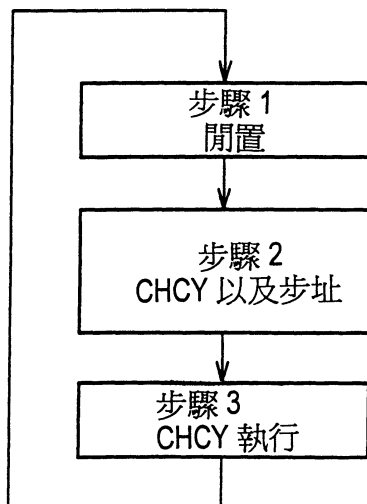
第 10 圖



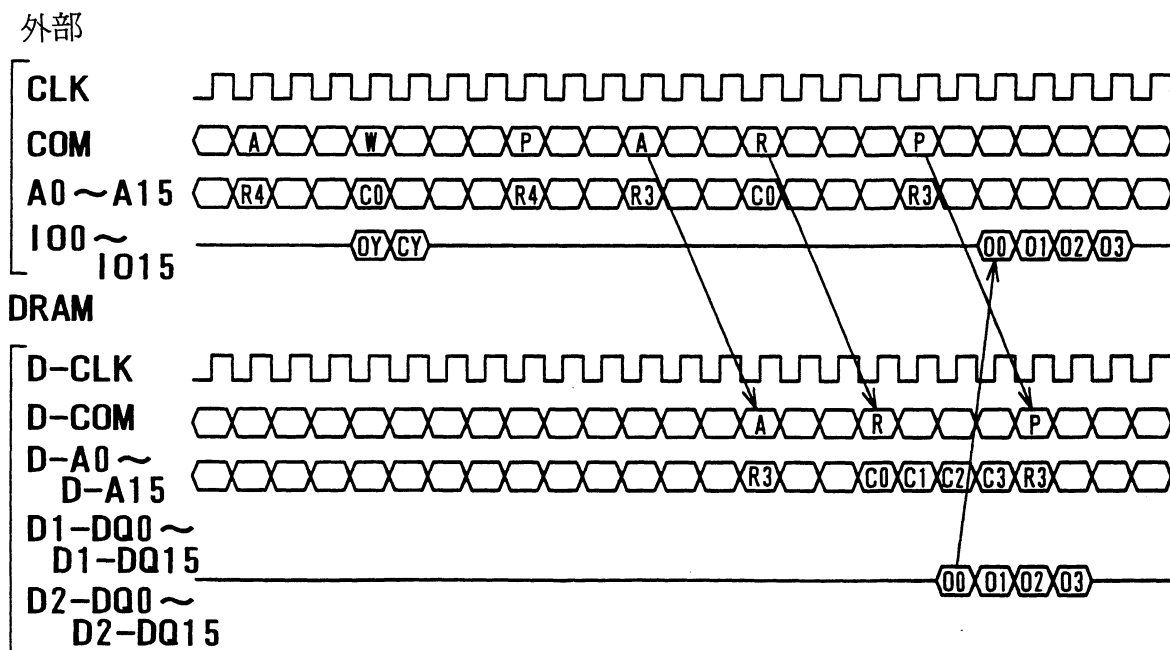
第 11 圖



第 12A 圖



第 12B 圖

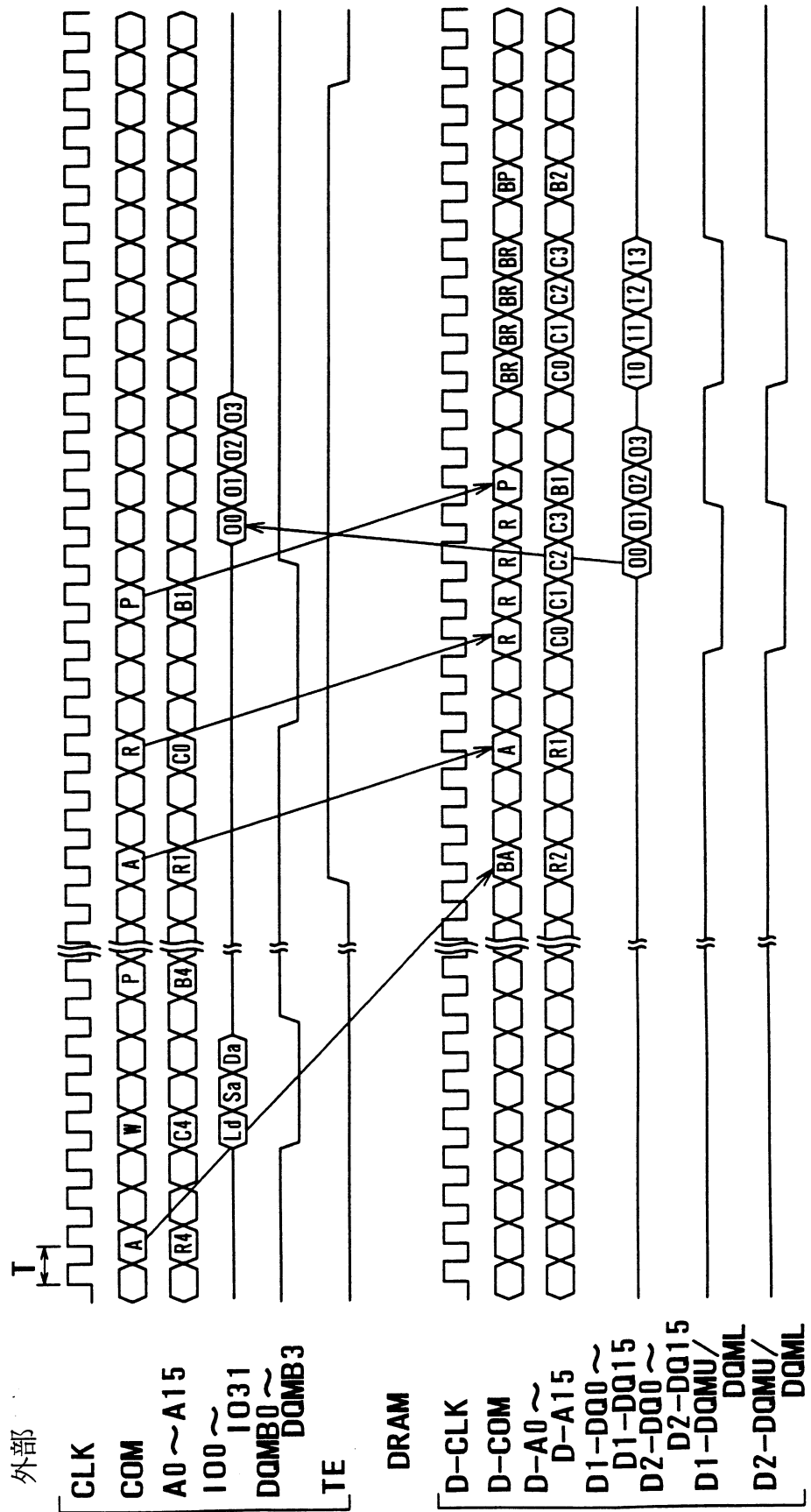




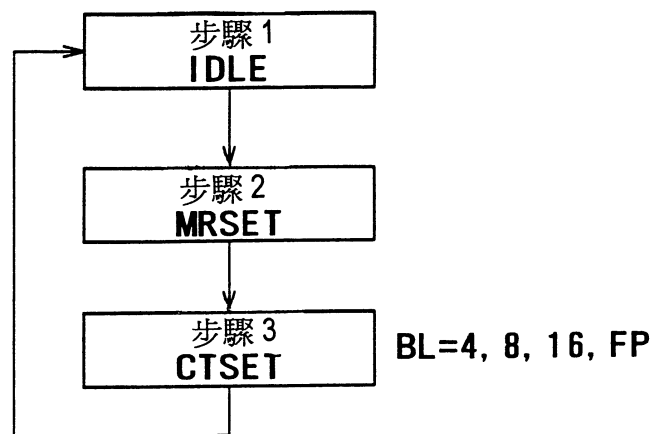




第 16 圖

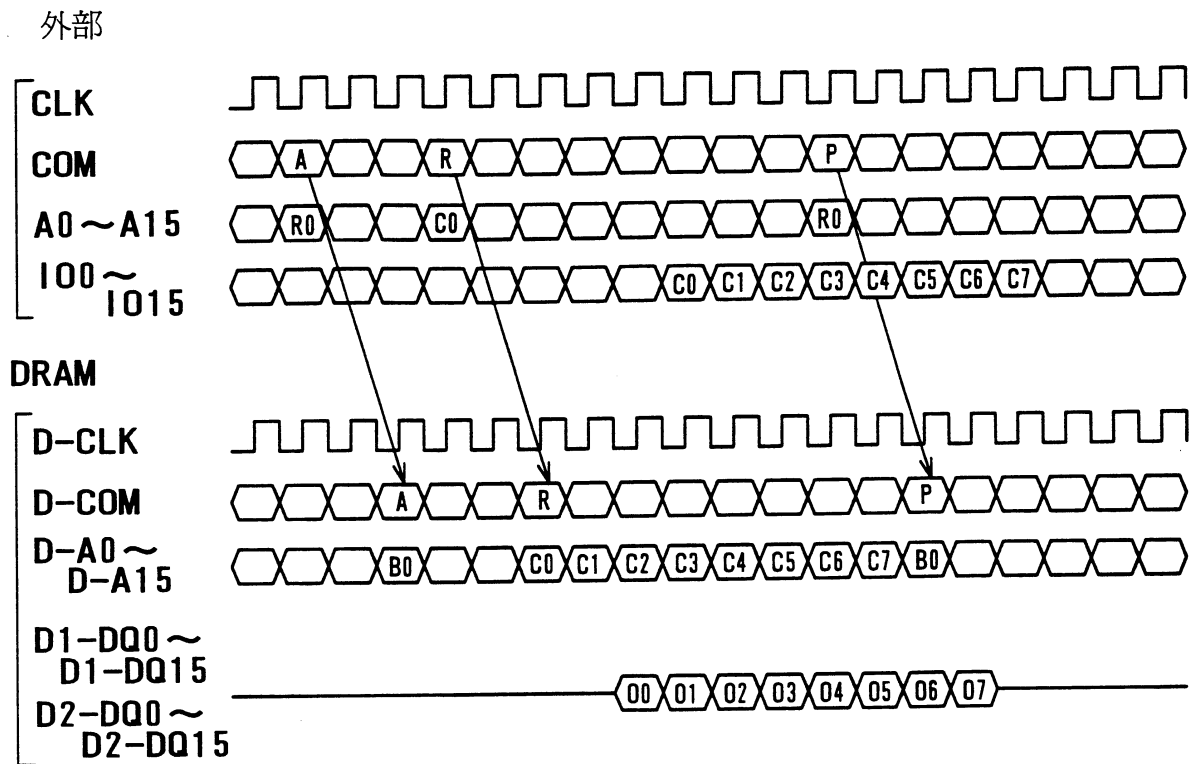


第 17 圖

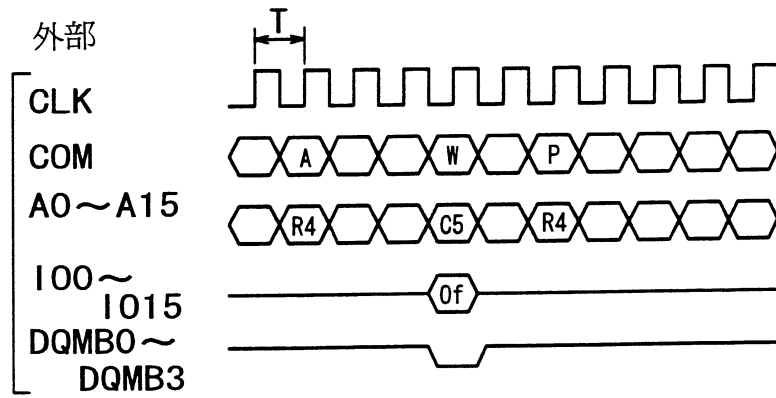




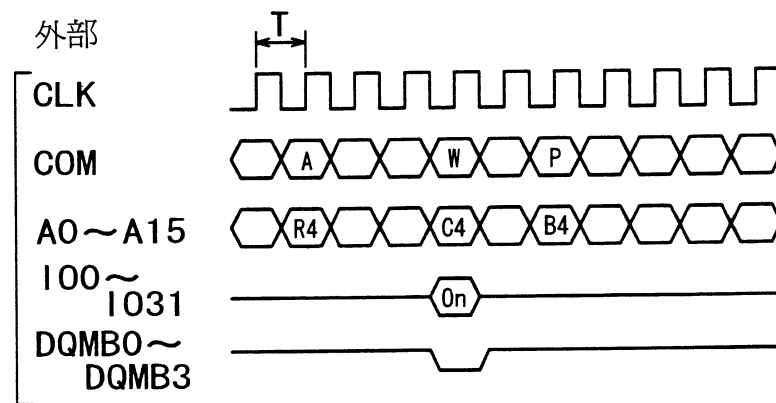
第 18 圖



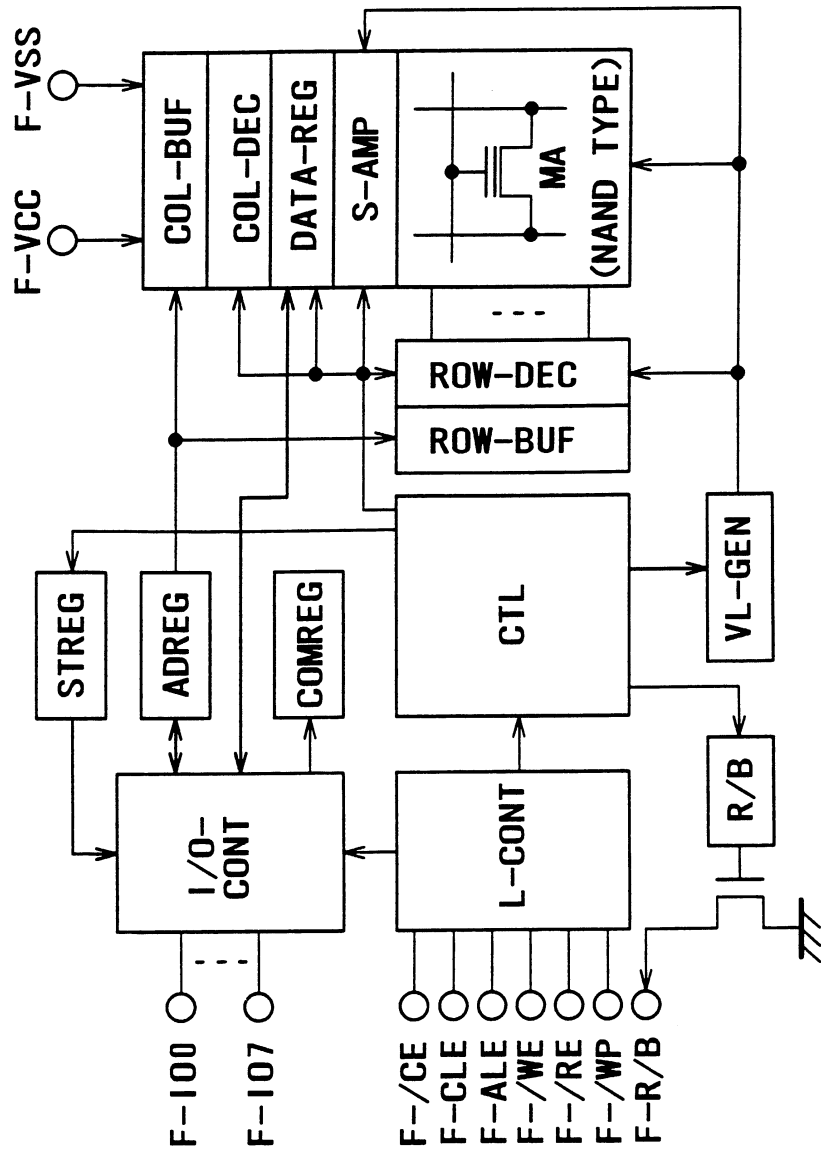
第 19A 圖



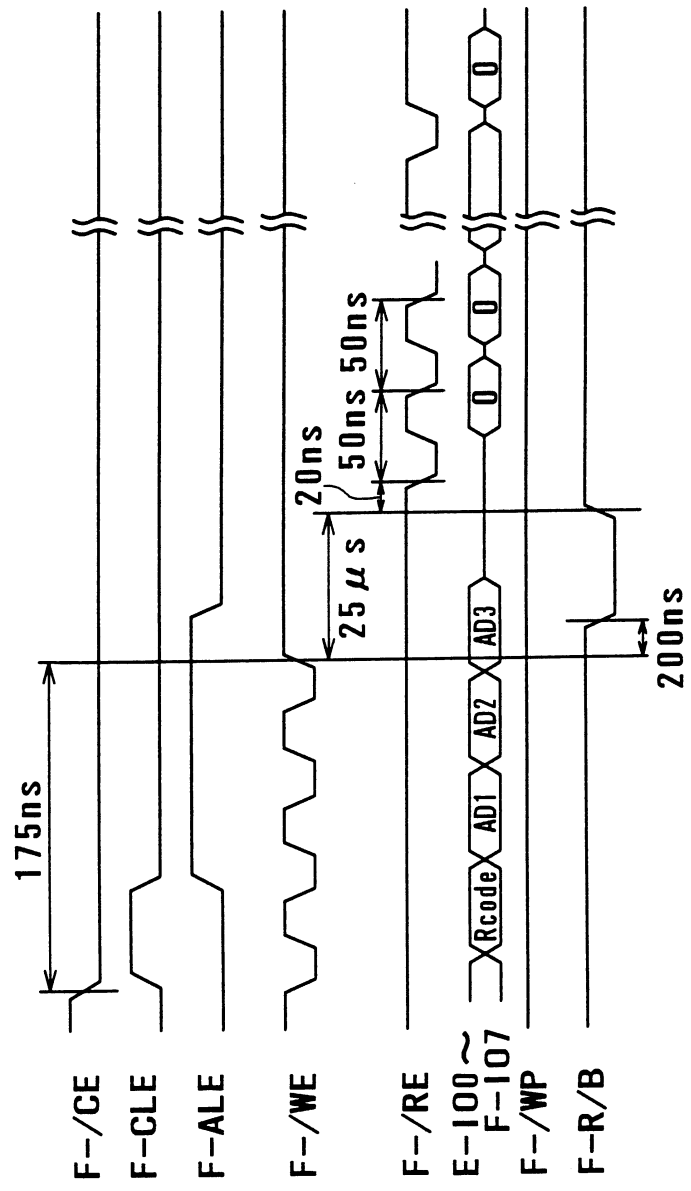
第 19B 圖



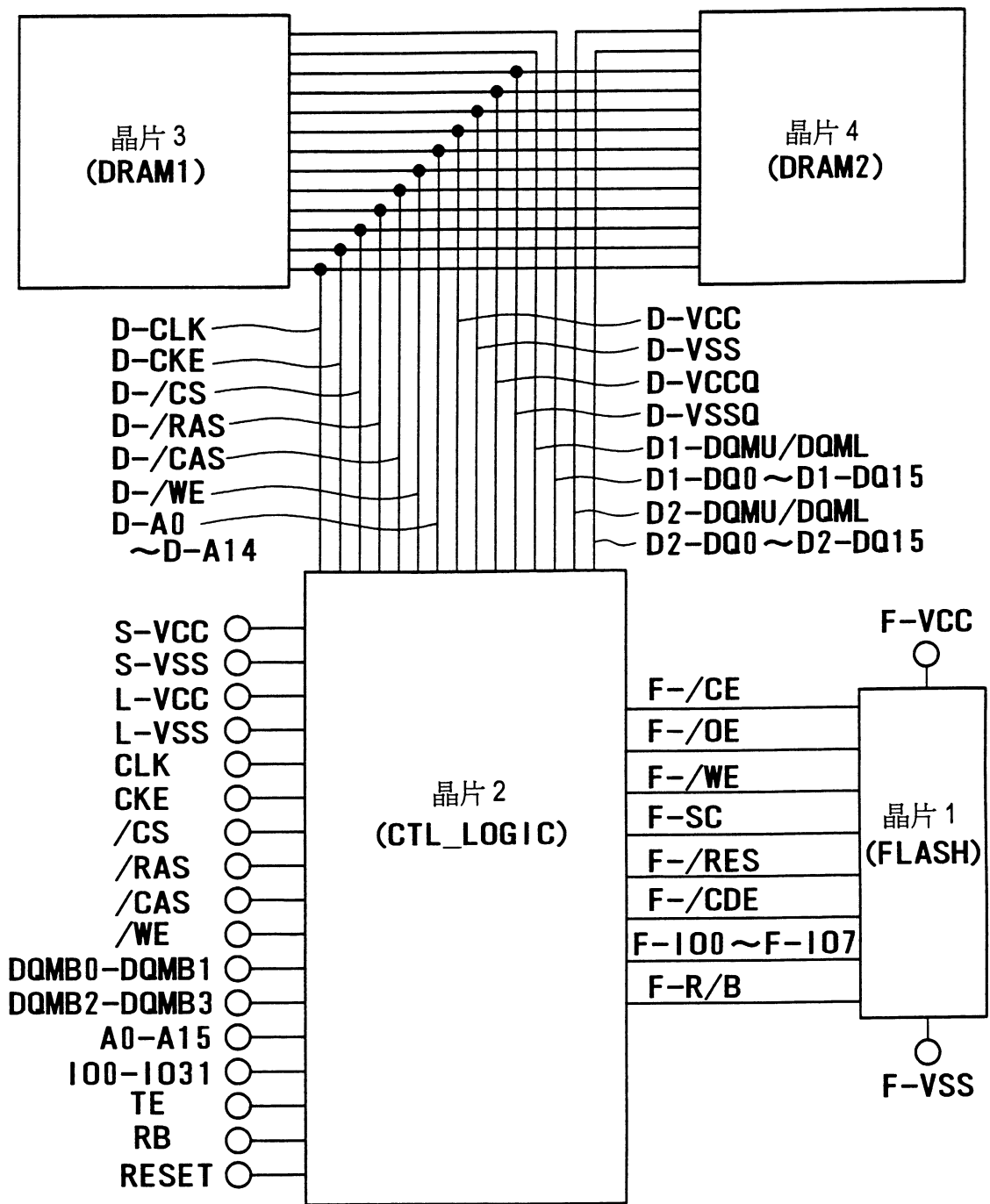
第 20 圖



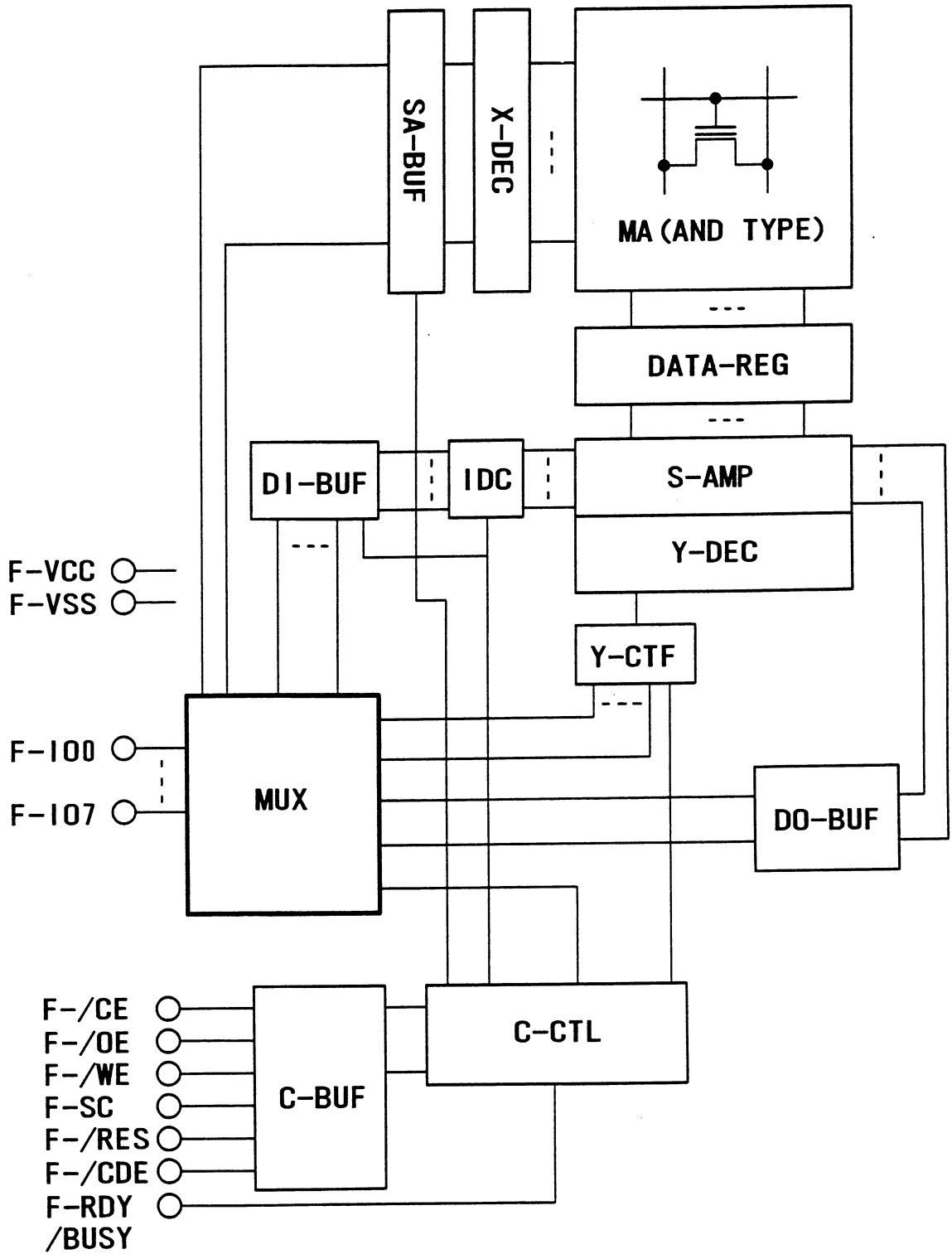
第 21 圖



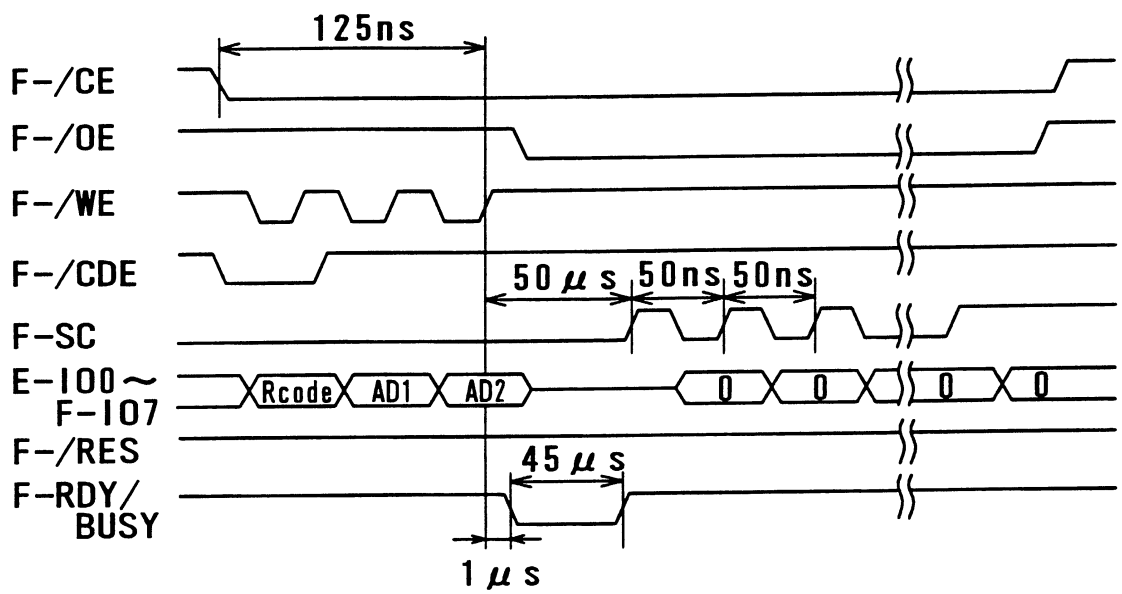
第 22 圖



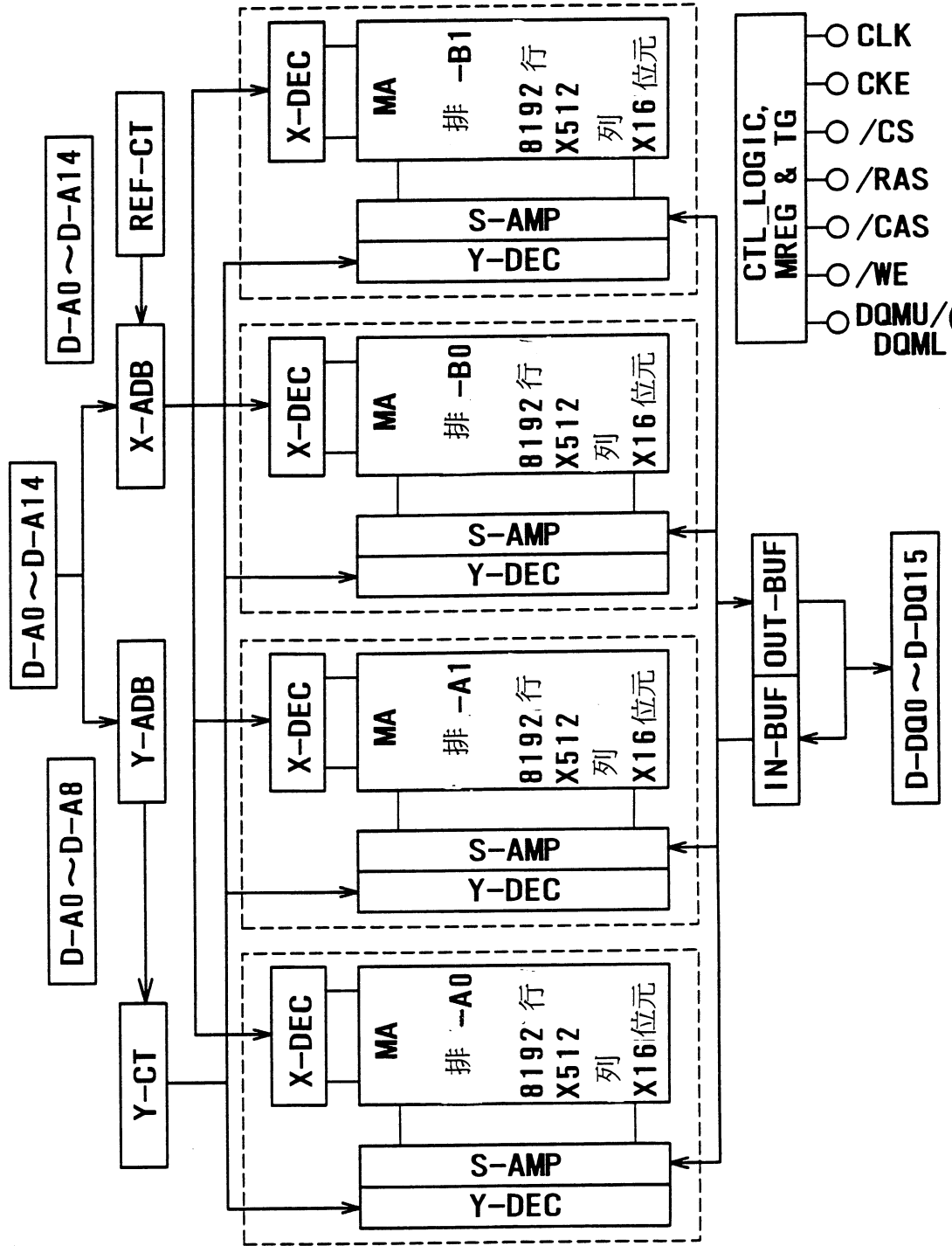
第 23 圖



第 24 圖

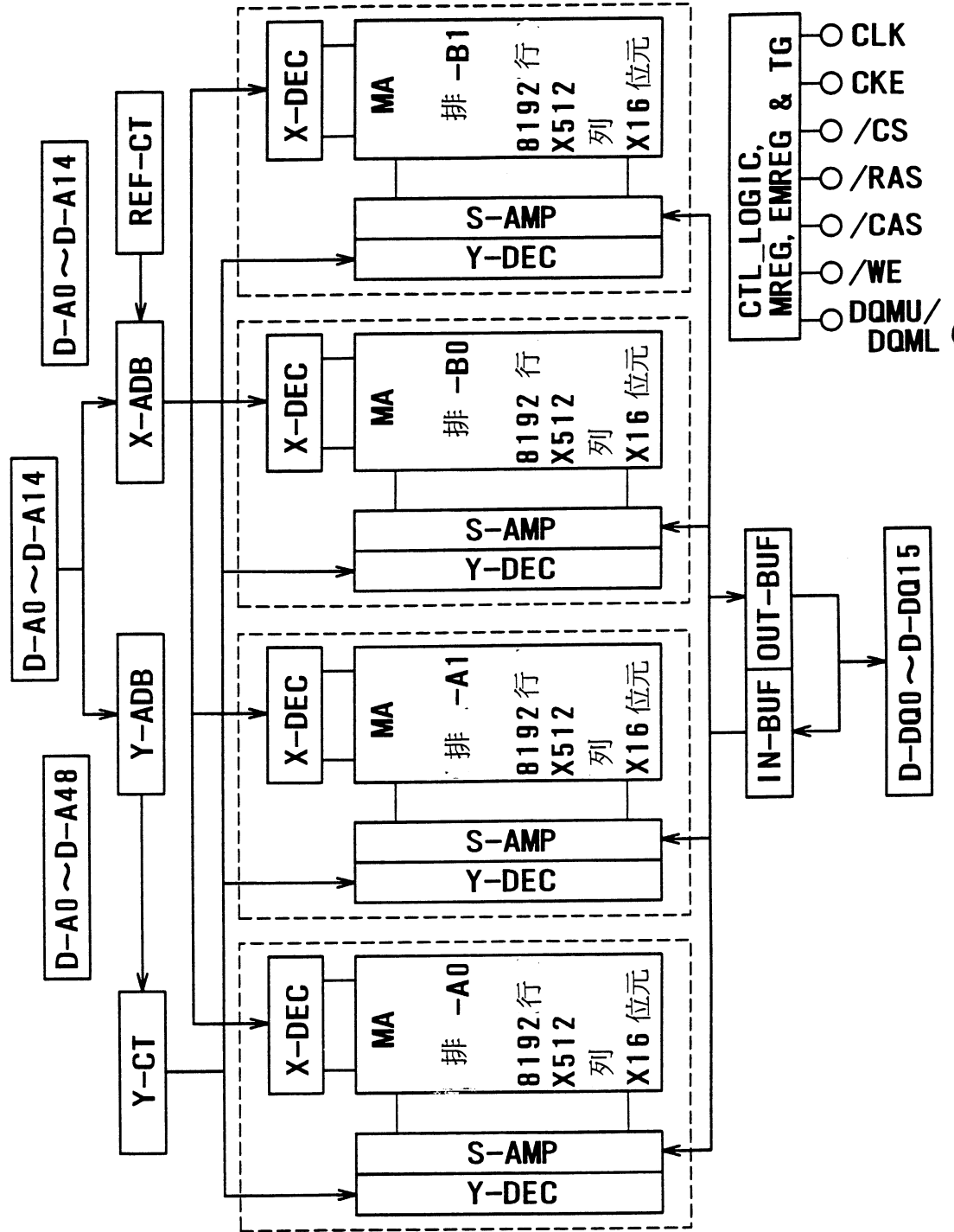


第 25 圖

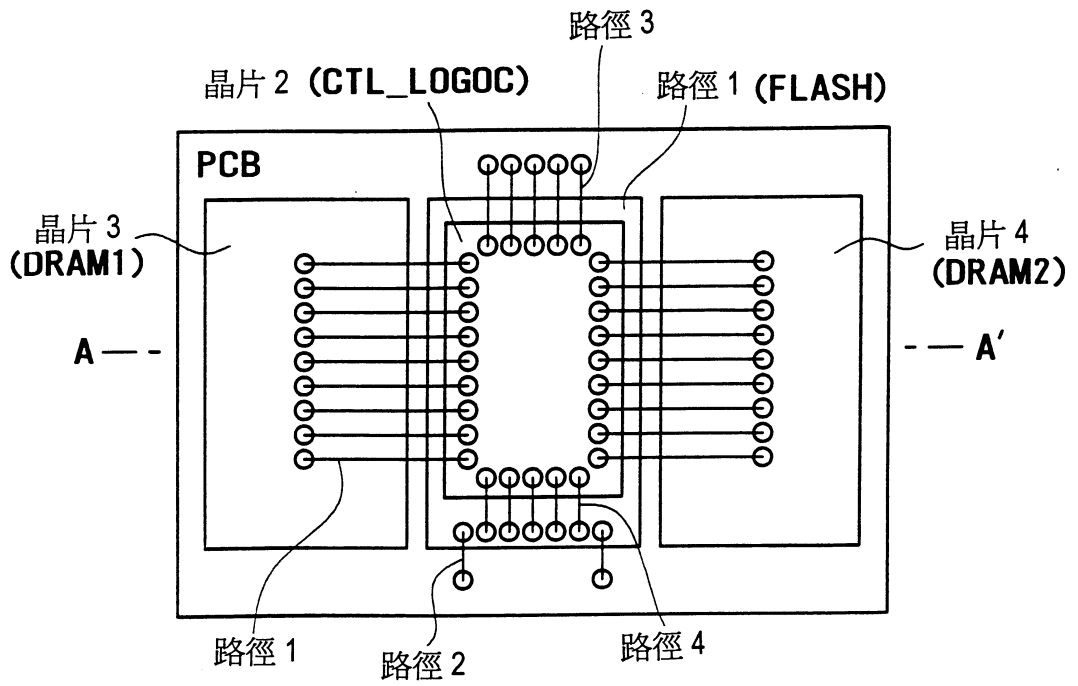




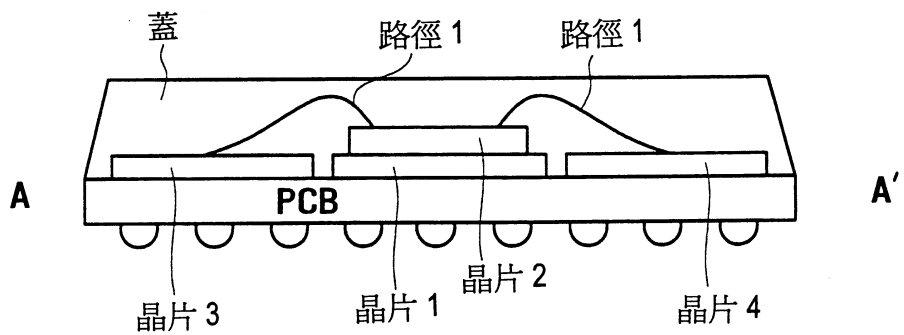
第 26 圖



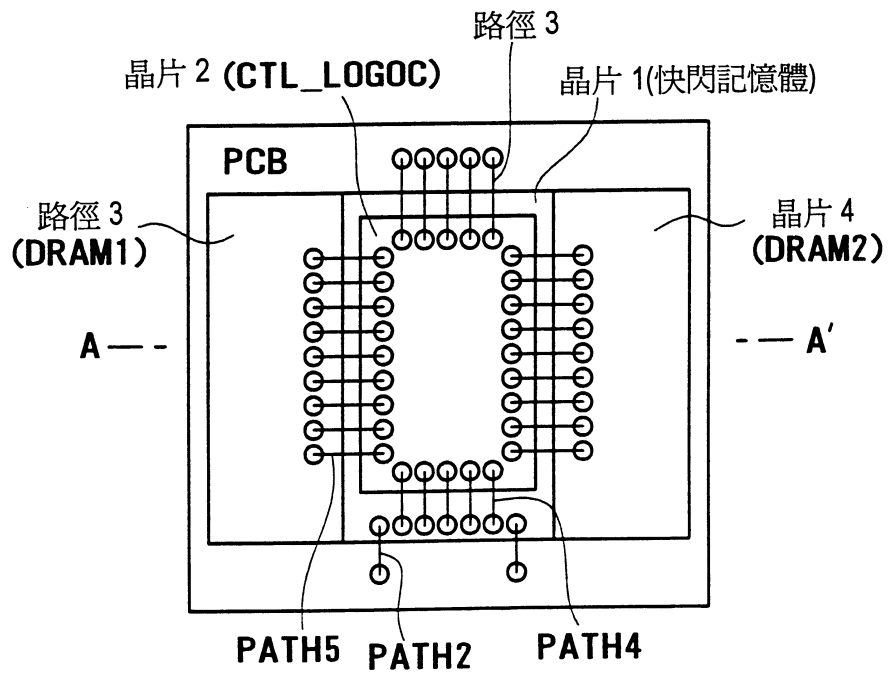
第 27A 圖



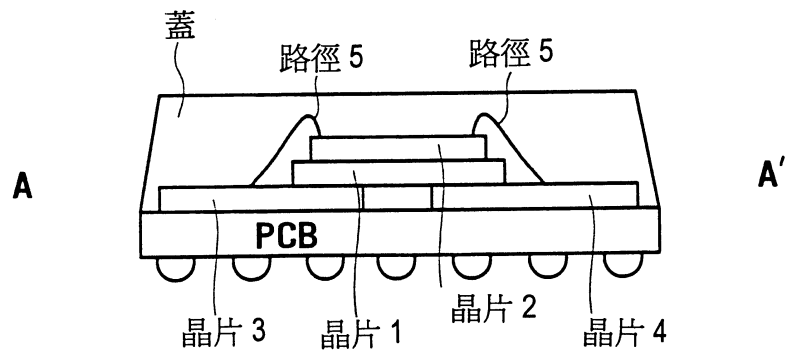
第 27B 圖



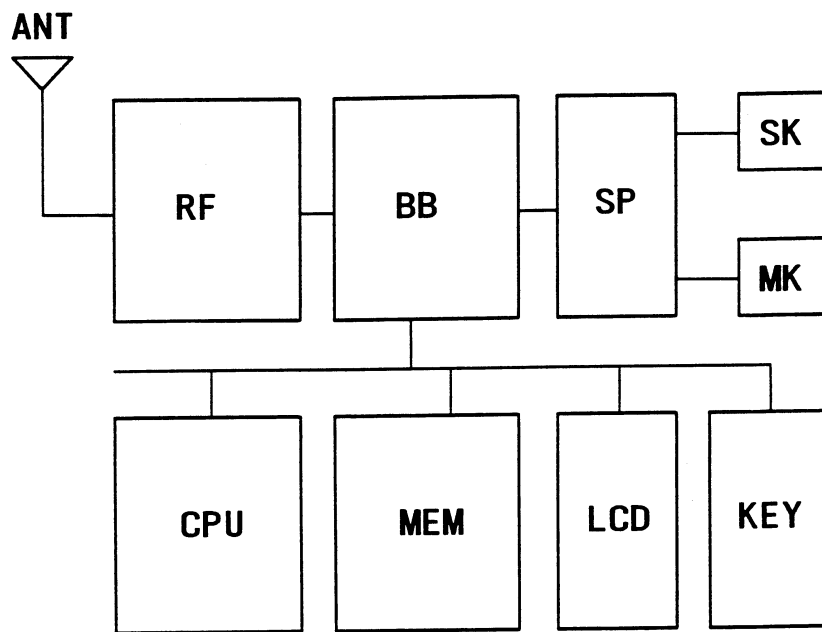
第 28A 圖



第 28B 圖



第 29 圖



- 柒、(一)、本案指定代表圖為：第 1 圖  
(二)、本代表圖之元件代表符號簡單說明：無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

I287795  
95  
全份 (1)

拾、申請專利範圍

第 92113761 號專利申請案

中文申請專利範圍修正本

民國 95 年 5 月 19 日修正

1. 一種記憶體系統，包含：

一非揮發性記憶體；

多個同步動態隨機存取記憶體；

包括有控制電路之多個電路，該控制電路與非揮發性記憶體以及多個同步動態隨機存取記憶體耦合，並控制該非揮發性記憶體以及該些多個同步動態隨機存取記憶體之存取；以及

多數個輸入/輸出端點，與該多個電路耦合，其中關於自非揮發性記憶體傳送資料至同步動態隨機存取記憶體中，係傳送有經錯誤校正後之資料，

其中經由輸入/輸出端點而自外部輸入之排作動指令以 2 個時脈週期或更多之出入時間而輸出至多個同步動態隨機存取記憶體，

其中該出入時間週期係為可程式化。

2. 如申請專利範圍第 1 項之記憶體系統，其中關於該出入時間，作為介於非揮發性記憶體以及同步動態隨機存取記憶體之間資料傳送之讀取以及寫入至同步動態隨機存取記憶體之指令發出係被暫時停止，而經由輸入/輸出端點而外部輸入之排作動指令被致能。

(2)

3. 如申請專利範圍第 1 項之記憶體系統，其中對於出入時間週期之程式化可經由輸入/輸出端點而外部執行。

4. 如申請專利範圍第 1 項之記憶體系統，其中讀取以及寫入操作係以與同步動態隨機存取記憶體所設定之脈衝長度之整數倍數之脈衝長度而執行。

5. 一種記憶體系統，包含：

一非揮發性記憶體；

多個同步動態隨機存取記憶體；

包括有控制電路之多個電路，該控制電路與非揮發性記憶體以及多個同步動態隨機存取記憶體耦合，並控制該非揮發性記憶體以及多個同步動態隨機存取記憶體之存取；以及

多數個輸入/輸出端點，與該多個電路耦合，其中指令介於非揮發性記憶體以及同步動態隨機存取記憶體之間資料傳送之指令、指示對於同步動態隨機存取記憶體之操作電源關閉之指令、以及指示關閉操作電源之指令，係經由同步動態隨機存取記憶體介面而個別發出。

6. 一種記憶體系統，包含：

一非揮發性記憶體；

多個同步動態隨機存取記憶體；

包括有控制電路之多個電路，該控制電路與非揮發性記憶體以及多個同步動態隨機存取記憶體耦合，並控制該非揮發性記憶體以及多個同步動態隨機存取記憶體之存取

(3)

；以及

多數個輸入/輸出端點，與該多個電路耦合，其中表示當操作電源啓動時自非揮發性記憶體至同步動態隨機存取記憶體初始傳送之資料範圍之傳送範圍，係被保持在非揮發性記憶體中。

7. 如申請專利範圍第 6 項之記憶體系統，其中該保持在非揮發性記憶體中之傳送範圍資料自給非揮發性記憶體中讀取，且在由表示當操作電源啓動時傳送範圍資料讀取範圍之非揮發性記憶體中之資料係被初始傳送至同步動態隨機存取記憶體並保持於其中。

8. 如申請專利範圍第 6 項之記憶體系統，其中該傳送範圍資料可在非揮發性記憶體中程式化。

9. 如申請專利範圍第 1 項之記憶體系統，其中該非揮發性記憶體係為 NAND 式快閃記憶體。

10. 如申請專利範圍第 1 項之記憶體系統，其中該非揮發性記憶體係形成在第一半導體晶片上，其中該電路係形成在第二半導體晶片上，其中同步動態隨機存取記憶體之一部份係形成在第三半導體晶片上，其中該同步動態隨機存取記憶體之另一部份係形成在第四半導體晶片上，其中該記憶體系統係為多晶片記憶體模組，其中該第一、第二、第三以及第四半導體晶片係被接合並閉合於該電路板上。

11. 如申請專利範圍第 1 項之記憶體系統，其中位在同步動態隨機存取記憶體之作爲設定模式暫存器以及延伸



(4)

模式暫存器之資料，係被保持。

12. 如申請專利範圍第 11 項之記憶體系統，其中當操作電源被啟動時，模式暫存器以及延伸模式暫存器設定操作經初始化執行以設定位在同步動態隨機存取記憶體中之模式暫存器以及延伸模式暫存器。

13. 如申請專利範圍第 7 項之記憶體系統，其中當自非揮發性記憶體而傳送至同步動態隨機存取記憶體在電源啟動時正在被初始化執行時，自動更新操作在同步動態隨機存取記憶體中執行。

14. 如申請專利範圍第 7 項之記憶體系統，其中在資料於電源啟動時初始化執行自非揮發性記憶體至同步動態隨機存取記憶體之資料傳送完成之後，該同步動態隨機存取記憶體係被立即保持在自行更新狀態。

15. 如申請專利範圍第 14 項之記憶體系統，其中在完成資料傳送之後，該同步動態隨機存取記憶體從自行更新狀態而移除，而資料自同步動態隨機存取記憶體中讀取。

16. 如申請專利範圍第 1 項之記憶體系統，其中該非揮發性記憶體係為 AND 式快閃記憶體。

17. 如申請專利範圍第 1 項之記憶體系統，其中該非揮發性記憶體具有一錯誤校正電路。

18. 如申請專利範圍第 17 項之記憶體系統，其中該非揮發性記憶體具有位址取代電路。