

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成30年9月13日(2018.9.13)

【公表番号】特表2017-533410(P2017-533410A)

【公表日】平成29年11月9日(2017.11.9)

【年通号数】公開・登録公報2017-043

【出願番号】特願2017-512369(P2017-512369)

【国際特許分類】

G 01 R 19/00 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

【F I】

G 01 R 19/00 B

H 01 L 27/04 T

【手続補正書】

【提出日】平成30年8月3日(2018.8.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のソースノードを備える電圧分配ソース構成要素と、

複数の電圧負荷ノードを備える分散型負荷回路と、

分散型ソース分配ネットワークであって、

前記複数のソースノードの中の各ソースノードを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続、および

複数の電圧タップノードであって、1つの電圧タップノードが前記複数の電圧負荷ノードの中の各電圧負荷ノードに対応する、複数の電圧タップノードを備える、分散型ソース分配ネットワークと、

電圧平均化回路であって、

複数の抵抗素子であって、前記複数の抵抗素子の中の各抵抗素子が、

前記複数の電圧タップノードの中の対応する電圧タップノードに結合された入力ノード、および

出力ノードを備える、複数の抵抗素子、ならびに

前記複数の抵抗素子の中の各抵抗素子の前記出力ノードに結合され、前記分散型負荷回路の平均電圧を供給するように構成された電圧出力ノードを備える、電圧平均化回路とを備える、分散型電圧ネットワーク回路。

【請求項2】

前記複数の抵抗素子の中の各抵抗素子が抗体を備える、請求項1に記載の分散型電圧ネットワーク回路。

【請求項3】

前記電圧平均化回路が、

接地ソースと前記複数の抵抗素子の中の各抵抗素子の前記出力ノードとの間に結合されたスケーリング抗体をさらに備え、

前記スケーリング抗体が、前記電圧出力ノード上の前記平均電圧をスケーリングするように構成される、請求項1に記載の分散型電圧ネットワーク回路。

**【請求項 4】**

複数のトランジスタをさらに備え、前記複数のトランジスタの中の各トランジスタが、前記複数のソースノードの中の1つのソースノードおよび前記複数の電圧負荷ノードの中の1つの電圧負荷ノードに対応する、請求項1に記載の分散型電圧ネットワーク回路。

**【請求項 5】**

前記複数のトランジスタの中の各トランジスタが、近似的に等しいゲート幅を有する、請求項4に記載の分散型電圧ネットワーク回路。

**【請求項 6】**

前記電圧平均化回路内の前記複数の抵抗素子の中の各抵抗素子が、近似的に等しい抵抗を有する、請求項5に記載の分散型電圧ネットワーク回路。

**【請求項 7】**

前記複数のトランジスタの中の少なくとも2つのトランジスタが、異なるゲート幅を有する、請求項4に記載の分散型電圧ネットワーク回路。

**【請求項 8】**

前記電圧平均化回路内の前記複数の抵抗素子の中の各抵抗素子が、前記対応する電圧タップノードの前記電圧負荷ノードに対応する前記トランジスタのゲート幅に基づく抵抗を有する、請求項7に記載の分散型電圧ネットワーク回路。

**【請求項 9】**

前記複数のトランジスタの中の各トランジスタが、n型金属酸化膜半導体(NMOS)トランジスタを備える、請求項4に記載の分散型電圧ネットワーク回路。

**【請求項 10】**

前記複数のトランジスタの中の各トランジスタが、p型金属酸化膜半導体(PMOS)トランジスタを備える、請求項4に記載の分散型電圧ネットワーク回路。

**【請求項 11】**

前記分散型負荷回路に供給される電圧を調整するように構成された電圧調整器回路をさらに備え、前記電圧調整器回路が、

基準電圧源に結合された第1の入力と、

前記電圧平均化回路の前記電圧出力ノードに結合された第2の入力と、

前記分散型ソース分配ネットワークに結合された出力とを備える、請求項1に記載の分散型電圧ネットワーク回路。

**【請求項 12】**

分散型負荷回路の平均電圧を計算する方法であって、

ソース電圧を前記分散型負荷回路の複数の電圧負荷ノードに分散型ソース分配ネットワークを介して分配するステップであって、前記分散型ソース分配ネットワークが、複数のソースノードの各ソースノードを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続を備える、分配するステップと、

前記複数の電圧負荷ノードにおいて前記ソース電圧を受けるステップと、

複数の電圧タップノードのうちの対応する電圧タップノードを介して前記複数の電圧負荷ノードの中の各電圧負荷ノードにおいて存在する電圧を決定するステップであって、1つの電圧タップノードが前記複数の電圧負荷ノードの中の各電圧負荷ノードに対応する、ステップと、

前記複数の電圧タップノードの中の各電圧タップノードにおいて存在する前記電圧を複数の抵抗素子の中の対応する抵抗素子に供給するステップと、

前記複数の抵抗素子の中の各抵抗素子の出力電圧を、前記分散型負荷回路の前記平均電圧を供給するように構成された電圧出力ノードに供給するステップとを含む、方法。

**【請求項 13】**

請求項 2 から 10 のいずれか一項に記載の分散型電圧ネットワーク回路を含む、オンダイ電流測定システムであって、

前記オンダイ電流測定システムは、

電圧源と、

複数のカスコードトランジスタと、

複数のヘッドスイッチトランジスタであって、前記複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタが前記電圧源に結合される、複数のヘッドスイッチトランジスタと、

複数のミラートランジスタであって、前記複数のミラートランジスタの中の各ミラートランジスタが前記電圧源に結合される、複数のミラートランジスタと  
を備え、

前記分散型ソース分配ネットワークが、

前記複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数のヘッドスイッチ抵抗性相互接続と、

前記複数のミラートランジスタの中の各ミラートランジスタを前記複数のカスコードトランジスタの中の対応するカスコードトランジスタのソースに相互接続する複数のミラー抵抗性相互接続と、

各ヘッドスイッチ電圧タップノードが前記複数の電圧負荷ノードの中の1つの電圧負荷ノードに対応する、複数のヘッドスイッチ電圧タップノードと、

各ミラー電圧タップノードが前記複数のカスコードトランジスタの中の1つのカスコードトランジスタに対応する、複数のミラー電圧タップノードと  
を備え、

前記電圧平均化回路が、複数の抗体およびヘッドスイッチ電圧出力ノードを備えるヘッドスイッチ電圧平均化回路であり、

前記複数の抗体の中の各抗体が、

前記複数のヘッドスイッチ電圧タップノードの中の対応するヘッドスイッチ電圧タップノードに結合された入力ノード、および

出力ノードを備え、

前記ヘッドスイッチ電圧出力ノードが、各抗体の前記出力ノードに結合され、前記分散型負荷回路内に存在する平均ヘッドスイッチ電圧を供給するように構成され、

前記オンダイ電流測定システムは、さらに、

複数の抗体およびミラー電圧出力ノードを備えるミラー電圧平均化回路であって、

前記複数の抗体の中の各抗体が、

前記複数のミラートランジスタの中の対応するミラートランジスタに結合された入力ノード、および

出力ノードを備え、

前記ミラー電圧出力ノードが、各抗体の前記出力ノードに結合され、前記複数のカスコードトランジスタ内に存在する平均ミラー電圧を供給するように構成された、ミラー電圧平均化回路と、

検出抗体に結合された前記複数のカスコードトランジスタの中の各カスコードトランジスタのドレインと、

電圧をアナログデジタル変換器(ADC)に供給するように構成された前記検出抗体と、

前記検出抗体からの前記電圧を、前記分散型負荷回路の電源電流を表すデジタル信号に変換するように構成された前記ADCと、

演算増幅器であって、

前記ヘッドスイッチ電圧出力ノードに結合された第1の演算増幅器入力、

前記ミラー電圧出力ノードに結合された第2の演算増幅器入力、および

前記複数のカスコードトランジスタに対応するゲートに結合された演算増幅器出力ノードを備える、演算増幅器と

を備える、オンダイ電流測定システム。

#### 【請求項 1 4】

前記ヘッドスイッチ電圧平均化回路が、

前記ヘッドスイッチ電圧平均化回路内の、接地ソースと前記複数の抗体の中の各抵抗

体の前記出力ノードとの間に結合されたスケーリング抵抗体をさらに備え、

前記スケーリング抵抗体が、前記ヘッドスイッチ電圧出力ノード上の前記平均ヘッドスイッチ電圧をスケーリングするように構成される、請求項13に記載のオンダイ電流測定システム。

【請求項 15】

前記分散型負荷回路に供給される電圧を調整するように構成された電圧調整器回路をさらに備え、前記電圧調整器回路が、

基準電圧源に結合された第1の電圧調整器入力と、

前記ヘッドスイッチ電圧平均化回路の前記ヘッドスイッチ電圧出力ノードに結合された第2の電圧調整器入力と、

前記複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタのゲート、および、前記複数のミラートランジスタの中の各ミラートランジスタのゲートに結合された電圧調整器出力とをさらに備える、請求項13に記載のオンダイ電流測定システム。