



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월08일
(11) 등록번호 10-0764740
(24) 등록일자 2007년10월01일

(51) Int. Cl.

G11C 16/30(2006.01)

(21) 출원번호 10-2006-0043882
(22) 출원일자 2006년05월16일
심사청구일자 2006년05월16일
(56) 선행기술조사문헌
JP07249295 A
(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

변대석

경기 용인시 풍덕천동 1168 삼성5차아파트 519동 303호

이희원

서울 관악구 신림3동 610-113

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 20 항

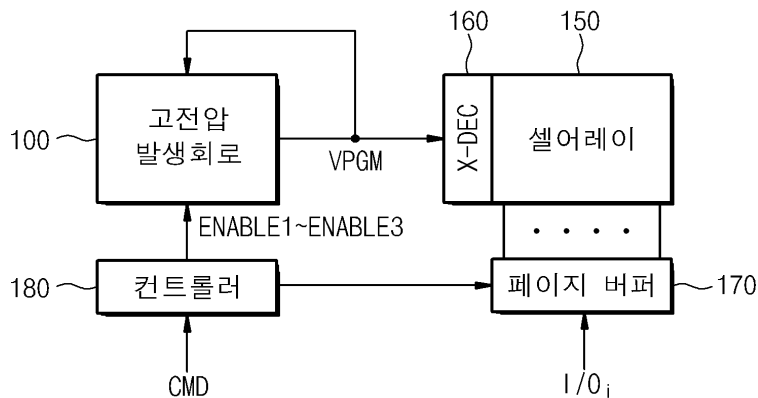
심사관 : 조명관

(54) 플래시 메모리 장치 및 그것을 위한 고전압 발생회로

(57) 요약

여기에 개시된 플래시 메모리 장치는, 워드라인들과 비트라인들의 교차영역에 배열된 복수 개의 메모리 셀들을 포함하는 메모리 셀 어레이, 선택된 워드라인으로 인가될 고전압을 발생하는 고전압 발생회로, 그리고 상기 고전압의 발생을 제어하는 복수 개의 인에이블 신호들을 발생하는 컨트롤러를 포함하며, 상기 고전압 발생회로는 상기 고전압을 스위칭 전압으로서 피드백 받고 상기 스위칭 전압과 상기 복수 개의 인에이블 신호들에 응답해서 상기 고전압의 레벨을 조절한다. 여기서, 상기 인에이블 신호들과 상기 스위칭 전압은, 상기 고전압이 상기 선택된 워드라인으로 인가되는 제 1 구간과 상기 고전압이 상기 선택된 워드라인으로 인가되지 않는 제 2 구간을 포함하는 한 주기의 프로그램 루프 단위로 천이된다.

대표도 - 도2



(56) 선행기술조사문헌
KR1020050044086 A
KR1020050057957 A
KR1020060018582 A

특허청구의 범위

청구항 1

펄핑클럭신호에 응답해서 고전압을 발생하는 차지펌프;

상기 고전압을 스위칭 전압으로 받아들여 복수 개의 분압 경로를 선택적으로 활성화하고, 상기 고전압이 활성화된 분압 경로를 통과하여 생성된 분압 결과를 출력하는 분압회로;

상기 분압 결과와 소정의 기준전압을 비교하고 비교신호를 발생하는 비교회로; 그리고

상기 비교신호에 응답해서 상기 펄핑클럭신호를 발생하는 클럭제어회로를 포함하는 것을 특징으로 하는 고전압 발생회로.

청구항 2

제 1 항에 있어서,

상기 스위칭 전압은 상기 고전압이 활성화되는 제 1 구간과 상기 고전압이 비활성화되는 제 2 구간을 포함하는 한 주기의 프로그램 루프 단위로 천이되는 것을 특징으로 하는 고전압 발생회로.

청구항 3

제 1 항에 있어서,

상기 고전압은 프로그램 전압, 페스 전압, 디커플링 전압, 읽기 전압 중 어느 하나인 것을 특징으로 하는 고전압 발생회로.

청구항 4

제 1 항에 있어서,

상기 차지 펌프와 상기 분압 회로 사이에 연결되어 상기 고전압의 전압변동을 제거하는 정류회로를 더 포함하는 것을 특징으로 하는 고전압 발생회로.

청구항 5

제 1 항에 있어서,

상기 분압회로는,

상기 스위칭 전압과 복수 개의 인에이블 신호들에 응답해서 복수 개의 게이트 제어 전압들을 발생하는 스위칭 회로; 그리고

상기 복수 개의 게이트 제어 전압들에 응답해서 상기 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 저항회로를 포함하는 것을 특징으로 하는 고전압 발생회로.

청구항 6

제 5 항에 있어서,

상기 인에이블 신호들은 상기 한 주기의 프로그램 루프 단위로 천이되는 것을 특징으로 하는 고전압 발생회로.

청구항 7

제 5 항에 있어서,

상기 저항회로는,

상기 고전압과 접지 사이에 직렬로 연결된 복수 개의 저항들; 그리고

각각이 상기 저항에 병렬로 연결되고, 상기 게이트 제어 전압을 제어 단자로 받아오는 복수 개의 스위칭 트랜지스터들을 포함하는 것을 특징으로 하는 고전압 발생회로.

청구항 8

제 7 항에 있어서,

상기 스위칭 트랜지스터들은 상기 게이트 제어 전압에 응답해서 대응되는 저항의 분압 경로를 스위칭하는 것을 특징으로 하는 고전압 발생회로.

청구항 9

제 7 항에 있어서,

상기 스위칭 트랜지스터들은 고전압 트랜지스터인 것을 특징으로 하는 고전압 발생회로.

청구항 10

제 5 항에 있어서,

상기 스위치 회로는 복수 개의 고전압 스위치들을 포함하는 것을 특징으로 하는 고전압 발생회로.

청구항 11

워드라인들과 비트라인들의 교차영역에 배열된 복수 개의 메모리 셀들을 포함하는 메모리 셀 어레이;

선택된 워드라인으로 인가될 고전압을 발생하는 고전압 발생회로; 그리고

상기 고전압의 발생을 제어하는 복수 개의 인에이블 신호들을 발생하는 컨트롤러를 포함하고,

상기 고전압 발생회로는 상기 고전압을 스위칭 전압으로서 피드백 받고, 상기 스위칭 전압과 상기 복수 개의 인에이블 신호들에 응답해서 상기 고전압의 레벨을 조절하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 인에이블 신호들과 상기 스위칭 전압은, 상기 고전압이 상기 선택된 워드라인으로 인가되는 제 1 구간과 상기 고전압이 상기 선택된 워드라인으로 인가되지 않는 제 2 구간을 포함하는 한 주기의 프로그램 루프 단위로 천이되는 것을 특징으로 하는 플래시 메모리 장치.

청구항 13

제 11 항에 있어서,

상기 고전압 발생회로는,

펄핑클럭신호에 응답해서 고전압을 발생하는 차지펄프;

상기 스위칭 전압에 응답해서 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 분압회로;

상기 분압 결과와 소정의 기준전압을 비교하고 비교신호를 발생하는 비교회로; 그리고

상기 비교신호에 응답해서 상기 펄핑클럭신호를 발생하는 클럭제어회로를 포함하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 14

제 11 항에 있어서,

상기 고전압은 프로그램 전압, 패스 전압, 디커플링 전압, 읽기 전압 중 어느 하나인 것을 특징으로 하는 플래시 메모리 장치.

청구항 15

제 13 항에 있어서,

상기 고전압 발생회로는, 상기 차지 펌프와 상기 분압 회로 사이에 연결되어 상기 고전압의 전압변동을 제거하는 정류회로를 더 포함하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 16

제 13 항에 있어서,

상기 분압회로는,

상기 스위칭 전압과 상기 복수 개의 인에이블 신호들에 응답해서 복수 개의 게이트 제어 전압들을 발생하는 스위칭 회로; 그리고

상기 복수 개의 게이트 제어 전압들에 응답해서 상기 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 저항회로를 포함하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 17

제 16 항에 있어서,

상기 저항회로는,

상기 고전압과 접지 사이에 직렬로 연결된 복수 개의 저항들; 그리고

각각이 상기 저항에 병렬로 연결되고, 상기 게이트 제어 전압을 제어 단자로 받아들이는 복수 개의 스위칭 트랜지스터들을 포함하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 18

제 17 항에 있어서,

상기 스위칭 트랜지스터들은 상기 게이트 제어 전압에 응답해서 대응되는 저항의 분압 경로를 스위칭하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 19

제 17 항에 있어서,

상기 스위칭 트랜지스터들은 고전압 트랜지스터인 것을 특징으로 하는 플래시 메모리 장치.

청구항 20

제 16 항에 있어서,

상기 스위칭 회로는 복수 개의 고전압 스위치들을 포함하는 것을 특징으로 하는 플래시 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 불 휘발성 메모리 장치에 관한 것으로, 좀 더 구체적으로는 플래시 메모리 장치 및 그것을 위한 고전압 발생회로에 관한 것이다.

<16> 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치와 불휘발성 메모리 장치로 구분된다. 휘발성 반도체 메모리 장치는 전원이 인가되는 동안 데이터가 저장되고 잊혀지며, 전원이 차단될 때 데이터는 소실된다. 반면, MROM(MASK ROM), PROM(Programmable ROM), EPROM(Erasable and Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM) 등과 같은 불휘발성 메모리 장치는 외부 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 불 휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 기억시키는 데 쓰인다. 불 휘발성 반도체 메모리 장치 중에서 플래시 메모리는 집적도가 높아 대용량 보

조 기억 장치로의 응용에 매우 유리하다. 특히, 낸드형(NAND-type) 플래시 메모리는 다른 플래시 메모리에 비해 집적도가 매우 높은 장점을 가진다.

<17> 잘 알려진 바와 같이, 낸드형 플래시 메모리의 메모리 셀은 F-N 터널링 전류(Fowler-Nordheim tunneling current)를 이용하여 소거 및 프로그램된다. 낸드형 플래시 EEPROM의 소거 및 프로그램 방법들은 미국특허공보 5,473,563호에 "NONVOLATILE SEMICONDUCTOR MEMORY"라는 제목으로, 미국특허공보 5,696,717호에 "NONVOLATILE INTEGRATED CIRCUIT MEMORY DEVICES HAVING ADJUSTABLE ERASE/PROGRAM THRESHOLD VOLTAGE VERIFICATION CAPABILITY"라는 제목으로 각각 게재되어 있다. 한편, 플래시 메모리 장치는 메모리 셀들의 문턱 전압 산포를 정확하게 제어하기 위해, 증가형 스텝 펄스 프로그래밍(incremental step pulse programming: ISPP) 방식에 의해 프로그램된다. ISPP 방식에 따라 프로그램 전압을 생성하는 회로의 예는, 미국특허공보 5,642,309호에 "AUTO-PROGRAM CIRCUIT IN A NONVOLATILE SEMICONDUCTOR MEMORY DEVICE"라는 제목으로 게재되어 있다.

<18> 도 1은 증가형 스텝 펄스 프로그램(ISPP) 스킴에 따라 프로그램되는 낸드형 플래시 메모리 장치의 프로그램 전압의 변화를 보여주는 도면이다.

<19> 도 1을 참조하면, 메모리 셀 어레이에 데이터를 저장하기 위해서는 먼저 데이터 로딩 명령이 플래시 메모리에 주어지고, 어드레스 및 데이터가 플래시 메모리에 연속적으로 입력된다. 프로그램될 데이터는 바이트 또는 워드 단위로 페이지 버퍼 회로에 순차적으로 전달된다. 페이지 버퍼 회로에 한 페이지 분량의 데이터가 로드되면, 페이지 버퍼 회로에 로딩된 데이터는 프로그램 명령에 따라 메모리 셀 어레이의 선택된 페이지의 메모리 셀들로 동시에 프로그램된다.

<20> 일반적으로, 데이터가 프로그램되는 사이클은 복수 개의 프로그램 루프들로 이루어지며, 각각의 프로그램 루프는 프로그램 구간(P)과 프로그램 검증 구간(V)으로 구분된다. 프로그램 구간(P)에서는, 잘 알려진 방식에 따라 메모리 셀들이 주어진 바이어스 조건하에서 프로그램된다. ISPP 프로그래밍 방식에서는 프로그램 루프들이 반복됨에 따라 프로그램 전압(VPGM1-VPGM5)이 단계적으로 증가한다. 프로그램 전압(VPGM2-VPGM5)은, 소정의 초기 프로그램 전압(VPGM1)으로부터 매 프로그램 루프마다 정해진 증가분(Δ VPGM)만큼 증가하게 된다. 선택된 워드라인으로 인가되는 각각의 프로그램 전압(VPGM1-VPGM5)은, 각 프로그램 루프에 대하여 일정 시간 동안(t) 일정한 레벨로 제공된다. 프로그램 검증 구간(V)에서는 메모리 셀들이 원하는 문턱 전압까지 프로그램되었는지의 여부가 검증된다. 프로그램 검증 동작을 수행하기 위해서는 프로그램 전압(VPGM1-VPGM5) 보다 낮은 레벨의 읽기 전압(VREAD)이 인가된다. 상술한 프로그램 루프들은 정해진 횟수 내에서 메모리 셀들이 모두 프로그램될 때까지 반복적으로 수행된다.

<21> 앞에서 설명한 바와 같이, ISPP 방식으로 프로그램되는 NAND 플래시 메모리의 경우에는 프로그램 전압(VPGM1-VPGM5)을 비롯하여 다양한 레벨의 고전압들을 필요로 한다. 셀 당 복수 개의 비트를 저장할 수 있는 MLC(Multi Level Cell) NAND 플래시 메모리의 경우에는 더욱 작은 구간으로 세분화된 고전압들을 필요로 한다. 특히, 정확하고 안정된 플래시 메모리의 동작을 보장하기 위해서는, 안정된 고전압의 발생이 필수적으로 요구된다.

발명이 이루고자 하는 기술적 과제

<22> 따라서, 본 발명의 목적은 고전압을 안정적으로 발생할 수 있는 플래시 메모리 장치 및 그것을 위한 고전압 발생회로를 제공하는 데 있다.

<23> 본 발명의 다른 목적은 오버슈트를 방지할 수 있는 플래시 메모리 장치 및 그것을 위한 고전압 발생회로를 제공하는 데 있다.

발명의 구성 및 작용

<24> 상기의 과제를 이루기 위하여 본 발명에 의한 고전압 발생회로는, 펄핑클럭신호에 응답해서 고전압을 발생하는 차지펌프; 상기 고전압을 스위칭 전압으로 받아들여 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 분압회로; 상기 분압 결과와 소정의 기준전압을 비교하고 비교신호를 발생하는 비교회로; 그리고 상기 비교신호에 응답해서 상기 펄핑클럭신호를 발생하는 클럭제어회로를 포함하는 것을 특징으로 한다.

<25> 이 실시예에 있어서, 상기 스위칭 전압은 상기 고전압이 활성화되는 제 1 구간과 상기 고전압이 비활성화되는 제 2 구간을 포함하는 한 주기의 프로그램 루프 단위로 천이되는 것을 특징으로 한다.

<26> 이 실시예에 있어서, 상기 고전압은 프로그램 전압, 패스 전압, 디커플링 전압, 읽기 전압 중 어느 하나인 것을

특징으로 한다.

- <27> 이 실시예에 있어서, 상기 차지 펌프와 상기 분압 회로 사이에 연결되어 상기 고전압의 전압변동을 제거하는 정류회로를 더 포함하는 것을 특징으로 한다.
- <28> 이 실시예에 있어서, 상기 분압회로는, 상기 스위칭 전압과 복수 개의 인에이블 신호들에 응답해서 복수 개의 게이트 제어 전압들을 발생하는 스위치 회로; 그리고 상기 복수 개의 게이트 제어 전압들에 응답해서 상기 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 저항회로를 포함하는 것을 특징으로 한다.
- <29> 이 실시예에 있어서, 상기 인에이블 신호들은 상기 한 주기의 프로그램 루프 단위로 천이되는 것을 특징으로 한다.
- <30> 이 실시예에 있어서, 상기 저항회로는, 상기 고전압과 접지 사이에 직렬로 연결된 복수 개의 저항들; 그리고 각각이 상기 저항에 병렬로 연결되고, 상기 게이트 제어 전압을 제어 단자로 받아오는 복수 개의 스위칭 트랜지스터들을 포함하는 것을 특징으로 한다.
- <31> 이 실시예에 있어서, 상기 스위칭 트랜지스터들은 상기 게이트 제어 전압에 응답해서 대응되는 저항의 분압 경로를 스위칭하는 것을 특징으로 한다.
- <32> 이 실시예에 있어서, 상기 스위칭 트랜지스터들은 고전압 트랜지스터인 것을 특징으로 한다.
- <33> 이 실시예에 있어서, 상기 스위치 회로는 복수 개의 고전압 스위치들을 포함하는 것을 특징으로 한다.
- <34> 상기의 과제를 이루기 위하여 본 발명에 의한 플래시 메모리 장치는, 워드라인들과 비트라인들의 교차영역에 배열된 복수 개의 메모리 셀들을 포함하는 메모리 셀 어레이; 선택된 워드라인으로 인가될 고전압을 발생하는 고전압 발생회로; 그리고 상기 고전압의 발생을 제어하는 복수 개의 인에이블 신호들을 발생하는 컨트롤러를 포함하고, 상기 고전압 발생회로는 상기 고전압을 스위칭 전압으로서 피드백 받고, 상기 스위칭 전압과 상기 복수 개의 인에이블 신호들에 응답해서 상기 고전압의 레벨을 조절하는 것을 특징으로 한다.
- <35> 이 실시예에 있어서, 상기 인에이블 신호들과 상기 스위칭 전압은, 상기 고전압이 상기 선택된 워드라인으로 인가되는 제 1 구간과 상기 고전압이 상기 선택된 워드라인으로 인가되지 않는 제 2 구간을 포함하는 한 주기의 프로그램 루프 단위로 천이되는 것을 특징으로 한다.
- <36> 이 실시예에 있어서, 상기 고전압 발생회로는, 펌핑클럭신호에 응답해서 고전압을 발생하는 차지펌프; 상기 스위칭 전압에 응답해서 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 분압회로; 상기 분압 결과와 소정의 기준전압을 비교하고 비교신호를 발생하는 비교회로; 그리고 상기 비교신호에 응답해서 상기 펌핑클럭신호를 발생하는 클럭제어회로를 포함하는 것을 특징으로 한다.
- <37> 이 실시예에 있어서, 상기 고전압은 프로그램 전압, 페스 전압, 디커플링 전압, 읽기 전압 중 어느 하나인 것을 특징으로 한다.
- <38> 이 실시예에 있어서, 상기 고전압 발생회로는 상기 차지 펌프와 상기 분압 회로 사이에 연결되어 상기 고전압의 전압변동을 제거하는 정류회로를 더 포함하는 것을 특징으로 한다.
- <39> 이 실시예에 있어서, 상기 분압회로는, 상기 스위칭 전압과 상기 복수 개의 인에이블 신호들에 응답해서 복수 개의 게이트 제어 전압들을 발생하는 스위치 회로; 그리고 상기 복수 개의 게이트 제어 전압들에 응답해서 상기 복수 개의 분압 경로를 선택적으로 활성화하고, 활성화된 분압 경로를 통해 상기 고전압을 분압하는 저항회로를 포함하는 것을 특징으로 한다.
- <40> 이 실시예에 있어서, 상기 저항회로는, 상기 고전압과 접지 사이에 직렬로 연결된 복수 개의 저항들; 그리고 각각이 상기 저항에 병렬로 연결되고, 상기 게이트 제어 전압을 제어 단자로 받아오는 복수 개의 스위칭 트랜지스터들을 포함하는 것을 특징으로 한다.
- <41> 이 실시예에 있어서, 상기 스위칭 트랜지스터들은 상기 게이트 제어 전압에 응답해서 대응되는 저항의 분압 경로를 스위칭하는 것을 특징으로 한다.
- <42> 이 실시예에 있어서, 상기 스위칭 트랜지스터들은 고전압 트랜지스터인 것을 특징으로 한다.
- <43> 이 실시예에 있어서, 상기 스위치 회로는 복수 개의 고전압 스위치들을 포함하는 것을 특징으로 한다.

- <44> (실시예)
- <45> 이하 본 발명에 따른 실시예를 첨부된 도면을 참조하여 상세히 설명한다.
- <46> 본 발명의 신규한 고전압 발생회로 및 그것을 구비한 플래시 메모리 장치는, 고전압 발생회로로부터 발생된 고전압을 스위칭 전압으로 피드백 받는다. 그리고, 피드백된 스위칭 전압과 컨트롤러로부터 발생된 복수 개의 인에이블 신호들에 응답해서 고전압의 레벨을 조절한다. 상기 스위칭 전압과 인에이블 전압들은 하나의 프로그램 구간과 하나의 프로그램 검증 구간으로 구성된 한 주기의 프로그램 루프 단위로 천이된다. 따라서, 스위칭 전압이 한 주기의 프로그램 루프 동안 일정 레벨을 유지할 수 있게 되어, 고전압 발생에 사용되는 분압 경로가 정확히 제어된다. 그 결과, 불필요한 펌핑 동작이 방지되고, 프로그램 전압이 비활성화 되는 프로그램 검증 구간 동안 오버슈트 현상이 발생하지 않게 된다.
- <47> 아래에서, 본 발명의 특징 및 기능을 설명하기 위한 한 예로서 플래시 메모리와 같은 불휘발성 메모리 장치에서 필요로 하는 고전압 발생회로가 사용된다. 하지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다. 본 발명에 따른 고전압 발생회로 및 이를 구비한 플래시 메모리 장치의 구성은 다음과 같다.
- <48> 도 2는 본 발명의 실시예에 따른 플래시 메모리 장치의 개략적인 구성을 보여주는 블록도이다. 도 2에는 낸드형 플래시 메모리 장치의 구성이 예시적으로 도시되어 있다.
- <49> 도 2를 참조하면, 본 발명에 따른 플래시 메모리 장치는 고전압 발생회로(100), 메모리 셀 어레이(150), 행 디코더 회로(160, 도면에는 'X-DEC'으로 표기됨), 페이지 버퍼(170), 및 컨트롤러(180)를 포함한다.
- <50> 메모리 셀 어레이(150)는 복수 개의 메모리 셀 블록들로 구성된다. 각 메모리 셀 블록은 복수 개의 메모리 셀 스트링들("낸드 스트링들")을 포함하며, 각각의 셀 스트링은 스트링 선택 트랜지스터 및 그라운드 선택 트랜지스터와, 메모리 셀들로서의 기능을 수행하는 복수 개의 플로팅 게이트 트랜지스터들을 포함한다. 플로팅 게이트 트랜지스터들의 채널들은, 스트링 선택 트랜지스터의 채널과 그라운드 선택 트랜지스터의 채널 사이에 직렬로 연결된다. 각각의 워드라인은 대응하는 플로팅 게이트 트랜지스터들의 제어 게이트들과 공통으로 연결되고, 각각의 비트라인은 대응하는 셀 스트링과 연결된다.
- <51> 메모리 셀 어레이(150)의 행(row)들은 행 디코더 회로(160)에 의해서 구동되고, 열(column)들은 페이지 버퍼 회로(170)에 의해서 각각 구동된다.
- <52> 행 디코더 회로(160)는 행 어드레스 정보에 따라 워드라인들 중 하나의 워드라인을 선택하고, 선택된 워드라인과 비선택된 워드라인들로 각 동작 모드에 따른 워드라인 전압들을 공급한다. 예를 들면, 행 디코더 회로(160)는 프로그램 동작 모드시 선택된 워드라인으로 프로그램 전압(program voltage ; VPGM)을 공급하고, 비선택된 워드라인들로 패스 전압(pass voltage)과 디커플링 전압(decoupling voltage) 중 어느 하나를 공급한다. 그리고, 행 디코더 회로(160)는 읽기 동작 모드시 선택된 워드라인으로 접지 전압(GND)을 공급하고, 비선택된 워드라인들로 읽기 전압(read voltage)을 공급한다.
- <53> 메모리 셀 어레이(150) 상에 배열된 비트라인들은 페이지 버퍼 회로(170)에 전기적으로 연결된다. 페이지 버퍼 회로(170)에는 각각의 비트라인에 대응하는 페이지 버퍼들이 제공될 수 있으며, 각각의 페이지 버퍼는 한 쌍의 비트라인들을 공유하도록 구현될 수도 있다. 페이지 버퍼 회로(170)는 컨트롤러(180)에 의해 제어된다. 각각의 페이지 버퍼는 동작 모드에 따라 감지 증폭기로서의 기능과, 기입 드라이버로서의 기능을 수행한다. 예를 들면, 페이지 버퍼 회로(170)는 프로그램 동작 모드시 프로그램될 데이터에 따라 비트라인들로 전원 전압(또는, 프로그램 금지 전압: program-inhibited voltage) 또는 접지 전압(또는, 프로그램 전압: program voltage)을 각각 공급한다. 그리고, 페이지 버퍼 회로(170)는 읽기/검증 동작 모드시 비트라인들을 통해 선택된 워드라인의 메모리 셀들로부터 데이터를 감지한다. 페이지 버퍼 회로(170)의 감지 동작을 통해 메모리 셀이 프로그램된 셀인지 소거된 셀인지 여부가 확인된다.
- <54> 컨트롤러(180)는 플래시 메모리 장치의 전반적인 프로그램 동작을 제어한다. 컨트롤러(180)는 입출력 핀들을 통해 입력되는 프로그램 명령(CMD)에 응답해서 프로그램 전압(VPGM)을 발생하는데 필요한 복수 개의 인에이블 신호들(ENABLE1-ENABLE3)을 발생한다.
- <55> 고전압 발생회로(100)는 컨트롤러(180)로부터 발생된 복수 개의 인에이블 신호들(ENABLE1-ENABLE3)에 응답해서 전원 전압보다 높은 고전압(예를 들면, 프로그램 전압(VPGM), 패스 전압, 디커플링 전압, 읽기 전압 등)을 발생한다. 아래에서는 본 발명이 적용되는 예로서 프로그램 전압(VPGM)을 발생하는 고전압 발생회로(100)의 구성에

대해서 설명하기로 한다. 그러나, 이와 같은 고전압 발생회로(100)의 고전압 발생의 특성은 프로그램 전압(VPGM)에만 국한되는 것이 아니며, 패스 전압, 디커플링 전압, 읽기 전압 등 다양한 레벨의 고전압들에도 적용될 수 있다.

- <56> 컨트롤러(180)로부터 발생된 제 1 인에이블 신호(ENABLE1)는 고전압 발생회로(100)를 활성화시키는 신호이다. 그리고, 제 2 및 제 3 인에이블 신호(ENABLE2 및 ENABLE3)는 프로그램 루프의 진행 상태에 따라서 프로그램 전압(VPGM)의 레벨을 조절하는 신호이다. 제 2 및 제 3 인에이블 신호(ENABLE2 및 ENABLE3)의 활성화 상태에 따라 스위칭 전압(VSWITCH)이 선택적으로 출력된다. 스위칭 전압(VSWITCH)은 고전압 발생회로(100) 내부에 구비되어 있는 프로그램 전압(VPGM)의 분압 경로를 제어한다. 분압 경로가 제어됨에 따라 고전압 발생회로(100)로부터 발생하는 프로그램 전압(VPGM)의 레벨이 조절된다. 아래에서 상세히 설명되겠지만, 본 발명에서는 프로그램 전압(VPGM)을 피드백 받아 스위칭 전압(VSWITCH)으로서 사용한다. 따라서, 본 발명에 따른 고전압 발생회로(100)는 스위칭 전압(VSWITCH)을 발생하기 위한 별도의 회로 구성을 필요로 하지 않고, 회로 구성이 간단해 진다.
- <57> 스위칭 전압(VSWITCH)의 레벨은 프로그램 전압(VPGM)을 안정되게 발생하는데 있어 매우 중요하다. 만일 스위칭 전압(VSWITCH)의 레벨이 충분히 높지 않으면, 분압 경로의 제어가 부정확하게 이루어지게 되고, 프로그램 전압(VPGM) 상에 오버슈트(overshoot)와 같은 불안정한 전압 상태가 발생할 수도 있다. 하지만, 본 발명에서는 고전압 발생회로(100)에서 발생된 프로그램 전압(VPGM)을 스위칭 전압(VSWITCH)으로서 사용한다. 따라서, 스위칭 전압(VSWITCH)의 레벨이 프로그램 전압(VPGM) 수준으로 충분히 높게 확보될 수 있게 되어, 분압 경로의 스위칭을 보다 정확히 수행할 수 있게 된다. 그 결과, 분압 경로에 누설 전류가 흐르는 것이 방지되어, 보다 안정된 레벨을 갖는 프로그램 전압(VPGM)을 발생할 수 있게 된다.
- <58> 도 3은 도 2에 도시된 본 발명에 따른 고전압 발생회로(100)의 상세 블록도이다. 그리고, 도 4는 도 2에 도시된 고전압 발생회로(100)의 회로도로서 차지 펌프(10)에 대한 구성이 생략되어 있다.
- <59> 도 3 및 도 4를 참조하면, 본 발명에 따른 고전압 발생회로(100)는 차지 펌프(10), 분압 회로(20), 비교회로(50), 및 클럭 제어회로(60)를 포함한다.
- <60> 차지펌프(10)는 클럭 제어회로(60)로부터 발생된 펌핑클럭신호(PUMP_CLK)에 응답해서 프로그램 전압(VPGM)을 발생한다. 비록 도 3 및 도 4에는 프로그램 전압(VPGM)을 발생하는 차지펌프(10)의 구성이 도시되어 있다. 그러나, 고전압 발생회로(100) 내부에는 플래시 메모리 장치의 프로그램 또는 소거 동작에 사용될 복수 개의 고전압들을 각각 발생할 수 있는 복수 개의 펌핑 회로들이 구비될 수 있다. 각각의 펌핑 회로로부터 발생할 수 있는 전압으로는 프로그램 전압, 패스 전압, 디커플링 전압, 읽기 전압 등이 있으며, 고전압 발생회로로부터 발생된 고전압을 스위칭 전압으로서 피드백 받는 본 발명의 특징은 상기 각각의 전압에도 모두 적용될 수 있다.
- <61> 분압회로(20)는 컨트롤러(180)로부터 발생된 제 1 인에이블 신호(ENABLE1)에 응답해서 활성화된다. 분압회로(20)는 차지펌프(10)로부터 발생된 프로그램 전압(VPGM)과, 컨트롤러(180)로부터 발생된 제 2 및 제 3 인에이블 신호(ENABLE2, ENABLE3)에 응답해서 분압 경로를 결정한다. 분압회로(20)는 결정된 분압 경로를 통해 프로그램 전압(VPGM)을 분압 한다. 결정된 분압 경로에 따라서 분압에 사용될 전체 저항의 값이 결정된다. 이와 같은 동작을 수행하기 위해 분압회로(20)는 스위치 회로(30)와 저항회로(40)로 구성된다.
- <62> 스위치 회로(30)는 복수 개의 고전압 스위치들(32, 33)을 포함한다. 각각의 고전압 스위치(32, 33)는 차지펌프(10)로부터 발생된 프로그램 전압(VPGM)을 스위칭 전압(VSWITCH)으로서 입력받는다. 고전압 스위치들(32, 33)은 컨트롤러(180)로부터 발생된 제 2 및 제 3 인에이블 신호(ENABLE2, ENABLE3)에 응답해서, 스위칭 전압(VSWITCH)(즉, 프로그램 전압(VPGM))을 선택적으로 출력한다. 이때 고전압 스위치들(32, 33)로부터 선택적으로 출력되는 스위칭 전압을 게이트 제어 전압(VG2, VG3)이라 한다. 고전압 스위치들(32, 33)로부터 발생된 게이트 제어 전압(VG2, VG3)은 저항회로(40)로 입력된다.
- <63> 한편, 제 2 및 제 3 인에이블 신호들(ENABLE2, ENABLE3)은 프로그램 전압(VPGM)의 레벨을 조절하는 신호로서, 프로그램 구간(P)과 프로그램 검증 구간(V)으로 구성된 한 주기의 프로그램 루프 단위로 천이 된다. 이때 프로그램 전압(VPGM) 역시 한 주기의 프로그램 루프 단위로 천이된다. 따라서, 스위칭 전압(VSWITCH)은 한 주기의 프로그램 루프 단위로 천이되고, 스위치 회로(30)로부터 발생된 게이트 제어 전압들(VG2, VG3) 역시 한 주기의 프로그램 루프 단위로 천이된다.
- <64> 저항회로(40)는 차지펌프(10)로부터 발생된 프로그램 전압(VPGM)을 분압하는 복수 개의 저항들(R1-R4)을 포함한다. 저항들(R1-R4)은 직렬로 연결된다. 직렬로 연결된 저항들(R1-R4) 중 최 상위의 저항(R1)은 차지펌프(10)로부터 프로그램 전압(VPGM)을 받아들인다. 그리고, 직렬로 연결된 저항들(R1-R4) 중 최 하위의 저항(R4)은 방전

트랜지스터(45)를 통해 접지와 연결된다. 방전 트랜지스터(45)는 컨트롤러(180)로부터 발생된 제 1 인에이블 신호(ENABLE1)에 의해 턴 온 되어, 저항회로(40)의 방전 경로, 즉 저항들(R1-R4)과 접지 사이의 방전 경로를 활성화한다. 저항회로(40)의 방전 경로가 활성화됨에 따라 저항회로(40)의 분압 동작이 활성화된다.

<65> 각각의 저항(R2-R3)에는 복수 개의 스위칭 트랜지스터들(42, 43)이 병렬로 연결된다. 스위칭 회로(30)로부터 발생된 게이트 제어 전압(VG2, VG3)은 스위칭 트랜지스터들(42, 43)의 게이트 단자로 인가된다. 스위칭 트랜지스터들(42, 43)은 게이트 단자로 인가된 게이트 제어 전압(VG2, VG3)에 응답해서 턴 온/오프 된다. 스위칭 트랜지스터들(42, 43)의 턴 온/오프 결과에 따라서, 대응되는 저항(R2, R3)에 전류가 차단/제공된다. 즉, 스위칭 트랜지스터들(42, 43)의 턴 온/오프 결과에 따라서 저항회로(40)의 분압 경로가 달라지게 되고, 프로그램 전압(VPGM)을 분압하는데 사용되는 전체 저항의 값이 달라지게 된다. 이때, 저항회로(40)에서 분압되는 프로그램 전압(VPGM)의 레벨은 전원 전압보다 높기 때문에, 스위칭 트랜지스터들(42, 43)은 고전압 트랜지스터로 구성된다.

<66> 스위칭 트랜지스터들(42, 43)의 턴 온/오프 결과에 따른 저항회로(40)의 분압 경로의 변화는 다음과 같다.

<67> 예를 들면, 인에이블 신호(ENABLE2)가 논리 하이 레벨로 활성화 되고 인에이블 신호(ENABLE3)가 논리 로우 레벨로 비활성화된 경우, 논리 하이 레벨의 게이트 제어 전압(VG2)과 논리 로우 레벨의 게이트 제어 전압(VG3)이 각각 발생된다. 이 경우, 스위칭 트랜지스터(42)는 턴 온 되고 스위칭 트랜지스터(43)는 턴 오프된다. 그 결과, 저항(R2)의 분압 경로는 비활성화되고 저항(R3)의 분압 경로는 활성화된다. 그러므로, 프로그램 전압(VPGM)은 저항(R1, R3, R4)에 의해 분압되고, 이때의 분압 결과(VDIV)는

$$VDIV = \frac{R4}{R1 + R3 + R4} VPGM$$

의 값을 가지게 된다. 그리고, 예를 들어 인에이블 신호들(ENABLE2, ENABLE3)이 모두 논리 하이 레벨이고 게이트 제어 전압들(VG2, VG3)이 모두 논리 하이 레벨인 경우, 스위칭 트랜지스터들(42, 43)은 모두 턴 온 된다. 그 결과, 저항(R2) 및 저항(R3)의 분압 경로는 모두 비활성화된다. 이때 프로그램 전압(VPGM)은 저항(R1, R4)에 의해 분압되고, 분압 결과(VDIV)는

$$VDIV = \frac{R4}{R1 + R4} VPGM$$

의 값을 가지게 된다.

<68> 스위칭 트랜지스터들(42, 43)은 게이트 제어 전압들(VG2, VG3)에 의해 턴 온/오프되어, 드레인 단자로 입력되는 20V 이상의 프로그램 전압(VPGM)을 소오스 단자로 전달한다. 따라서, 게이트 제어 전압들(VG2, VG3)은 최소한 프로그램 전압(VPGM) 수준을 유지하여야만 한다. 만일 게이트 제어 전압들(VG2, VG3)이 프로그램 전압(VPGM) 수준의 전압 레벨을 유지하지 못하면, 대응되는 스위칭 트랜지스터들(42, 43)이 불완전하게 턴 온/오프된다. 그 결과, 스위칭 트랜지스터들(42, 43)로 흘러야 하는 전류가 대응되는 저항(R2, R3)으로 흐르게 된다. 만일 스위칭 트랜지스터들(42, 43)로 흘러야 하는 전류가 대응되는 저항(R2, R3)으로 흐르는 경우, 분압에 사용되는 전체 저항의 값이 달라지게 되고, 분압 결과(VDIV)가 부정확해 진다. 본 발명에서는 이와 같은 문제를 해결하기 위해, 고전압 발생회로(100)로부터 발생된 프로그램 전압(VPGM)을 스위칭 전압(VSWITCH)으로서 받아들인다. 그리고, 스위칭 전압(VSWITCH)을 이용하여 게이트 제어 전압들(VG2, VG3)을 발생한다. 그 결과, 게이트 제어 전압들(VG2, VG3)의 레벨이 프로그램 전압(VPGM) 수준을 유지할 수 있게 된다.

<69> 비교회로(50)는 분압회로(20)로부터 발생된 분압 결과(VDIV)와 소정의 기준전압(VREF)을 비교하여 비교신호(COMP)를 발생한다. 비교회로(50)는 분압 결과(VDIV)와 기준전압(VREF)을 비교하는 차동증폭회로로 구성된다.

<70> 구체적으로, 비교회로(50)는 게이트 단자로 기준전압(VREF)을 받아들이는 제 1 트랜지스터(551)와, 게이트 단자로 분압 결과(VDIV)를 받아들이는 제 2 트랜지스터(552)와, 제 1 및 제 2 트랜지스터(551, 552)의 소오스 단자에 공통으로 연결된 방전 트랜지스터(555)를 포함한다. 비록 도면에 도시되지는 않았지만, 이 분야의 통상의 지식을 가진 이들에게 잘 알려져 있는 바와 같이 기준 전압(VREF)은 전원전압(VDD)과 같은 일정 레벨의 전압을 분압하여 발생된다. 제 1 및 제 2 트랜지스터(551, 552)와 방전 트랜지스터(555)는 NMOS 트랜지스터로 구성된다. 방전 트랜지스터(555)의 게이트에는 제 1 인에이블 신호(ENABLE1)가 인가된다. 방전 트랜지스터(555)의 드레인 단자는 제 1 및 제 2 트랜지스터(551, 552)의 소오스 단자에 공통으로 연결되고, 방전 트랜지스터(555)의 소오스 단자는 접지에 연결된다. 방전 트랜지스터(555)는 게이트로 인가되는 제 1 인에이블 신호(ENABLE1)에 응답해서 제 1 및 제 2 트랜지스터(551, 552)로부터 제공되는 전류를 방전한다. 이 외에도, 제 1 및 제 2 트랜지스터(551, 552)의 드레인 단자에는 제 3 및 제 4 트랜지스터(553, 554)가 각각 연결된다. 제 3 및 제 4 트랜지스터

(553, 554)는 PMOS 트랜지스터로 구성되며, 제 3 및 제 4 트랜지스터(553, 554)의 소오스 단자에는 제 6 트랜지스터(556)의 드레인 단자가 연결된다. 제 6 트랜지스터(556)의 소오스 단자에는 전원전압(VDD)이 연결된다.

<71> 이 외에도, 비교회로(50)에는 제 1 및 제 2 인버터(61, 52)와 전원전압 제어부(53)가 구비된다. 제 1 인버터(51)는 제 1 인에이블 신호(ENABLE1)를 반전한다. 제 2 인버터(52)는 제 1 인버터(51)의 출력을 반전한다. 전원전압 제어부(53)에는 전원전압(VDD)과 저항회로(40) 사이에 직렬로 연결된 제 1 및 제 2 전원전압 제어 트랜지스터들(531, 532)이 포함된다. 제 1 및 제 2 전원전압 제어 트랜지스터들(531, 532)의 게이트 단자로는 제 1 및 제 2 인버터(61, 52)의 출력이 인가된다. 제 1 및 제 2 전원전압 제어 트랜지스터들(531, 532)은 제 1 인에이블 신호(ENABLE1)가 활성화될 때 턴 오프되어, 프로그램 전압(VPGM)이 비교회로(50) 및 클럭 제어회로(60)로 직접 인가되는 것을 방지한다. 그 결과, 비교회로(50) 및 클럭 제어회로(60)에 포함되어 있는 저전압 회로들이 손상되는 것이 방지된다.

<72> 제 1 인에이블 신호(ENABLE1)가 활성화된 경우 비교회로(50)에서 수행되는 동작은 다음과 같다.

<73> 제 1 및 제 2 트랜지스터(551, 552)는 게이트 단자를 통해 기준전압(VREF)과, 저항회로(40)로부터 발생된 분압 결과(VDIV)를 각각 받아들인다. 제 1 및 제 2 트랜지스터(551, 552)의 전류 구동 능력은 게이트로 인가되는 기준전압(VREF)과 분압 결과(VDIV)의 크기에 따라 달라지게 된다. 제 1 및 제 2 트랜지스터(551, 552)에 흐르는 전류는 방전 트랜지스터(555)를 통해 방전된다.

<74> 예를 들어, 분압 결과(VDIV)가 기준전압(VREF) 보다 낮은 경우, 제 2 트랜지스터(552)의 전류 구동 능력은 제 1 트랜지스터(551)의 전류 구동 능력보다 작아지게 된다. 따라서, 제 2 트랜지스터(552)는 제 1 트랜지스터(551) 보다 적은 양의 전류를 방전 트랜지스터(555)를 통해 방전하게 된다. 그 결과, 제 1 트랜지스터(551)의 드레인 전압은 제 2 트랜지스터(552)의 드레인 전압 보다 낮아지게 된다. 낮아진 제 1 트랜지스터(551)의 드레인 전압은 공통으로 연결된 제 3 및 제 4 트랜지스터(553, 554)의 게이트 단자로 인가되어, 제 3 및 제 4 트랜지스터(553, 554)의 전류 구동 능력을 증가시킨다. 그 결과, 제 2 트랜지스터(552)의 드레인 전압이 증가하게 되고, 논리 하이 레벨의 비교신호(COMP)가 발생된다.

<75> 그리고, 예를 들어 분압 결과(VDIV)가 기준전압(VREF) 보다 높은 경우, 제 2 트랜지스터(552)의 전류 구동 능력은 제 1 트랜지스터(551)의 전류 구동 능력보다 커지게 된다. 따라서, 제 2 트랜지스터(552)는 제 1 트랜지스터(551) 보다 많은 양의 전류를 방전 트랜지스터(555)를 통해 방전하게 된다. 그 결과, 제 1 트랜지스터(551)의 드레인 전압은 제 2 트랜지스터(552)의 드레인 전압 보다 높아지게 된다. 높아진 제 1 트랜지스터(551)의 드레인 전압은 공통으로 연결된 제 3 및 제 4 트랜지스터(553, 554)의 게이트 단자로 인가되어, 제 3 및 제 4 트랜지스터(553, 554)의 전류 구동 능력을 감소시킨다. 그 결과, 제 2 트랜지스터(552)의 드레인 전압이 감소하게 되고, 논리 로우 레벨의 비교신호(COMP)가 발생된다.

<76> 클럭 제어회로(60)는 상기 비교신호(COMP)와 클럭 신호(CLK)에 응답해서 펌핑클럭신호(PUMP_CLK)를 발생한다. 예를 들어, 클럭 제어회로(60)는 저항회로(40)로부터 발생된 분압 결과(VDIV)가 소정의 기준전압(VREF) 보다 낮을 경우, 활성화된 펌핑클럭신호(PUMP_CLK)를 발생한다.

<77> 클럭 제어회로(60)는 펌핑클럭신호(PUMP_CLK)를 발생하기 위한 복수 개의 논리 게이트들(61-64)을 포함한다. 클럭 제어회로(60)는 비교회로(50)의 제 2 인버터(52)를 통해 제 1 인에이블 신호(ENABLE1)를 받아들인다. 클럭 제어회로(60)는 제 1 인에이블 신호(ENABLE1)가 활성화되어 있고 분압 결과(VDIV)가 기준전압(VREF) 보다 낮은 경우(즉, 논리 하이 레벨의 비교신호(COMP)가 발생된 경우), 논리 게이트(63)로 입력되는 클럭 신호(CLK)와 동일한 주기를 갖는 펌핑클럭신호(PUMP_CLK)를 발생한다. 차지펌프(10)는 펌핑클럭신호(PUMP_CLK)가 발생하는 구간 동안 차지펌핑 동작을 수행한다. 한편, 클럭 제어회로(60)는 제 1 인에이블 신호(ENABLE1)가 활성화되어 있고 분압 결과(VDIV)가 기준전압(VREF) 보다 높은 경우(즉, 논리 로우 레벨의 비교신호(COMP)가 발생된 경우), 펌핑클럭신호(PUMP_CLK)를 비활성화한다. 펌핑클럭신호(PUMP_CLK)는 제 1 인에이블 신호(ENABLE1)가 비활성화된 경우에도 비활성화된다. 이 분야의 통상의 지식을 가진 이들에게 잘 알려져 있는 바와 같이, 도 4에 도시된 클럭 제어회로(60)를 구성하는 논리 게이트들(61-64)의 구성은 다양한 형태로 변경 및 변형될 수 있다.

<78> 앞에서 설명한 바와 같이, 저항회로(40)로부터 발생된 분압 결과(VDIV)는 차지 펌프(10)의 펌핑 동작을 활성화하는 데 있어 매우 중요하다. 상기 분압 결과(VDIV)는 저항회로(40)에서 스위칭된 저항들(R2, R3)의 분압 경로와 밀접한 관계가 있다. 그리고, 상기 분압 경로는 스위칭 트랜지스터(42, 43)의 게이트로 인가되는 게이트 제어 전압(VG2, VG3)과 밀접한 관계가 있다. 여기서, 게이트 제어 전압(VG2, VG3)의 레벨은 실질적으로 스위칭 전압(VSWITCH)의 레벨에 의해 결정된다. 스위칭 트랜지스터(42, 43)들이 충분히 턴 온 되기 위해서는 스위칭 전압

(VSWITCH)의 레벨이 충분히 높은 레벨을 유지하여야 한다. 본 발명에서는 스위칭 전압(VSWITCH)을 충분히 높은 레벨로 유지하기 위해, 고전압 발생회로(100)로부터 발생된 프로그램 전압(VPGM)을 스위칭 전압(VSWITCH)으로서 사용한다. 만일 스위칭 전압(VSWITCH)의 레벨이 충분히 높게 유지되지 못할 경우, 스위칭 트랜지스터(42, 43)들이 충분히 턴 온 되지 못하여 프로그램 전압(VPGM)에 오버슈트가 발생하게 된다. 스위칭 전압(VSWITCH)의 레벨에 따른 게이트 제어 전압(VG2, VG3) 및 프로그램 전압(VPGM)의 변화를 살펴보면 다음과 같다.

- <79> 도 5는 스위칭 전압(VSWITCH) 및 게이트 제어 전압(VG2, VG3)이 스위칭 트랜지스터(42, 43)를 스위칭하기에 충분치 못한 전압 레벨을 가질 때의 프로그램 전압(VPGM)의 변화를 보여주는 도면이다. 그리고, 도 6은 본 발명에 따른 고전압 발생회로(100)의 동작 타이밍도로서, 도 5에 도시된 오버슈트 문제를 효과적으로 방지할 수 있는 스위칭 전압(VSWITCH) 및 게이트 제어 전압(VG2, VG3)의 구성이 도시되어 있다.
- <80> 도 5에는 프로그램 전압(VPGM)과 스위칭 전압(VSWITCH)이 일치하지 않을 경우가 예시되어 있다. 이처럼 프로그램 전압(VPGM)과 스위칭 전압(VSWITCH)이 일치하지 않는 경우는, 통상적으로 프로그램 전압(VPGM)과 스위칭 전압(VSWITCH)이 각각 별개의 펌프회로로부터 발생된 경우에 해당된다. 이와 달리, 도 6은 프로그램 전압(VPGM)과 스위칭 전압(VSWITCH)이 서로 일치하는 경우의 동작 타이밍도로서, 본 발명에서는 고전압 발생회로(100)로부터 발생된 프로그램 전압(VPGM)을 피드백 받아 스위칭 전압(VSWITCH)으로 사용한다.
- <81> 먼저 도 5를 참조하면, 스위칭 전압(VSWITCH)은 프로그램 루프가 진행됨에 따라 전압 레벨이 달라짐을 알 수 있다. 예를 들면, 스위칭 전압(VSWITCH)은 프로그램 전압(VPGM)이 메모리 셀 어레이(150)로 인가되는 프로그램 구간(P2, P3) 동안에는 프로그램 전압(VPGM)과 같거나 높은 레벨(LEVEL1, LEVEL3)을 갖게 된다. 따라서, 프로그램 구간(P2, P3) 동안 게이트 제어 전압(VG2, VG3) 역시 프로그램 전압(VPGM)과 같거나 높은 레벨(LEVEL1, LEVEL3)을 갖게 된다. 그러나, 프로그램 전압(VPGM)이 메모리 셀 어레이(150)로 인가되지 않는 프로그램 검증 구간(V2) 동안에는 스위칭 전압(VSWITCH)이 읽기 전압(VREAD)에 해당되는 레벨(LEVEL2)로 떨어지게 된다. 왜냐하면, 프로그램 검증 구간(V2) 동안에는 프로그램 전압(VPGM)이 비활성화되고, 읽기 전압(VREAD)이 활성화 되어 선택된 워드라인으로 인가되기 때문이다.
- <82> 워드라인으로 인가되는 전압의 활성화 상태에 따라 스위칭 전압(VSWITCH)의 레벨이 읽기 전압(VREAD) 수준으로 떨어지게 되면, 게이트 제어 전압(VG2, VG3)의 레벨이 낮아지게 된다. 따라서, 스위칭 트랜지스터(42, 43)가 충분히 턴 온 되지 못하게 되는 문제가 발생하게 된다. 그리고, 스위칭 트랜지스터(42, 43)에 대응되는 저항(R2, R3)으로 누설 전류가 흐르게 된다. 누설전류로 인해, 분압에 사용되는 전체 저항의 크기가 커지게 되고, 분압 결과(VDIV)는 낮아지게 된다. 낮아진 분압 결과(VDIV)는 펌핑클럭신호(PUMP_CLK)를 활성화시킨다. 차지펌프(10) 프로그램 검증 구간(V2) 동안 발생된 펌핑클럭신호(PUMP_CLK)에 응답해서 펌핑 동작을 수행한다. 그 결과, 프로그램 검증 구간(V2) 동안 프로그램 전압(VPGM)이 급격히 증가하게 되어, 오버슈트 현상이 발생하게 된다. 그러므로, 다음 프로그램 구간(P3)이 시작되기에 앞서 프로그램 전압(VPGM)을 안정화시킬 수 있는 시간이 추가적으로 요구된다.
- <83> 앞에서 설명한 바와 같이, 비록 프로그램 전압(VPGM)이 비활성화 되어 있는 프로그램 검증 구간이라 하더라도 일단 오버슈트가 발생하게 되면, 오버슈트된 프로그램 전압(VPGM)을 다시 안정화하는데 시간이 소요된다. 뿐만 아니라, 불필요한 차지펌프(10)의 펌핑 동작으로 인해 전류의 소모가 증가하게 된다. 이러한 현상은 플래시 메모리 장치의 집적도가 높아질수록, 그리고 플래시 메모리 장치에서 빠른 동작 속도를 요구할수록 플래시 메모리의 성능에 심각한 영향을 미치게 된다.
- <84> 본 발명에서는 이와 같은 문제를 방지하기 위해 고전압 발생회로(100)로부터 발생된 프로그램 전압(VPGM)을 피드백 받아 스위칭 전압(VSWITCH)으로서 사용한다. 프로그램 전압(VPGM)은 하나의 프로그램 구간과 하나의 프로그램 검증 구간으로 구성된 하나의 프로그램 루프 단위로 천이된다. 스위칭 전압(VSWITCH)과 게이트 제어 전압(VG2, VG3) 역시 하나의 프로그램 루프 단위로 천이된다. 따라서, 각각의 프로그램 루프에서 프로그램 구간(P2, P3)이 진행중이든 프로그램 검증 구간(V2)이 진행 중이든 상관없이 불필요한 펌핑 동작이 방지되고, 이로 인해 발생하는 오버슈트 현상 또한 효과적으로 방지된다.
- <85> 도 7은 본 발명의 다른 실시예에 따른 고전압 발생회로(110)의 구성을 보여주는 블록도이다. 도 7에 도시된 고전압 발생회로(110)는 차지 펌프(10)와 스위치 회로(30) 사이에 연결된 정류회로(70)를 제외하면, 도 3에 도시된 고전압 발생회로(100)와 실질적으로 동일한 구성을 가진다. 따라서, 동일한 구성에 대해서는 동일한 도면 번호를 부가하였고, 동일한 구성에 대한 중복 설명은 생략하기로 한다.
- <86> 도 3 및 도 7을 참조하면, 본 발명은 고전압 발생회로(100, 110)로부터 발생된 프로그램 전압(VPGM)을 직접 스

위칭 전압(VSWITCH)로 사용할 수도 있고, 정류회로(70)를 통해 프로그램 전압(VPGM)에 존재하는 전압 변동을 제거한 후 스위칭 전압(VSWITCH)로 사용할 수도 있다. 정류회로(70)는 다이오드와 같은 정류 소자를 사용할 수도 있고, 고주파 성분의 노이즈 성분을 제거하는 로우패스 필터(LPF) 등을 사용할 수도 있다. 이 분야의 통상의 지식을 가진 이들에게 잘 알려져 있는 바와 같이, 정류회로(70)는 다양한 형태로 변경 및 변형할 수 있다. 또한, 이상에서는 본 발명에 따른 고전압 발생회로(100)에서 발생하는 고전압으로서 프로그램 전압(VPGM)을 예로 들어 설명하였으나, 이 역시 본 발명이 적용되는 일 예에 불과하며, 다양한 종류의 고전압, 예를 들면 패스 전압, 디커플링 전압, 읽기 전압 등에도 본 발명이 적용될 수 있다.

<87> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

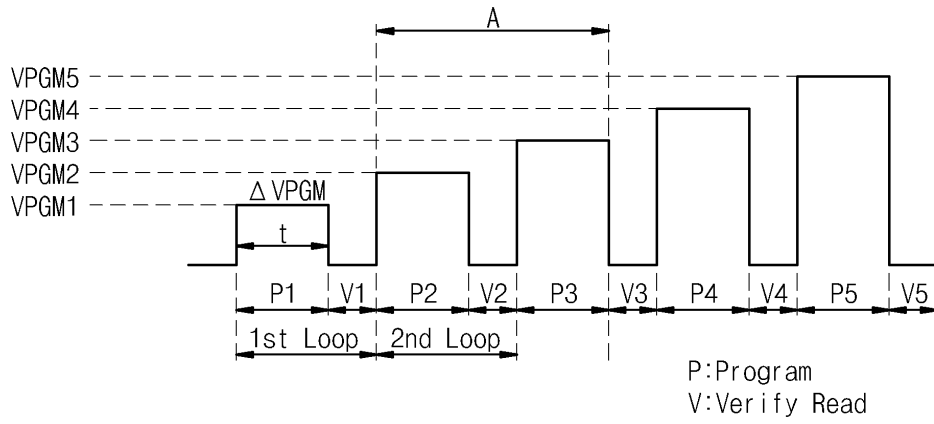
<88> 이상과 같은 본 발명에 의하면, 고전압 발생회로부터 발생하는 고전압에 대한 오버슈트가 효과적으로 방지될 수 있게 된다. 따라서, 플래시 메모리 장치에서 필요로 하는 고전압을 안정적으로 발생시킬 수 있게 된다.

도면의 간단한 설명

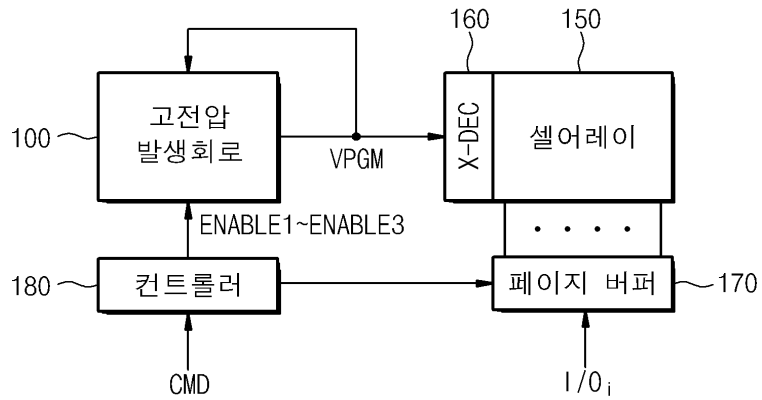
- <1> 도 1은 증가형 스텝 펄스 프로그램(ISPP) 스킴에 따라 프로그램되는 낸드형 플래시 메모리 장치의 프로그램 전압의 변화를 보여주는 도면;
- <2> 도 2는 본 발명의 실시예에 따른 플래시 메모리 장치의 개략적인 구성을 보여주는 블록도;
- <3> 도 3은 도 2에 도시된 본 발명에 따른 고전압 발생회로의 상세 블록도;
- <4> 도 4는 도 2에 도시된 고전압 발생회로의 회로도;
- <5> 도 5는 스위칭 전압(VSWITCH) 및 게이트 제어 전압(VG2, VG3)이 스위칭 트랜지스터를 스위칭하기에 충분치 못한 전압 레벨을 가질 때의 프로그램 전압(VPGM)의 변화를 보여주는 도면;
- <6> 도 6은 본 발명에 따른 고전압 발생회로의 동작 타이밍도; 그리고
- <7> 도 7은 본 발명의 다른 실시예에 따른 고전압 발생회로의 구성을 보여주는 블록도이다.
- <8> *도면의 주요 부분에 대한 부호의 설명*
- <9> 10 : 차지펌프 20 : 분압회로
- <10> 30 : 스위치회로 40 : 저항회로
- <11> 50 : 비교회로 60 : 클럭제어회로
- <12> 70 : 정류회로 100, 110 : 고전압 발생회로
- <13> 150 : 메모리 셀 어레이 160 : 행 디코더 회로
- <14> 170 : 페이지 버퍼 180 : 컨트롤러

도면

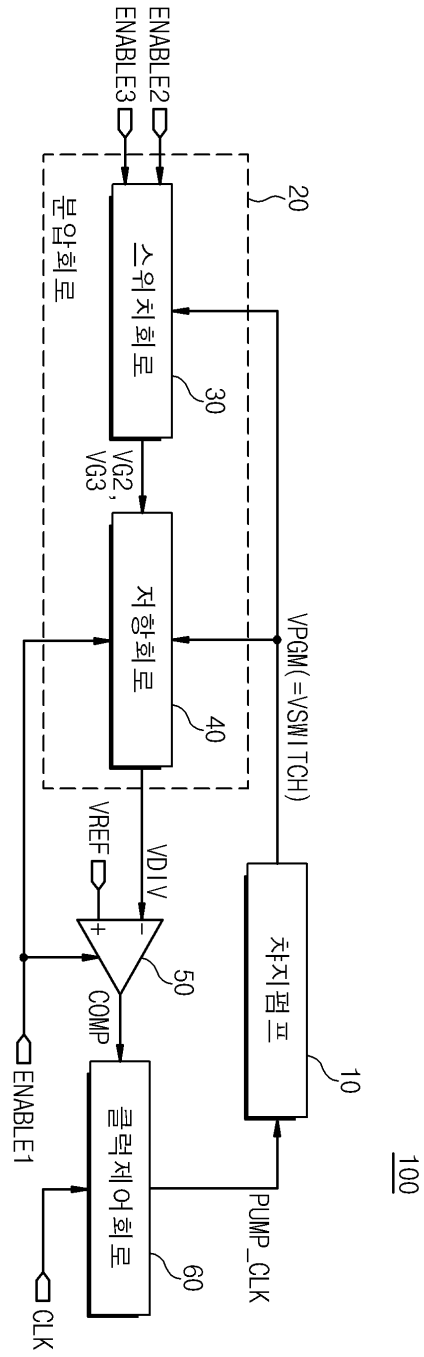
도면1



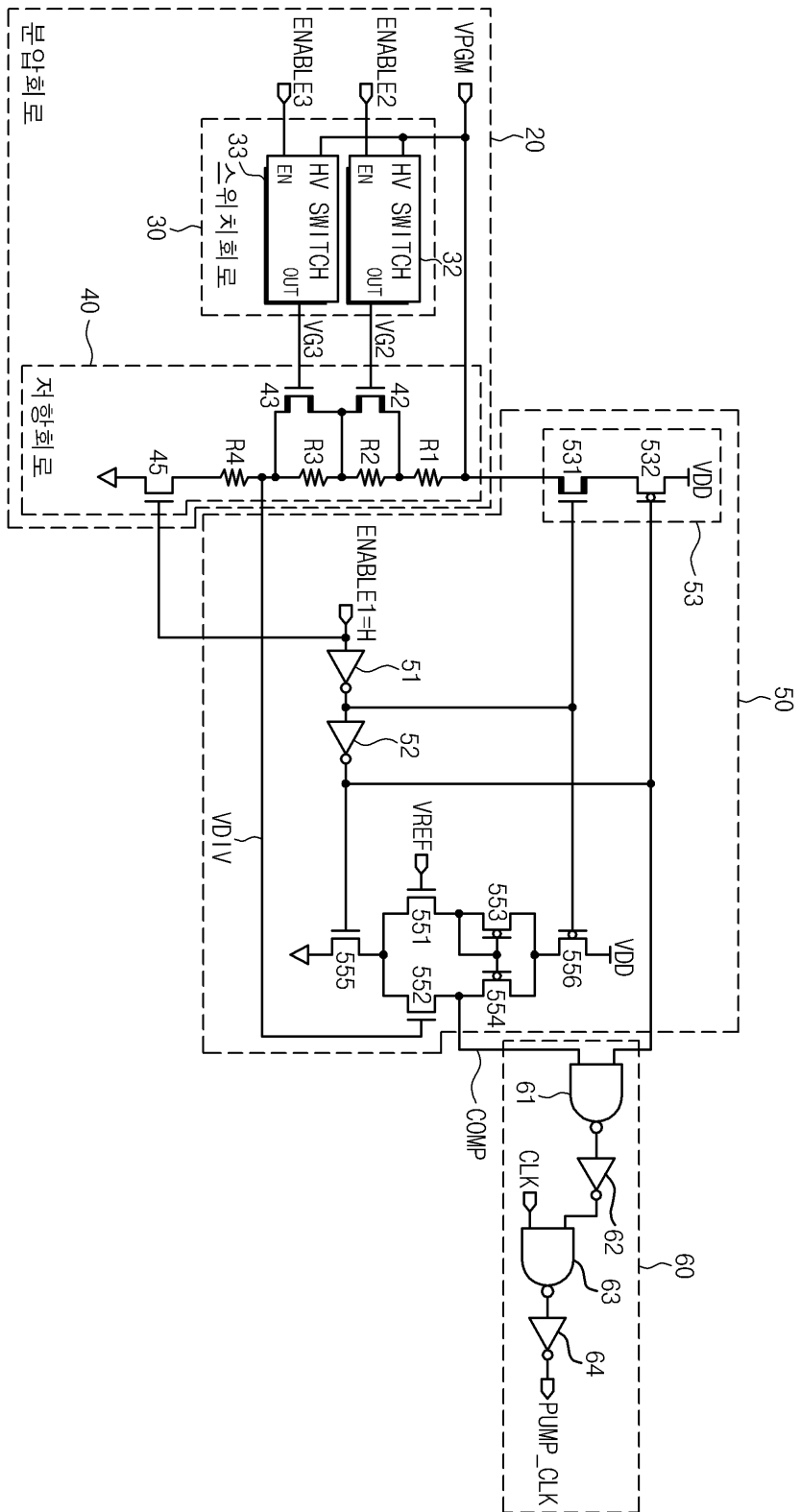
도면2



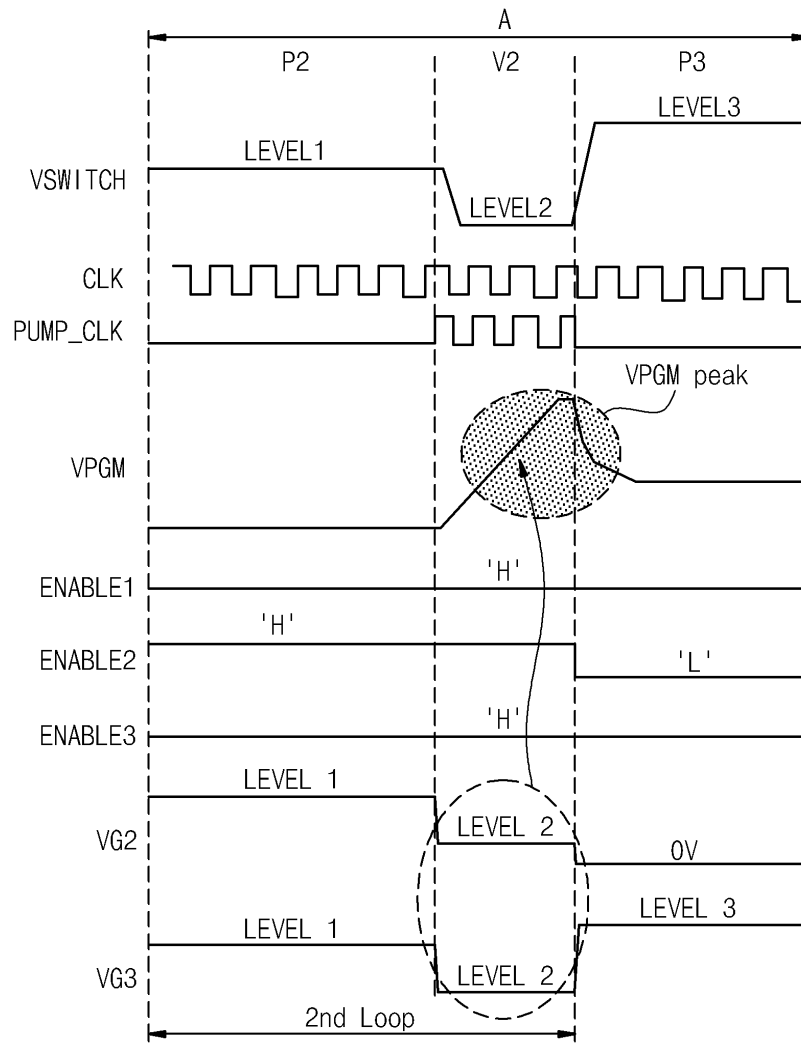
도면3



도면4



도면5



도면6

