



(12) 发明专利

(10) 授权公告号 CN 101288223 B

(45) 授权公告日 2011. 10. 05

(21) 申请号 200680038211. 8

代理人 穆德骏 黄启行

(22) 申请日 2006. 10. 04

(51) Int. Cl.

(30) 优先权数据

H03B 1/00 (2006. 01)

11/250, 994 2005. 10. 14 US

(85) PCT申请进入国家阶段日

2008. 04. 14

(86) PCT申请的申请数据

PCT/US2006/039177 2006. 10. 04

(87) PCT申请的公布数据

W02007/047164 EN 2007. 04. 26

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 斯里拉姆·S·卡尔帕特

莱奥·马修 穆罕默德·S·穆萨

迈克尔·A·萨德 赫克托·桑切斯

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

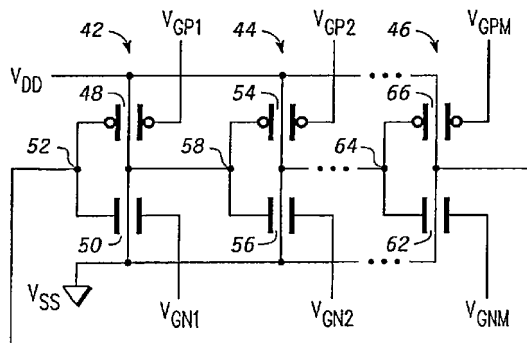
权利要求书 2 页 说明书 8 页 附图 4 页

(54) 发明名称

具有多重栅极晶体管的压控振荡器及其方法

(57) 摘要

一种压控振荡器 (VCO) (40) 具有多个 (42、44、46) 串联连接的反相器。在每个反相器中, 第一晶体管 (48) 具有耦合到第一电源电压接线端 (VDD) 的第一电流电极、第二电流电极、耦合到该多个串联连接的反相器的另一反相器的输出接线端的第一控制电极、和用于接收第一偏置信号的第二控制电极。第二晶体管 (50) 具有耦合到第一晶体管的第二电流电极的第一电流电极、耦合到第二电源电压接线端 (VSS) 的第二电流电极、和耦合到第一晶体管的第一控制电极的第一控制电极。每个反相器的第一晶体管的第二控制电极接收相同或分开的模拟控制信号 (VGP、VPP 或 DNP), 用于调节其第一晶体管的阈值电压, 以影响 VCO 的信号频率和相位。



40

1. 一种压控振荡器,包括:

多个串联连接的反相器,所述多个串联连接的反相器中的每个反相器包括:

第一晶体管,其具有包括耦合到第一电源电压接线端的第一电流电极、第二电流电极的鳍状结构、与所述鳍状结构的第一侧壁相邻并且耦合到所述多个串联连接的反相器的另一反相器的输出接线端的第一控制电极、和与所述鳍状结构的第二侧壁相邻的用于接收第一偏置信号的第二控制电极;和

第二晶体管,其具有耦合到所述第一晶体管的所述第二电流电极的第一电流电极、耦合到第二电源电压接线端的第二电流电极、和耦合到所述第一晶体管的所述第一控制电极的第一控制电极。

2. 如权利要求 1 所述的压控振荡器,其中,所述第一偏置信号用于调节阈值电压,所述阈值电压是所需用于响应于在所述第一晶体管的所述第一控制电极处的输入信号而形成所述第一晶体管中的沟道的电压。

3. 如权利要求 1 所述的压控振荡器,其中,每个第一晶体管的所述第二控制电极耦合到一起以接收所述第一偏置信号。

4. 如权利要求 1 所述的压控振荡器,其中,每个第一晶体管的所述第二控制电极接收不同的偏置信号。

5. 如权利要求 1 所述的压控振荡器,其中,所述第一偏置信号在预定的电压范围内是可变的以调节所述压控振荡器的振荡频率。

6. 如权利要求 1 所述的压控振荡器,其中,所述第一偏置信号是可变的以改变所述第一晶体管的传导性。

7. 如权利要求 1 所述的压控振荡器,其中,所述第二晶体管进一步包括用于接收第二偏置信号的第二控制电极。

8. 如权利要求 1 所述的压控振荡器,进一步包括第三晶体管,所述第三晶体管具有耦合到所述第一电源电压接线端的第一电流电极、耦合到所述第一晶体管的所述第二电流电极的第二电流电极、耦合到所述第一晶体管的所述第一控制电极的第一控制电极、和用于接收第二偏置信号的第二控制电极,其中,所述第二偏置信号是与所述第一偏置信号分开提供的。

9. 如权利要求 8 所述的压控振荡器,其中,所述第二偏置信号在预定的电压范围内是可变的,用于调节所述压控振荡器的输出信号的相位。

10. 一种提供压控振荡器的方法,包括:

提供第一反相器,所述第一反相器包括:第一 P 沟道多重独立栅极晶体管,其具有包括耦合到第一电源电压接线端的第一电流电极和第二电流电极的第一鳍状结构、与所述第一鳍状结构的第一侧壁相邻形成的第一控制电极、和与所述第一鳍状结构的第二侧壁相邻形成的用于接收第一多个模拟控制信号中的预定一个以调节晶体管阈值电压来影响所述压控振荡器的频率和相位的第二控制电极;以及第一 N 沟道多重独立栅极晶体管,其与所述 P 沟道多重独立栅极晶体管串联连接,并且具有包括耦合到所述 P 沟道多重独立栅极晶体管的所述第二电流电极的第一电流电极、耦合到第二电源电压接线端的第二电流电极的第二鳍状结构、与所述第二鳍状结构的第一侧壁相邻形成并且耦合到所述第一晶体管的所述第一控制电极的第一控制电极、和与所述第二鳍状结构相邻形成的用于接收第二多个模拟控

制信号中的预定一个以调节晶体管阈值电压来影响所述压控振荡器的频率和相位的第二控制电极 ;和

提供与所述第一反相器串联连接的一个或多个额外反相器,所述一个或多个额外反相器每一个包括与 N 沟道多重独立栅极晶体管串联的 P 沟道多重独立栅极晶体管。

11. 如权利要求 10 所述的方法,进一步包括 :利用来自所述第一多个模拟控制信号和所述第二多个模拟控制信号的与用来偏置所述第一反相器的控制信号不同的控制信号,偏置所述一个或多个额外反相器。

具有多重栅极晶体管的压控振荡器及其方法

技术领域

[0001] 本发明通常涉及电子电路,更具体地,涉及压控振荡器(VCO)。

背景技术

[0002] 压控振荡器(VCO)响应输入电压生成周期性时钟信号。存在关于VCO的许多应用,诸如在可调谐频率发生器中。此外,VCO常常用于锁相环(PLL)电路中,以生成输出信号,其相比较于输入参考信号具有动态的相位和频率。为了使生成的输出信号保持与输入参考信号对准,监视相位差,并且使用校正电路来改变生成的时钟信号的相位或频率(或此两者)以匹配参考时钟的相位和频率。VCO的设计者面对的问题是,提供相对小的和易于实现的相位校正电路,其将在低的电源电压(例如,1.0~1.5V)下操作,同时具有宽频率范围的操作和宽相位范围的校正。

[0003] 因此,理想的是,提供一种具有相位校正电路的集成电路VCO,其是小的和易于实现的。

发明内容

[0004] 在一个方面,提供了一种压控振荡器,包括:多个串联连接的反相器,所述多个串联连接的反相器中的每个反相器包括:第一晶体管,其具有包括耦合到第一电源电压接线端的第一电流电极、第二电流电极的鳍状结构、与所述鳍状结构的第一侧壁相邻并且耦合到所述多个串联连接的反相器的另一反相器的输出接线端的第一控制电极、和与所述鳍状结构的第二侧壁相邻的用于接收第一偏置信号的第二控制电极;和第二晶体管,其具有耦合到所述第一晶体管的所述第二电流电极的第一电流电极、耦合到第二电源电压接线端的第一电流电极、和耦合到所述第一晶体管的所述第一控制电极的第一控制电极。

[0005] 在另一个方面,提供了一种压控振荡器,包括:多个串联连接的反相器,所述多个串联连接的反相器中的每个反相器包括:P沟道多重独立栅极晶体管,其具有包括耦合到第一电源电压接线端的第一电流电极和第二电流电极的鳍状结构、与所述鳍状结构相邻并且通过第一介电层与所述鳍状结构分开的第一控制电极、和与所述鳍状结构相邻并且通过所述第一介电层与所述鳍状结构分开的第二控制电极,所述第一控制电极位于基板的上面并且耦合到所述多个串联连接的反相器的另一反相器的输出接线端,所述第二控制电极位于所述基板的上面、用于接收多个模拟控制信号中的预定一个以调节所述P沟道多重独立栅极晶体管的阈值电压来影响所述压控振荡器的频率和相位;和N沟道多重独立栅极晶体管,其与所述P沟道多重独立栅极晶体管串联连接,并且具有耦合到所述P沟道多重独立栅极晶体管的所述第二电流电极的第一电流电极、耦合到第二电源电压接线端的第一电流电极、与所述鳍状结构相邻并且通过第二介电层与所述鳍状结构分开的第一控制电极、和与所述鳍状结构相邻并且通过所述第二介电层与所述鳍状结构分开的第二控制电极,所述第一控制电极位于所述基板的上面并且耦合到所述P沟道多重独立栅极晶体管的所述第一控制电极,所述第二控制电极位于所述基板的上面并且耦合到所述多个模拟控制信号中的

另外预定一个。

[0006] 在另一个方面,提供了一种提供压控振荡器的方法,包括:提供第一反相器,所述第一反相器包括:第一 P 沟道多重独立栅极晶体管,其具有包括耦合到第一电源电压接线端的第一电流电极和第二电流电极的第一鳍状结构、与所述第一鳍状结构的第一侧壁相邻形成的第一控制电极、和与所述第一鳍状结构的第二侧壁相邻形成的用于接收第一多个模拟控制信号中的预定一个以调节晶体管阈值电压来影响所述压控振荡器的频率和相位的第二控制电极;以及第一 N 沟道多重独立栅极晶体管,其与所述 P 沟道多重独立栅极晶体管串联连接,并且具有包括耦合到所述 P 沟道多重独立栅极晶体管的所述第二电流电极的第一电流电极、耦合到第二电源电压接线端的第二电流电极的第二鳍状结构、与所述第二鳍状结构的第一侧壁相邻形成并且耦合到所述第一晶体管的所述第一控制电极的第一控制电极、和与所述第二鳍状结构相邻形成的用于接收第二多个模拟控制信号中的预定一个以调节晶体管阈值电压来影响所述压控振荡器的频率和相位的第二控制电极;和提供与所述第一反相器串联连接的一个或多个额外反相器,所述一个或多个额外反相器每一个包括与 N 沟道多重独立栅极晶体管串联的 P 沟道多重独立栅极晶体管。

附图说明

[0007] 图 1 以局部等距图的形式示出多重独立栅极场效应晶体管 (MIGFET) 的一个实施例。

[0008] 图 2 以示意图的形式示出根据本发明的一个形式的 VCO。

[0009] 图 3 以示意图的形式示出根据本发明的另一形式的 VCO。

[0010] 图 4 以示意图的形式示出根据本发明的又一形式的 VCO。

[0011] 图 5 以示意图的形式示出与权利要求 4 的 VCO 一同使用的控制信号生成电路。

[0012] 图 6 以曲线图的形式示出由图 5 的控制信号生成电路提供的示例性控制信号。

[0013] 图 7 以透视图的形式示出可用于实现图 2-4 的任何 VCO 的具有独立栅极的多个晶体管的布局。

具体实施方式

[0014] 通常,本发明以一种形式提供了一种具有一个或多个反相器的 VCO。该反相器是使用 MIGFET (多重独立栅极场效应晶体管) 形成的,其具有两个独立的栅极或控制电极。VCO 包括环形振荡器,其被实现为多个串联耦合的反相器。每个反相器具有第一晶体管,其连接到第二晶体管,其中第一晶体管具有连接到前一反相器的输出的第一栅极和用于接收偏置信号的第二栅极。在所示实施例中, MIGFET 由模拟电压偏置以提供预定量的驱动电流,用于调节 VCO 的相位或频率。

[0015] 所公开的 VCO 需要相对较少的表面积,是简单的,并且易于实现。而且,相比于现有技术的相位校正电路,所公开的 VCO 需要较少的导体和较少的接触,因此减少了电阻和寄生电容,简化了电路,并且改进了操作频率范围。

[0016] 图 1 是可以与图 2 中示出并且在下文中描述的 VCO 40 一同使用的多重独立栅极场效应晶体管 (MIGFET) 10 的一个实施例的局部等距视图。MIGFET 10 包括在例如大块基板或绝缘体上硅 (SOI) 的基板上形成的鳍状结构 12。该鳍状结构具有第一和第二侧壁。鳍状

结构 12 由半导体材料形成。在基板和鳍状结构的表面上形成介电层 13, 并且在介电层 13 上形成一层栅极材料, 如图 1 中所示, 以在鳍状结构 12 的相对侧上形成栅电极。具体地, 在基板上形成栅极材料, 鳍状结构的第一侧壁上的栅极材料用于形成第一栅极 18, 并且鳍状结构的第二侧壁上的栅极材料用于形成第二栅极 20。第一和第二栅极 18 和 20 在鳍状结构 12 的侧壁上具有预定的高度, 并且相互电气隔离。在一个实施例中, 栅极材料可以淀积在鳍状结构上面, 并且随后被选择性移除以提供在第一和第二栅极 18 和 20 之间的隔离。鳍状结构 12 包括位于鳍状结构 12 的每个端部中的电流接线端区域 14 和 16。在一个实施例中, 其中得到的晶体管结构是场效应晶体管 (FET), 电流接线端区域 14 和 16 分别用作源极和漏极区域。接触 22、24、26 和 28 提供到 MIGFET10 的电气连接。这些接触连接到在栅极和源极 / 漏极接线端上实现的金属层 (未示出)。应当注意, 在所说明的实施例中, 对于每个栅极结构和源极 / 漏极连接, 示出了一个接触; 然而, 只要能够实现可接受的电气连接, 可以存在任何数目的接触。在鳍状结构 12 的顶表面上形成氮化物层 30。在其他实施例中, 氮化物层 30 可由其他材料 (例如, 其他电介质) 制成。

[0017] 在 MIGFET 10 的操作过程中, 在将电压施加到栅极 18 和 20 之一时, 在鳍状结构 12 中的栅极下面形成了沟道区域, 分别提供了在源极和漏极电流接线端区域 14 和 16 之间的电流路径。应当注意, 沟道区域可以是未掺杂的、被掺杂为 N 型半导体、P 型半导体、或者 N 型和 P 型半导体的组合。

[0018] 所说明的实施例公开了一种具有两个独立栅极的晶体管结构。在其他实施例中, 晶体管结构可以具有不止两个栅极结构。例如, MIGFET10 可以在鳍状结构 12 的顶部上具有额外栅极来替换氮化物层 30。而且, 在其他实施例中, 如果需要额外的驱动能力, 则可以将如 MIGFET10 的多个晶体管并联连接在一起。

[0019] 图 2 以示意图的形式示出根据本发明的一个形式的 VCO 40。VCO 40 包括反相器 42、44 和 46。反相器 42 由 P 沟道 MIGFET 48 和 N 沟道 MIGFET 50 形成。反相器 44 由 P 沟道 MIGFET 54 和 N 沟道 MIGFET 56 形成。反相器 46 由 P 沟道 MIGFET 66 和 N 沟道 MIGFET 62 形成。P 沟道 MIGFET 48 具有连接到供电电压 V_{DD} 的源极和连接到 N 沟道 MIGFET 50 的漏极的漏极。MIGFET 48 的第一控制电极或栅极连接到节点 52 并且连接到 MIGFET 50 的第一栅极。MIGFET 48 的第二栅极连接到标注为 V_{GP1} 的第一偏置电压。MIGFET 50 的第二栅极连接到标注为 V_{GN1} 的偏置电压。MIGFET 50 的源极连接到标注为 V_{SS} 的供电电压接线端。相似地, P 沟道 MIGFET 54 具有连接到供电电压 V_{DD} 的源极和连接到 N 沟道 MIGFET 56 的漏极的漏极。MIGFET 54 的第一栅极在节点 58 处连接到 MIGFET 56 的栅极。MIGFET 54 的第二栅极连接到标注为 V_{GP2} 的偏置电压。MIGFET 56 的第二栅极连接到标注为 V_{GN2} 的偏置电压。P 沟道 MIGFET 66 的源极连接到供电电压 V_{DD} 。MIGFET 66 的漏极在节点 52 处连接到 N 沟道晶体管 62 的漏极。因此, 反相器 46 的输出端连接到反相器 42 的输入端。MIGFET 66 的第一栅极连接到 MIGFET 62 的第一栅极。MIGFET 66 的第二栅极连接到偏置电压 V_{GPM} , 其中 M 是整数。应当理解, 任何数目的额外的反相器可以串联耦合在反相器 44 和反相器 46 之间, 由此反相器状态的总数是奇数。在一个形式中, 该额外的反相器将具有与图 2 所示反相器相同的配置。还应当认识到, 至少一个的串联连接的反相器也可被实现用来形成 VCO 电路。MIGFET 62 的第二栅极连接到偏置信号 V_{GNM} 。应当注意, 可以在节点 52、58 或 64 中的每一个节点处获取 VCO 40 的输出, 这是因为每个反相器均具有与其输入相耦合的前一反相器,

这是从反相器 46 经由节点 52 到反相器 42 的反馈连接的结果。

[0020] 在操作中, VCO 40 用于提供振荡信号。反相器 42、44 和 46 中的每个反相器用于改变信号的逻辑状态并且因此产生不稳定的或震荡的信号。例如, 节点 52 处的逻辑高信号被转换为节点 58 处的逻辑低信号。相似地, 假设在反相器 44 和反相器 46 之间不存在中间的反相器级, 则节点 58 处的逻辑低信号被转换回节点 64 处的逻辑高信号。施加到 M1GFET 48 的第二栅极的偏置信号 V_{GP1} 改变 M1GFET 48 的传导性。在一个形式中, 通过改变关于 M1GFET 48 的第一栅极的晶体管阈值电压, 改变传导性。通过修改 M1GFET 的阈值电压, 修改晶体管开关的速度。当晶体管的开关速度变化时, 使用该晶体管的电路的操作频率变化。对于如 M1GFET 48 的 P 沟道 M1GFET, 当施加到第二栅极的电压降低时, 在将较高的电压施加到第一栅极时, M1GFET 将开关。因此, 在施加到第一栅极的偏置电压从逻辑高变换到逻辑低时, 晶体管在较早的时刻开关, 由此 M1GFET 48 的开关速度增加。对于诸如 M1GFET 50 的 N 沟道 M1GFET, 情况相反。当施加到 M1GFET 50 的第二栅极的电压增加时, 在将较低的电压施加到第一栅极时, M1GFET 将开关, 并且因此对于施加到第一栅极的给定偏置则 M1GFET 50 将具有较高的传导性。因此, 在施加到第一栅极的偏置电压从逻辑低变换到逻辑高时, 晶体管在较早的时刻开关, 由此 M1GFET 50 的开关速度增加。因此, 利用分开的第二栅极偏置电压, 可以单独修改反相器 42、44 和 46 的每一个的开关点。修改反相器的开关速度用于修改在节点 52、58 和 64 处呈现的振荡信号之间的相位关系, 并且用于改变 VCO 40 的操作频率。

[0021] 图 3 中示出了 VCO 40', 其是图 2 的 VCO 40 的替换形式。为了便于比较和讨论, 两图之间的共同的电路元件被给予相同的元件参考数字。如所示, 每个 M1GFET 48、54 和 60 的第二栅极连接在一起, 并且连接到单个偏置电压 V_{GP} 。相似地, 每个 M1GFET 50、56 和 62 的第二栅极连接在一起, 并且连接到单个偏置电压 V_{GN} 。

[0022] 在操作中, 单个偏置电压被连接到所有 P 沟道 M1GFET 的第二栅极, 并且分开的单个偏置电压被连接到所有 N 沟道 M1GFET 的第二栅极。在所示的形式中, VCO 40' 是 VCO 40 的简化形式, 这是因为仅存在两个修改电路频率的控制或偏置信号。应当注意, 尽管 VCO 40' 具有简化的控制, 但是仍存在较少的频率改变设置。然而, 由于偏置信号 V_{GP} 和 V_{GN} 是可具有许多个值的模拟控制信号, 因此 VCO 40' 中的可能的频率调节量是非常灵活的。

[0023] 图 4 中示出了 VCO 的又一形式。图 4 的 VCO 具有允许对信号的瞬时相位进行控制的晶体管。在一个形式中, VCO 可用于响应于锁相环 (未示出) 的参考信号和反馈信号之间的感应的或测量的相位差, 改变瞬时相位。第一振荡器级 43 具有由 P 沟道 M1GFET 48 和 N 沟道 M1GFET 50 形成的第一反相器以及由 P 沟道 M1GFET 66 和 N 沟道 M1GFET 68 形成的第二反相器。M1GFET 48 具有连接到用于接收标注为 V_{DD} 的供电电压的接线端的源极、连接到节点 52 和 M1GFET 50 的第一栅极的第一栅极、在节点 58 处连接到 M1GFET 50 的漏极的漏极以及第二栅极。M1GFET 48 的第二栅极连接到标注为 U_{PP} 的模拟控制偏置信号。M1GFET 50 的第二栅极连接到标注为 U_{PN} 的模拟控制偏置信号, 并且 M1GFET 50 的源极连接到用于接收标注为 V_{SS} 的接地参考电压的接线端。第一振荡器级 43 还具有第二反相器, 其由 P 沟道 M1GFET 66 和 N 沟道 M1GFET 68 形成。M1GFET 66 具有连接到用于接收 V_{DD} 的接线端的源极、在节点 52 处连接到 M1GFET 48 的第一栅极的第一栅极、连接到标注为 D_{NP} 的模拟控制偏置信号的第二栅极以及连接到节点 58 的漏极。M1GFET 66 的漏极连接到 M1GFET 68 的漏极。M1GFET 68 的第一栅极在节点 52 处连接到 M1GFET 50 的第一栅极, 并且 M1GFET 68 的

第二栅极连接到标注为 D_{NN} 的控制偏置信号。MIGFET 68 的源极连接到用于接收 V_{SS} 的接线端。因此第一振荡器级 43 具有两个并联连接的反相器,其由具有分开控制的第二栅极的串联连接的 MIGFET 晶体管形成。

[0024] 第二级 45 具有由 P 沟道 MIGFET 60 和 N 沟道 MIGFET 62 形成的第一反相器。MIGFET 60 具有连接到用于接收 V_{DD} 的电压接线端的源极、连接到节点 64 的第一栅极、连接到标注为 U_{PP} 的控制偏置信号的第二栅极以及漏极。MIGFET 62 具有连接到 MIGFET 60 的漏极的漏极、在节点 64 处连接到 MIGFET 60 的第一栅极的第一栅极、连接到标注为 U_{PN} 的控制偏置信号的第二栅极、和连接到用于接收电压 V_{SS} 的接线端的源极。由 P 沟道 MIGFET 70 和 N 沟道 MIGFET 72 形成的第二反相器与第二级 45 的第一反相器并联连接。MIGFET 70 的源极连接到用于接收 V_{DD} 的电压接线端。MIGFET 70 具有连接到节点 64 的第一栅极、连接到标注为 D_{NP} 的控制偏置信号的第二栅极、和漏极。MIGFET 70 的漏极连接到 MIGFET 72 的漏极。MIGFET 72 的第一栅极在节点 64 处连接到 MIGFET 60、62 和 70 的第一栅极。MIGFET 72 的第二栅极连接到标注为 D_{NN} 的配置控制电压。MIGFET 72 的源极连接到用于接收电压 V_{SS} 的接线端。在所说明的形式中,可以提供从一往上的任何额外数目的级,如第一级和第二级之间的点所示的,只要级的总数是奇数。级的数目部分地取决于所需的操作频率范围。较少的级数目导致了较高的操作频率。

[0025] 在操作中,由图 4 的 VCO 的反相器处理的信号在每个反相器的输入端和输出之间改变逻辑状态。由于节点 52 将由 MIGFET 70 和 72 形成的反相器的输出连接到由 MIGFET 48 和 50 形成的反相器的输入,因此为信号提供了用于连续改变状态的连续路径。可在节点 52 或节点 64 处获取 VCO 的输出。该输出可连接到其他电路(未示出),诸如延迟锁定环(DLL)或锁相环(PLL)。信号的相位可以与参考信号的相位进行比较。如果需要修改来自图 4 的 VCO 的信号的相位,则通过使用上和下偏置信号 U_P 和 D_N 可以改变相位。根据偏置信号被施加到 P 沟道晶体管还是 N 沟道晶体管,确定将 U_{PP} 还是 U_{PN} 信号用于上信号。最初假设偏置电压 U_{PP} 和 U_{PN} 被设定为使得 MIGFET 48 和 50 是不导通的,并且偏置电压 D_{NP} 和 D_{NN} 被设定为使得 MIGFET 66 和 68 是导通的。如果存在信号和参考信号之间的相位差,则可以修改模拟偏置信号以使 MIGFET 48 和 50 变得稍微导通并且为第一级的总体反相器功能添加驱动能力。作为由 MIGFET 48 和 50 形成的反相器拉出(sourced)或灌入(sunk)额外电流的结果,按照需要调节由第一振荡器级 43 传导的信号相位。 U_{PP} 和 U_{PN} 信号被用于增加信号的频率。频率的增加使信号的相位在正向方向上移位。相反地, D_{NP} 和 D_{NN} 信号被用于降低信号的频率。频率的降低使信号的相位在负向方向上移位。应当认识到,通过使用图 4 的 VCO 的 U_{PP} 、 U_{PN} 、 D_{NP} 和 D_{NN} 信号,可以实现信号的相移和频移。例如,信号 U_{PP} 和 D_{NP} 可以保持恒定,而信号 U_{PN} 和 D_{NN} 可以变化,以主要修改信号的频率。此外,可以实现所有这四个信号或者所有这四个信号的组合的变化,以改变 VCO 信号的频率和相位。

[0026] 图 5 中示出了用于提供控制信号 U_{PNO} 的控制信号电路 80 的示例性实现, U_{PNO} 是 VCO 中的第一级的 U_{PN} 信号。控制信号电路 80 具有分压器部分 82 和驱动输出部分 84。分压器由多个二极管连接的 P 沟道晶体管 86、88、90、92、94 和 96 形成,这些晶体管连接在供电电压 V_{DD} 和参考电压接线端 V_{SS} 之间。在晶体管 86、88、90、92、94 和 96 的每一个的漏极处具有抽头,其中连接了开关。例如,开关 100 连接到晶体管 86 的漏极。开关 102 连接到晶体管 88 的漏极。开关 104 连接到晶体管 90 的漏极。开关 106 连接到晶体管 92 的漏极。开关

108 连接到晶体管 94 的漏极。在所说明的形式中,开关 100、102、104、106 和 108 被实现为 CMOS 传输门,其具有真值和补值控制信号,其中补值控制信号在图 5 中由星号标出。选择电压 V_{S0} 、 V_{S1} 、 V_{S2} 、 V_{S3} 和 V_{S4} 分别用于使开关 100、102、104、106 和 108 导通。开关 100、102、104、106 和 108 的每一个具有一起连接到节点 110 和 N 沟道晶体管 112 的栅极的接线端。晶体管 112 具有连接到用于接收 V_{DD} 的供电电压接线端的漏极。晶体管 112 的源极连接到 P 沟道晶体管 114 的源极。晶体管 114 的漏极连接到 N 沟道晶体管 116 的漏极并且提供用于第一级的控制信号 U_{PP0} 。晶体管 116 的源极连接到 V_{SS} 参考电压接线端。晶体管 114 和 116 均具有连接在一起的用于自锁相环(未示出)的相位检测器接收标注为“相位检测”的使能信号。此外, P 沟道晶体管 118 具有连接到 V_{DD} 供电电压接线端的源极、用于接收全供电电压控制信号 V_{SF} 的栅极和连接到晶体管 114 的源极的漏极。

[0027] 在操作中,当在 VCO 的信号中检测到相位误差时,相位检测器向晶体管 114 和 116 的栅极提供逻辑低使能信号。相位检测器还用于确定信号 U_{PP0} 应采用什么样的模拟电压值。如果需要全供电电压 V_{DD} 值,则信号 V_{SF} 应被声明(assert)为逻辑低。如果需要较低的电压值以校正检测的相位误差,则来自 $V_{S0} \sim V_{S4}$ 中的一个信号被声明,并且使用 V_{DD} 的预定部分来驱动晶体管 112。用于晶体管 112 的偏置电压的驱动能力确定了控制信号 U_{PP0} 的电压值。相位检测器通过改变控制信号 $V_{S0} \sim V_{S4}$ 和 V_{SF} 可以容易地改变 U_{PP0} 的信号值。可以使用相似的电路(未示出)来生成图 4 的 VCO 的控制信号 U_{PNO} 、 D_{NPO} 、 D_{NNO} 等。

[0028] 图 6 中示出了曲线图,其说明了信号 U_{PP0} 和 U_{PNO} 的实施例。在标注为 $t1$ 的时间和标注为 $t2$ 的时间之间实现了相位校正操作。根据由相位检测器提供的控制信号 $V_{S0} \sim V_{S4}$ 的值(和补值)和 V_{SF} 的值,模拟电压控制信号 U_{PP0} 可以采用 0 伏到电源电压 V_{DD} 之间的任何值。例如,可以将小于 V_{DD} 的电压 V_1 、 V_2 或 V_z 连接到图 4 的 M1GFET 48 的第二栅极。相似地,在相位校正操作过程中,选择具有 0 伏和 V_{DD} 之间的值的模拟电压控制信号 U_{PNO} 。电压 V_1 、 V_2 或 V_z 可由控制信号电路 80 提供以偏置 M1GFET 50 的第二栅极。由于使用了模拟电压,因此可以实现相位和频率误差的细调。

[0029] 图 7 中示出了具有三个 M1GFET 晶体管的集成电路的布局,其可用于实现诸如图 3 的 VCO 40' 的多种电路。在该示例中, M1GFET 120 被放置为与 M1GFET 122 相邻。M1GFET 124 被放置为与 M1GFET 122 相邻,但是可以插入任何数目的中间 M1GFET 器件,如图 7 中的虚线所示。M1GFET 120 具有第一栅极 G1,其是栅极 130。栅极 130 为 M1GFET 122 和 M1GFET 124 所共用,并且是一件连续的传导材料。M1GFET 120 还具有第二栅极 G2,其是栅极 132。在 M1GFET 120 中的栅极 132 和栅极 130 之间是由沟道隔开的源极(S)和漏极(D)。相似地, M1GFET 122 具有第二栅极 G3,其是栅极 134。在栅极 134 和栅极 130 之间是由沟道隔开的源极(S)和漏极(D)。M1GFET 124 具有第二栅极 G4,其是栅极 136。在栅极 136 和栅极 130 之间是由沟道隔开的漏极(D)和源极(S)。应当注意, M1GFET 122 和 124 的漏极被安置为相互相邻,而相邻的 M1GFET 120 和 122 具有被安置为与源极相邻的漏极。M1GFET 120、122 和 124 的每一个的源极、漏极和沟道形成了升起的鳍状结构,其具有延伸高于栅极 130、132、134 和 136 所处平面的高度。在所示布局中,在形成栅极的层面(level)中使用了单个连续栅极材料,而非连接到集成电路的不同层面中的每个 M1GFET 的第二栅极或者自图 7 中示出的布局的部分横向延伸。因此该布局紧凑,并且仍然允许每个 M1GFET 的第一栅极物理隔开和区分。图 7 中示出的源极(S)和漏极(D)与图 1 的区域 14 和 16 相似,其是在集成

电路表面上形成的,并且具有高于该表面的高度。鳍状结构由多个电流电极(即,源极和漏极)形成,其在一个形式中被配置成直线。例如,图7中的线是与所示出的源极(S)和漏极(D)的每一个相交的线(未明确示出)。然而,应当理解,在其他形式中,多个晶体管的源极和漏极可成“L”形、弯曲的形状或者偏移的图案。在每个源极和漏极与相邻的每个所示栅极之间的连接材料中形成沟道区域。因此在源极和漏极之间形成了多个沟道区域,每个源极和漏极之间具有一个沟道区域。在一个形式中,多个沟道区域被形成为与集成电路的表面平行。在其他形式中,沟道区域可以位于不同的平面中。

[0030] 迄今为止,应认识到,已提供了一种使用具有多重独立栅极的MIGFET器件的改进的压控振荡器。由于能够准确地修改晶体管的阈值电压并且由此能够准确地控制晶体管的传导电极之间的阻抗,因此可以结合此处描述的VCO使用较低的电源电压。尽管在优选实施例的背景下描述了本发明,但是对于本领域的技术人员显而易见的是,可以通过许多方式修改本发明,并且本发明可以采用不同于上文具体阐述和描述的许多实施例。例如,晶体管的传导类型可被反转。因此,意图由所附权利要求涵盖本发明的真实范围内的本发明的所有修改方案。本领域的技术人员将容易地想到针对此处用于说明目的而选出的实施例的多种改变方案和修改方案。例如,尽管讨论了图1中的具体的晶体管结构作为具有多重独立栅极的晶体管的示例,但是应当理解,此处还可以使用具有两个或多个独立栅极的其他类型的晶体管结构。尽管已示出了具体的示例性电路,但是许多VCO电路实现方案也可以用于实现此处讨论的功能。为使该修改方案 and 变化方案不偏离本发明的精神,它们意图被涵盖于本发明的范围内,本发明的范围仅由所附权利要求的公正解释限定。

[0031] 在一个形式中,提供了一种具有多个串联连接的反相器的压控振荡器。该多个串联连接的反相器中的每个反相器具有第一晶体管和第二晶体管。第一晶体管具有耦合到第一电源电压接线端的第一电流电极、第二电流电极、耦合到该多个串联连接的反相器的前一反相器的输出接线端的第一控制电极、和用于接收第一偏置信号的第二控制电极。第二晶体管具有耦合到第一晶体管的第二电流电极的第一电流电极、耦合到第二电源电压接线端的第二电流电极、和耦合到第一晶体管的第一控制电极的第一控制电极。在一个形式中,第一偏置信号用于调节阈值电压,该阈值电压是所需用于响应第一晶体管的第一控制栅极处的输入信号来形成第一晶体管中的沟道的电压。在另一形式中,每个第一晶体管的第二控制电极耦合到一起以接收第一偏置信号。在又一形式中,每个第一晶体管的第二控制电极接收不同的偏置信号。在一个形式中,第一偏置信号可以在预定的电压范围内变化以调节压控振荡器的振荡频率。在另一形式中,第一偏置信号可以变化以改变第一晶体管的传导性。在另一形式中,第二晶体管是用于接收第二偏置信号的第二控制电极。在另一形式中,压控振荡器进一步具有第三晶体管,该第三晶体管具有耦合到第一电源电压接线端的第一电流电极、耦合到第一晶体管的第二电流电极的第二电流电极、耦合到第一晶体管的第一控制电极的第一控制电极、和用于接收第二偏置信号的第二控制电极,其中第二偏置信号是与第一偏置信号分开提供的。在又一形式中,第二偏置信号可以在预定的电压范围内变化,用于调节压控振荡器的输出信号的相位。

[0032] 还提供了一种用于控制压控振荡器的方法。多个反相器串联连接在一起,该多个反相器中的每个反相器具有在第一电源接线端和第二电源接线端之间串联耦合在一起的第一晶体管和第二晶体管,第一晶体管和第二晶体管均具有耦合到该多个反相器中的另一

反相器的输出接线端的第一控制电极,并且第一晶体管具有用于接收第一偏置信号的第二控制电极。使第一偏置信号的电压变化以调节压控振荡器的振荡频率。在一个形式中,将不同的偏置信号提供给该多个反相器中的每个第一晶体管的第二控制电极。在又一形式中,为该多个反相器中的每个反相器的第二晶体管提供第二控制电极,该第二控制电极接收第二偏置信号。在一个形式中,提供了第三晶体管,该第三晶体管具有耦合到第一电源接线端的第一电流电极、耦合到第一晶体管的第二电流电极的第二电流电极、耦合到第一晶体管的第二控制电极的第一控制电极、和用于接收第二偏置信号的第二控制电极,其中第二偏置信号是与第一偏置信号分开提供的。在一个形式中,第二偏置信号可以在预定的电压范围内变化,用于调节压控振荡器的输出信号的相位。在另一形式中,提供了第四晶体管,该第四晶体管具有耦合到第一晶体管的第二电流电极的第一电流电极、耦合到第二晶体管的第二控制电极的第一控制电极、和用于接收第三偏置信号的第二控制电极,其中第三偏置信号是与第一偏置信号分开提供的。在又一形式中,第三偏置信号可以在预定的电压范围内变化,用于调节压控振荡器的输出信号的相位。

[0033] 在另一形式中,提供了一种集成电路,其具有在集成电路表面上形成并且具有高出该表面的高度的鳍状结构。该鳍状结构具有多个电流电极和多个沟道区域,其中在该多个电流电极中的预定电流电极的任何两个之间具有单个沟道区域。第一控制电极结构被形成为与鳍状结构的第一侧面相邻,并且具有控制多个沟道区域的第一连续传导材料带。第二控制电极结构被形成为和与鳍状结构的第一侧相对的鳍状结构的第二侧面相邻。第二控制电极结构具有物理分开的多个传导材料带。该多个传导材料带中的每个传导材料带控制多个沟道区域中的分开的单个沟道区域。在一个形式中,多个电流电极具有多个源极和多个漏极,并且鳍状结构具有被安置为与物理上未连接的第一源极相邻的第一漏极,并且具有被安置为与物理上未连接的第三漏极相邻的第二漏极。在另一形式中,鳍状结构以及第一和第二控制电极结构形成了多个多重栅极晶体管。在又一形式中,第二控制电极结构的多个传导材料带中的每个传导材料带被配置为接收不同的分开的电压信号。

[0034] 上文通过参考具体实施例描述了益处、其他优点和对问题的解决方案。然而,该益处、优点、对问题的解决方案、以及可以导致任何益处、优点或解决方案或者使其更加显著的任何(多个)因素,不应被解释为任何或所有权利要求的关键的、必需的或基本的特征或因素。如此处使用的术语“包括”或其任何其他变化形式,目的在于涵盖非排他性的内含物,由此包括一系列元素的过程、方法、物体或装置不仅包括该元素,而且可以包括未明确列出或者对于该过程、方法、物体或装置是固有的其他元素。如此处使用的术语“个”被定义为一个或不止一个。如此处使用的术语“多个”被定义为两个或多于两个。如此处使用的术语“另一”被定义为至少第二个或更多。如此处使用的术语“包括”和/或“具有”被定义为包括(即,开放性语言)。如此处使用的“耦合”被定义为连接,尽管其不一定是直接连接,也不一定是机械连接。

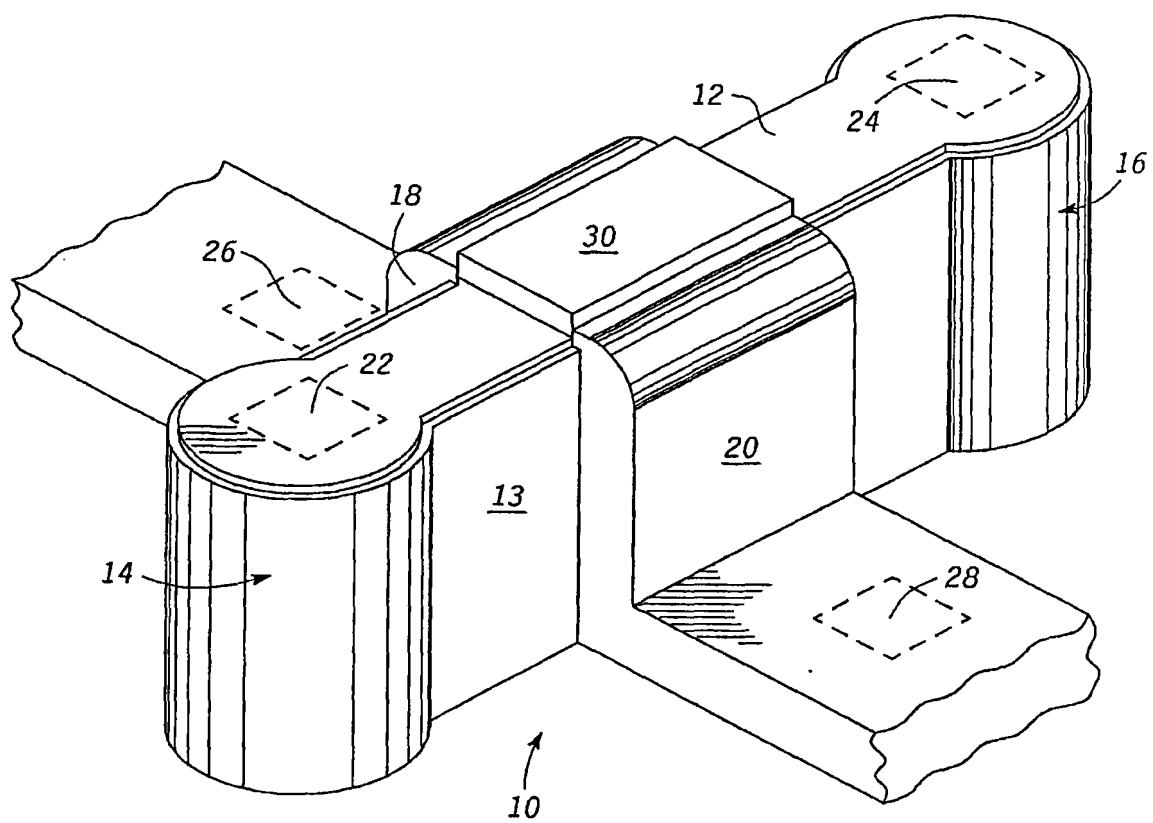


图 1

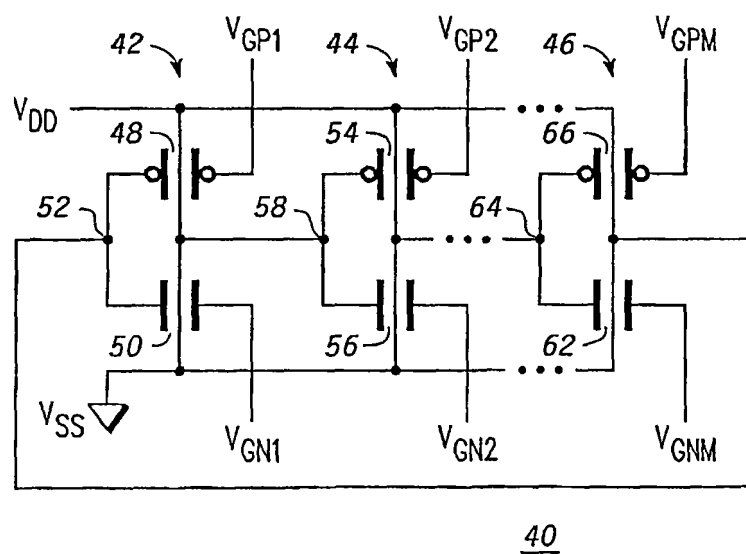


图 2

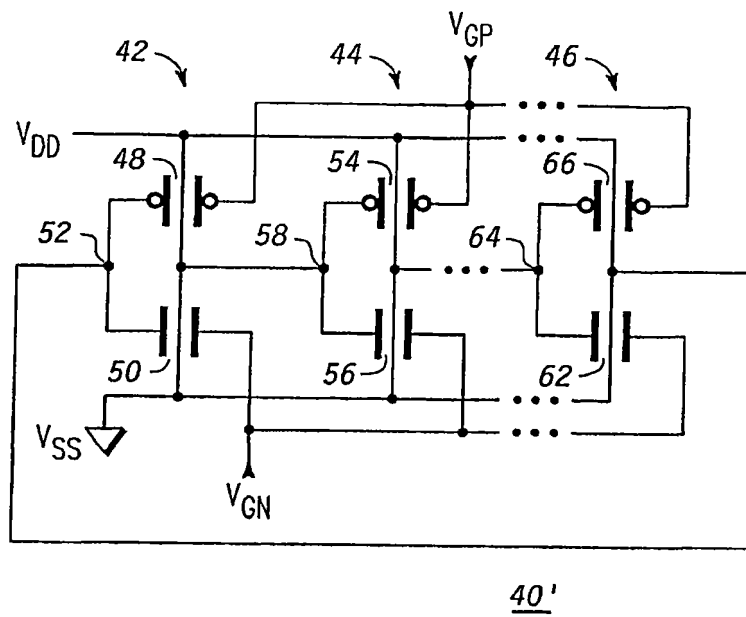


图 3

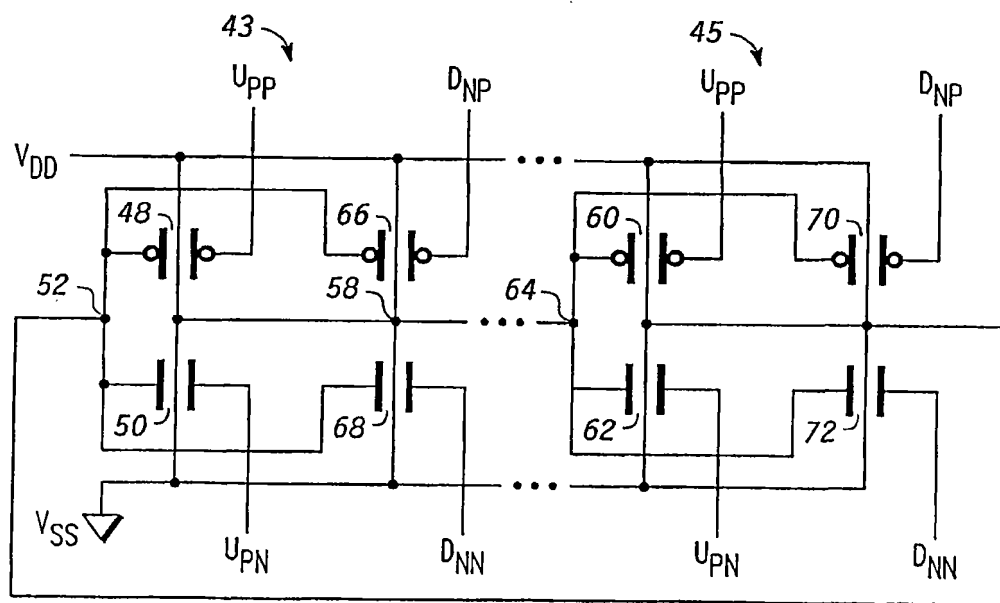


图 4

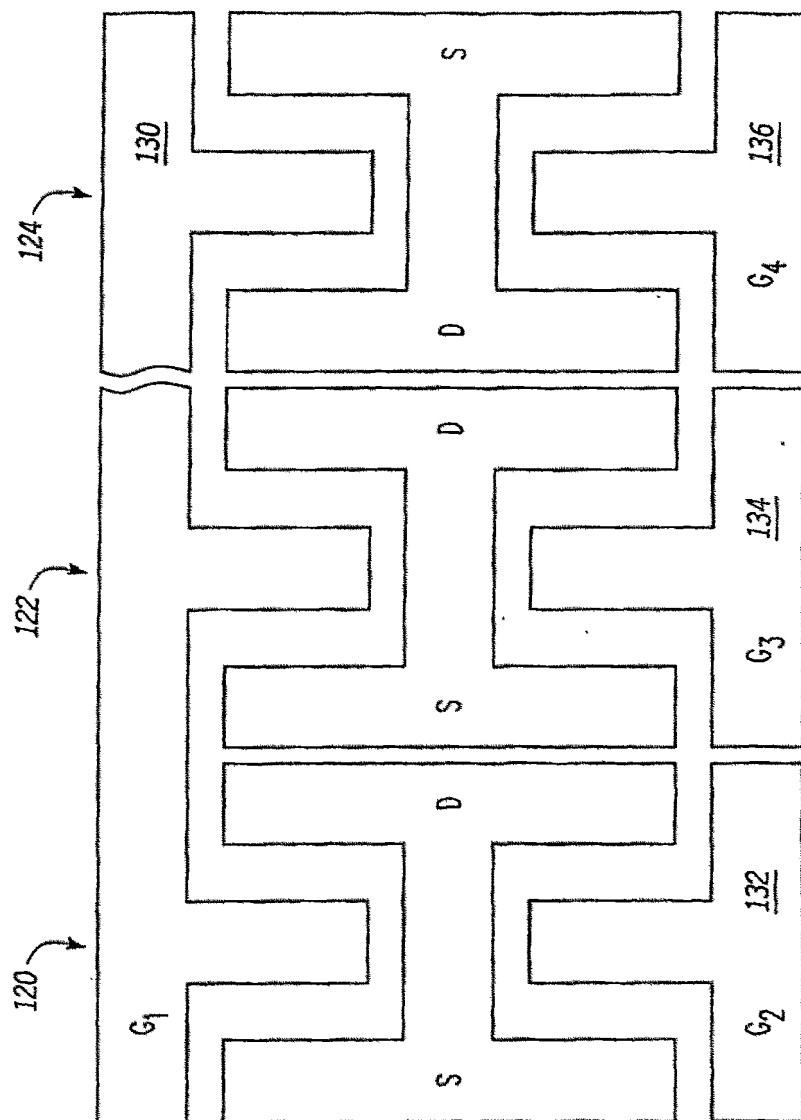


图7